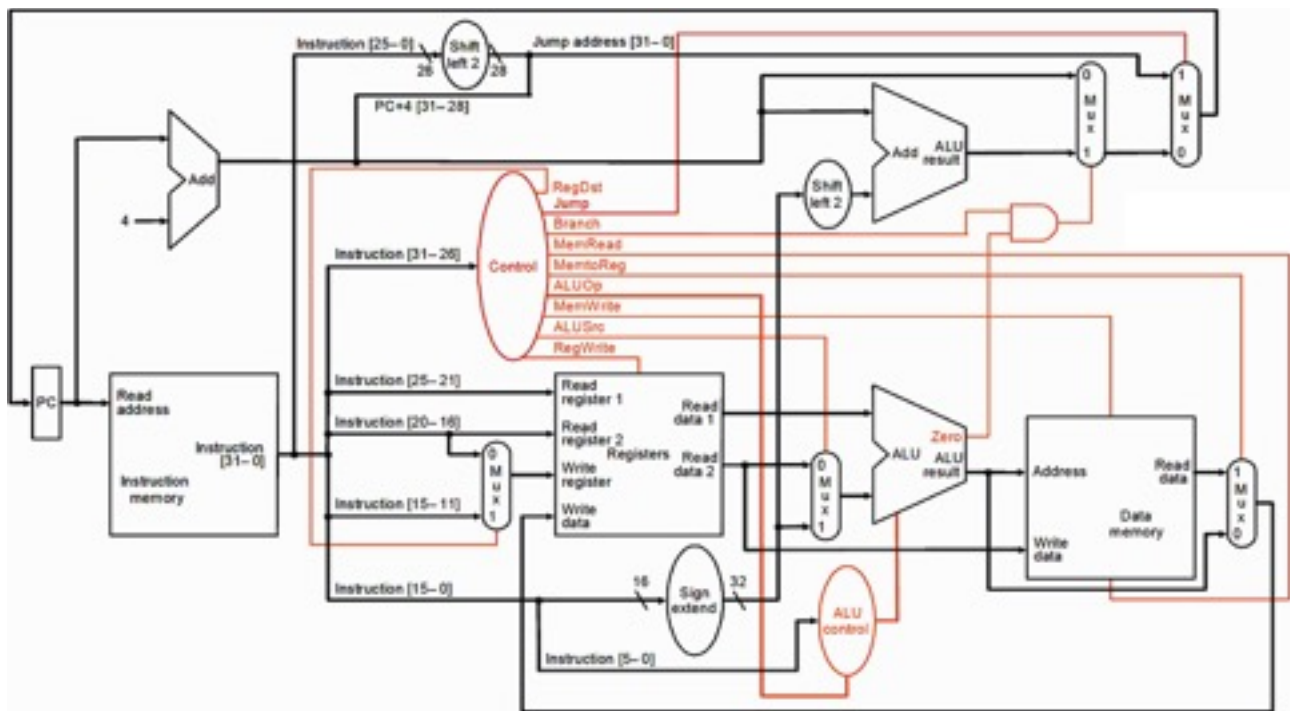


# Computer Architecture HW3 Report

B03901022 卓伯鴻

## 1.Design



我將整個設計又細切出四個module來做，分別是register、ALU、ALUcontrol和Control。

1. register：有input分別為ReadReg1、ReadReg2、WriteReg、WriteData和“control signal”的clk，rst\_n，RegWrite，output分別為ReadData1、ReadData2，而內部就是一個32X32的register，當在clk的正緣且RegWrite = 1的時候，register可以被寫入，而WriteReg就是控制寫入哪一個register的控制碼。ReadData1跟ReadData2是寫出register中第幾格的資料，並都是32bit的输出。

2. ALU：有add，sub，and，or，slt等功能，由ctrl項控制ALUresult要進行何種x和y運算輸出結果，而zero輸出項則是決定x和y是否為等值。

3. ALUcontrol：拿到兩個instruction項，並生成出ctrl的控制項，主要處理R-type的運算。

4. Control：主要的控制項，生成出除了ALU之外的mux的選擇控制項，決定要處理何種type的instruction。

剩下的電路主要是決定下一個instruction要跳到哪個如果沒有收到jump，jr信號的話，就會自動跳到下一個address(及為PC+4的位置)，如果有收到jump信號的話，就會跳到instruction內給的位置，如果有收到jr信號的話，則會跳到\$ra(register[31])的位置，而jr的優先度又大於jal的訊號(不過兩者在instruction給的正確時是不會同時發生的)。

## 2.Performance

Library(s) Used:

typical (File: /home/raid7\_2/course/cvstd/CHDK\_IC\_Contest/CIC/SynopsysDC/db/typical.db)

Number of ports:	172
Number of nets:	505
Number of cells:	260
Number of combinational cells:	221
Number of sequential cells:	33
Number of macros:	0
Number of buf/inv:	80
Number of references:	23
Combinational area:	43232.776989
Noncombinational area:	33822.391325
Net Interconnect area:	undefined (No wire load specified)
Total cell area:	77055.168314

我最後合成出來的結果是77055.168314。

### 3. Improvement

在與同學做出來的面積比較上面，還是有大概10000單位area的進步空間，我審視了我自己的design，發覺我有使用不少的if敘述，而在合成的過程中，也有被一些if敘述被合成擋下來，後來把跟clk跟rst\_n的敘述改成對稱的之後，就可以成功合成了，而這邊也是在之後的設計上可以做改進的部分，直接使用if\_else敘述可以方便預設情況，但是就可能增加他合成出來的面積。