

2-5

(2) 真值表如表 2.2 所示。

表 2.2 题 2-5 (2) 真值表

A	B	C	$\overline{A}\overline{B} + \overline{A}B + BC$	$\overline{A}\overline{B} + \overline{A}B + AC$
0	0	0	0	0
0	0	1	0	0
0	1	0	1	1
0	1	1	1	1
1	0	0	1	1
1	0	1	1	1
1	1	0	0	0
1	1	1	1	1

由表 2.2 可知，逻辑等式成立。

2-6

(2) 反函数：  $\overline{F_2} = (\overline{AB} + \overline{AA} + \overline{B} + \overline{C})A + \overline{BC}(A + B)(\overline{A} + \overline{B} + \overline{C})$ ，对偶式：

$$F_2' = (AB + \overline{AA} + \overline{B} + C)\overline{A} + \overline{BC}(\overline{A} + B)(A + B + C)。$$

化简后，有：

$$F_2 = (A + B)(A + \overline{AB})C + \overline{A}(\overline{B} + \overline{C}) + \overline{AB} + ABC = A + B + C$$

则反函数：  $\overline{F_2} = \overline{ABC}$ ，对偶式：  $F_2' = ABC$ 。

2-9 试用代数公式法证明题 2-5 中的各等式。

$$(1) \overline{AB} + \overline{AC} + \overline{BC} = \overline{AB} + C$$

$$\text{证： } \overline{AB} + \overline{AC} + \overline{BC} = \overline{AB} + (\overline{A} + \overline{B})C = \overline{AB} + \overline{ABC} = \overline{AB} + C$$

$$(2) \overline{AB} + \overline{AB} + BC = \overline{AB} + \overline{AB} + AC$$

$$\text{证： } \overline{AB} + \overline{AB} + BC = \overline{AB} + BC + \overline{AB} = \overline{AB} + (BC + AC + \overline{AB}) = \overline{AB} + \overline{AB} + AC$$

$$(3) \overline{AB} + \overline{BC} + \overline{CA} = \overline{AB} + \overline{BC} + \overline{CA}$$

$$\text{证： } \overline{AB} + \overline{BC} + \overline{CA} = (\overline{AB} + \overline{BC}) + (\overline{BC} + \overline{CA}) + (\overline{AB} + \overline{CA})$$

$$= \overline{AB} + \overline{BC} + \overline{CA} + \overline{CA} + \overline{AB} + \overline{BC}$$

$$= (\overline{AB} + \overline{CA} + \overline{BC}) + (\overline{AB} + \overline{BC} + \overline{CA}) + (\overline{CA} + \overline{BC} + \overline{AB})$$

$$= \overline{AB} + \overline{BC} + \overline{CA}$$

$$(4) \quad \overline{AB} + \overline{AB} + BC + \overline{AC} = \overline{A} + BC$$

$$\text{证: } \overline{AB} + \overline{AB} + BC + \overline{AC} = \overline{A} + BC + \overline{AC} = \overline{A}(1 + \overline{C}) + BC = \overline{A} + BC$$

$$(5) \quad \overline{\overline{AB} + \overline{BC} + \overline{CD} + \overline{DA}} = \overline{ABCD} + \overline{ABCD}$$

$$\begin{aligned} \text{证: } \overline{\overline{AB} + \overline{BC} + \overline{CD} + \overline{DA}} &= (\overline{A} + B)(\overline{B} + C)(\overline{C} + D)(\overline{D} + A) \\ &= (\overline{AB} + \overline{AC} + BC)(\overline{CD} + \overline{CA} + DA) \\ &= \overline{ABCD} + \overline{ABCD} \end{aligned}$$

$$(6) \quad \overline{AB} + \overline{AB} + \overline{ABC} = \overline{A} + \overline{B}$$

$$\text{证: } \overline{AB} + \overline{AB} + \overline{ABC} = \overline{AB} + \overline{A} + \overline{B} + \overline{ABC} = (\overline{A} + \overline{ABC}) + (\overline{AB} + \overline{B}) = \overline{A} + \overline{B}$$

2-11

$$\begin{aligned} (5) \quad F_5 &= \overline{\overline{AB} + \overline{ACD}(B + \overline{C} + \overline{D})} = (\overline{A} + B)(A + \overline{C} + \overline{D})(B + \overline{C} + \overline{D}) \\ &= (\overline{AC} + AB + \overline{BC} + \overline{AD} + \overline{BD})(B + \overline{C} + \overline{D}) \\ &= (\overline{AC} + AB + \overline{AD} + \overline{BD})(B + \overline{C} + \overline{D}) \\ &= (\overline{AC} + AB + \overline{AD})(B + \overline{C} + \overline{D}) \\ &= \overline{ABC} + \overline{AC} + \overline{ACD} + AB + \overline{ABD} + \overline{ABD} + \overline{ACD} + \overline{AD} \\ &= \overline{AC} + AB + \overline{AD} \end{aligned}$$

2-12 用卡诺图化简下列逻辑函数为最简与或式:

$$(1) \quad F_1 = \sum m(3, 5, 6, 7)$$

$$(2) \quad F_2 = \sum m(4, 5, 6, 7, 8, 9, 10, 11, 12, 13)$$

$$(3) \quad F_3 = \sum m(2, 3, 6, 7, 10, 11, 12, 15)$$

$$(4) \quad F_4 = \sum m(1, 3, 4, 5, 8, 9, 13, 15)$$

$$(5) \quad F_5 = \sum m(1, 3, 4, 6, 7, 9, 11, 12, 14, 15)$$

$$(6) \quad F_6 = \sum m(0, 2, 4, 7, 8, 9, 12, 13, 14, 15)$$

解：(1) 卡诺图如图 2.3 所示。

BC \ A		BC			
		00	01	11	10
A	0	0	0	1	0
	1	0	1	1	1

图 2.3 题 2-12 (1) 卡诺图

由卡诺图可知：  $F_1 = AC + AB + BC$

(2) 卡诺图如图 2.4 所示。

AB \ CD		CD			
		00	01	11	10
AB	00	0	0	0	0
	01	1	1	1	1
	11	1	1	0	0
	10	1	1	1	1

图 2.4 题 2-12 (2) 卡诺图

由卡诺图可知：  $F_2 = \overline{A}B + A\overline{B} + A\overline{C}$

(3) 卡诺图如图 2.5 所示。

AB \ CD		CD			
		00	01	11	10
AB	00	0	0	1	1
	01	0	0	1	1
	11	1	0	1	0
	10	0	0	1	1

图 2.5 题 2-12 (3) 卡诺图

由卡诺图可知：  $F_3 = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}C + \overline{B}C + CD$

(4) 卡诺图如图 2.6 所示。

CD \ AB	00	01	11	10
00	0	1	1	0
01	1	1	0	0
11	0	1	1	0
10	1	1	0	0

图 2.6 题 2-12 (4) 卡诺图

由卡诺图可知： $F_4 = \overline{A}\overline{B}D + \overline{A}B\overline{C} + ABD + A\overline{B}\overline{C}$

(5) 卡诺图如图 2.7 所示。

CD \ AB	00	01	11	10
00	0	1	1	0
01	1	0	1	1
11	1	0	1	1
10	0	1	1	0

图 2.7 题 2-12 (5) 卡诺图

由卡诺图可知： $F_5 = B\overline{D} + \overline{B}D + CD$

(6) 卡诺图如图 2.8 所示。

CD \ AB	00	01	11	10
00	1	0	0	1
01	1	0	1	0
11	1	1	1	1
10	1	1	0	0

图 2.8 题 2-12 (6) 卡诺图

由卡诺图可知： $F_6 = AB + A\overline{C} + \overline{C}D + \overline{A}B\overline{C} + BCD$

2-13 对具有无关项  $AB + AC = 0$  的下列逻辑函数进行化简：

(1)  $F_1 = \overline{AC} + \overline{AB}$

(2)  $F_2 = \overline{AC} + \overline{AB}$

(3)  $F_3 = \overline{ABC} + \overline{ABD} + \overline{ABD} + \overline{ABCD}$

(4)  $F_4 = \overline{BCD} + \overline{ABCD} + \overline{ABC} + \overline{ABD}$

(5)  $F_5 = \overline{ACD} + \overline{ABCD} + \overline{ABD} + \overline{ABCD}$

(6)  $F_6 = \overline{ABCD} + \overline{ABCD} + \overline{ABCD}$

解：(1) 卡诺图如图 2.9 所示。

		BC			
		00	01	11	10
A	0	1	0	1	1
	1	0	$\Phi$	$\Phi$	$\Phi$

图 2.9 题 2-13 (1) 卡诺图

由卡诺图可知：  $F_1 = \overline{AC} + B$

(2) 卡诺图如图 2.10 所示。

		BC			
		00	01	11	10
A	0	0	1	1	1
	1	0	$\Phi$	$\Phi$	$\Phi$

图 2.10 题 2-13 (2) 卡诺图

由卡诺图可知：  $F_2 = B + C$ 。

(3) 卡诺图如图 2.11 所示。

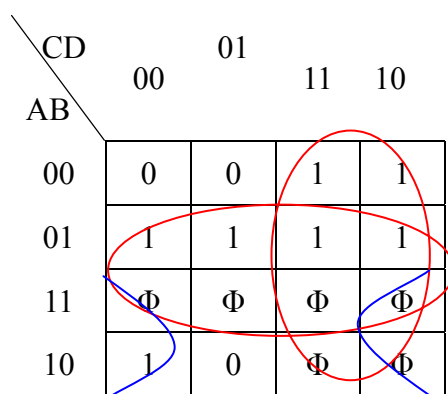


图 2.11 题 2-13 (3) 卡诺图

由卡诺图可知:  $F_3 = B + C + A\bar{D}$

(4) 卡诺图如图 2.12 所示。

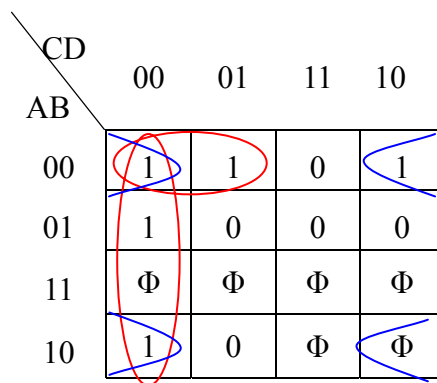


图 2.12 题 2-13 (4) 卡诺图

由卡诺图可知:  $F_4 = \bar{C}\bar{D} + \bar{B}\bar{D} + \bar{A}\bar{B}\bar{C}$

(5) 卡诺图如图 2.13 所示。

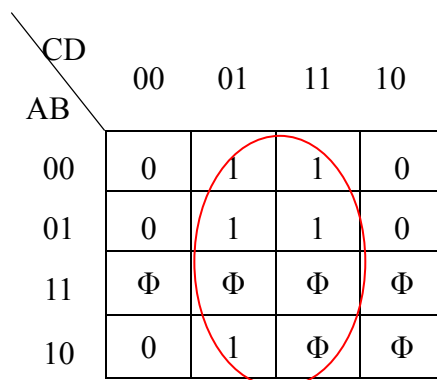


图 2.13 题 2-13 (5) 卡诺图

由卡诺图可知:  $F_5 = D$

(6) 卡诺图如图 2.14 所示。

		CD			
		00	01	11	10
AB	00	0	0	0	0
	01	0	1	0	1
	11	$\Phi$	$\Phi$	$\Phi$	$\Phi$
	10	0	1	$\Phi$	$\Phi$

图 2.14 题 2-13 (6) 卡诺图

由卡诺图可知:  $F_6 = \overline{B}\overline{C}D + B\overline{C}\overline{D} + AD$

2-14 化简下列具有无关项  $\varnothing$  的逻辑函数:

$$(1) F_1 = \sum m(0,1,3,5,8) + \sum \varnothing(10,11,12,13,14,15)$$

$$(2) F_2 = \sum m(0,1,2,3,4,7,8,9) + \sum \varnothing(10,11,12,13,14,15)$$

$$(3) F_3 = \sum m(2,3,4,7,12,13,14) + \sum \varnothing(5,6,8,9,10,11)$$

$$(4) F_4 = \sum m(0,2,7,8,13,15) + \sum \varnothing(1,5,6,9,10,11,12)$$

$$(5) F_5 = \sum m(0,4,6,8,13) + \sum \varnothing(1,2,3,9,10,11)$$

$$(6) F_6 = \sum m(0,2,6,8,10,14) + \sum \varnothing(5,7,13,15)$$

解: (1) 卡诺图如图 2.15 所示:

		CD			
		00	01	11	10
AB	00	1	1	1	0
	01	0	1	0	0
	11	$\Phi$	$\Phi$	$\Phi$	$\Phi$
	10	1	0	$\Phi$	$\Phi$

图 2.15 题 2-14 (1) 卡诺图

由卡诺图可知:  $F_1 = \overline{A}\overline{B}D + \overline{B}\overline{C}D + \overline{B}C\overline{D}$

(2) 卡诺图如图 2.16 所示:

		CD			
		00	01	11	10
AB	00	1	1	1	1
	01	1	0	1	0
	11	$\Phi$	$\Phi$	$\Phi$	$\Phi$
	10	1	1	$\Phi$	$\Phi$

图 2.16 题 2-14 (2) 卡诺图

由卡诺图可知:  $F_2 = \overline{B} + \overline{C}\overline{D} + CD$

(3) 卡诺图如图 2.17 所示:

		CD			
		00	01	11	10
AB	00	0	0	1	1
	01	1	$\Phi$	1	$\Phi$
	11	1	1	0	1
	10	$\Phi$	$\Phi$	$\Phi$	$\Phi$

图 2.17 题 2-14 (3) 卡诺图

由卡诺图可知:  $F_3 = \overline{A}\overline{C} + \overline{A}C + \overline{B}\overline{D}$

(4) 卡诺图如图 2.18 所示:

		CD			
		00	01	11	10
AB	00	1	$\Phi$	0	1
	01	0	$\Phi$	1	$\Phi$
	11	$\Phi$	1	1	0
	10	1	$\Phi$	$\Phi$	$\Phi$

图 2.18 题 2-14 (4) 卡诺图

由卡诺图可知:  $F_4 = \overline{B}\overline{D} + BD$

(5) 卡诺图如图 2.19 所示:



CD \ AB	00	01	11	10
00	1	$\Phi$	$\Phi$	$\Phi$
01	1	0	0	1
11	0	1	0	0
10	1	$\Phi$	$\Phi$	$\Phi$

图 2.19 题 2-14 (5) 卡诺图

由卡诺图可知： $F_5 = \overline{B} + \overline{A}\overline{D} + A\overline{C}D$

(6) 卡诺图如图 2.20 所示：

CD \ AB	00	01	11	10
00	1	0	0	1
01	0	$\Phi$	$\Phi$	1
11	0	$\Phi$	$\Phi$	1
10	1	0	0	1

图 2.20 题 2-14 (6) 卡诺图

由卡诺图可知： $F_6 = \overline{B}\overline{D} + C\overline{D}$

3-5 为了实现图 3-6 所示的各 TTL 门电路输出端所示的逻辑关系，请合理地将多余的输入端进行处理。

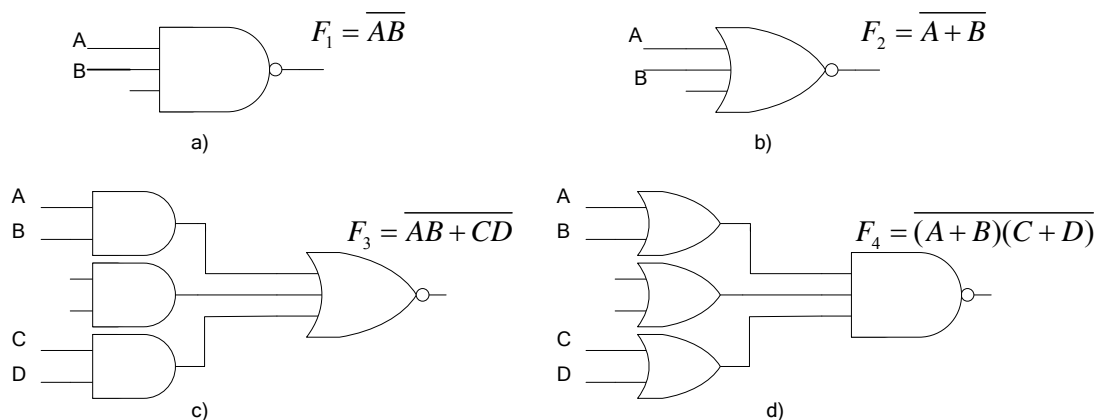


图 3-6 题 3-5 图

解：a) 多余输入端可以悬空，但建议接高电平或与另两个输入端的一端相连；

b) 多余输入端接低电平或与另两个输入端的一端相连；

c) 未用与门的两个输入端至少一端接低电平，另一端可以悬空、接高电平或接低电平；

d) 未用或门的两个输入端悬空或都接高电平。

处理后的电路图如图 3-7 所示。

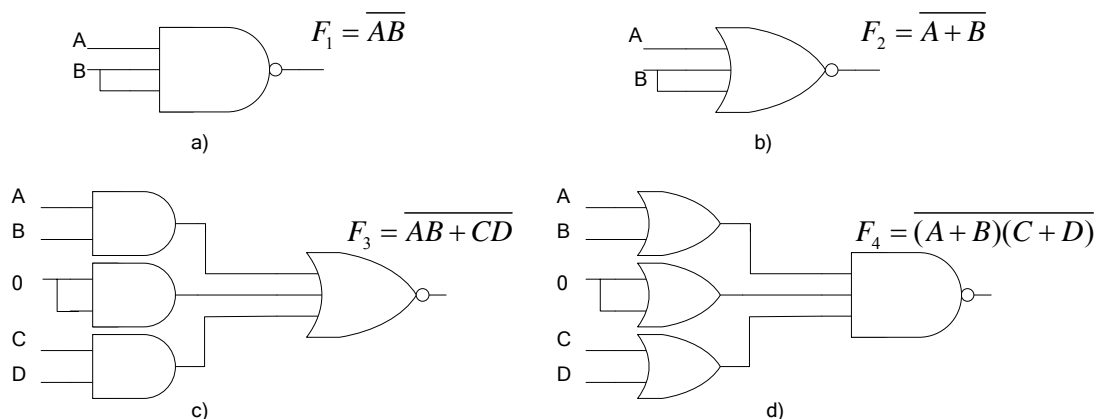


图 3-7 题 3-5 修改后电路图

3-6 如要实现图 3-8 所示各 TTL 门电路输出端所示的逻辑关系，请分析电路输入端的连接是否正确？若不正确，请予以改正。

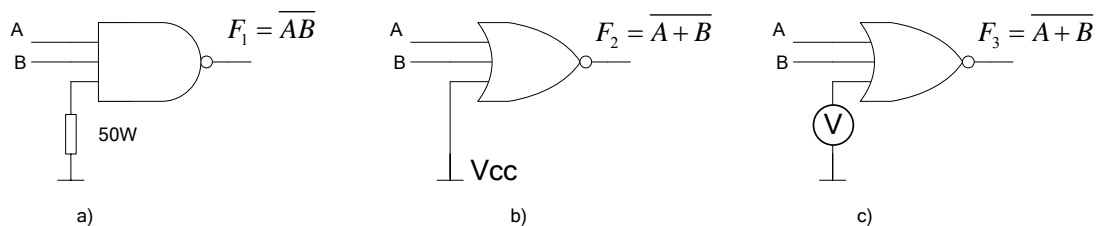


图 3-8 题 3-6 图

解：a) 不正确。输入电阻过小，相当于接低电平，因此将  $50\Omega$  提高到至少  $2K\Omega$ 。

b) 不正确。第三脚  $V_{CC}$  应该接低电平。

c) 不正确。万用表一般内阻大于  $2K\Omega$ ，从而使输出结果 0。因此多余输入端应接低电平，万用表只能测量 A 或 B 的输入电压。

修改后的电路如图 3-9 所示。

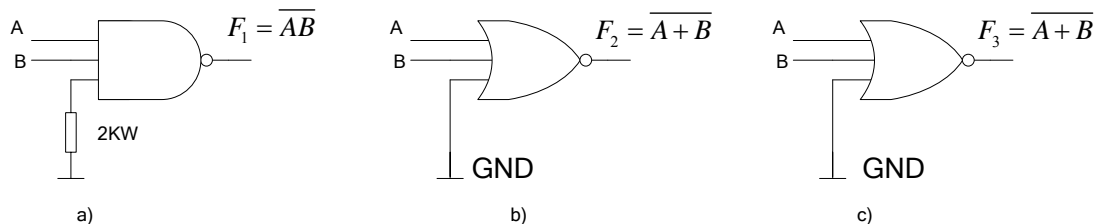


图 3-9 修改后的题 3-6 图

3-8 如图 3-11 所示 TTL 与非门，其多发射极晶体管的基极电阻  $R_1=2.8k\Omega$ ，若在 A 输入端分别为 5V、3.6V、0.6V、0.3V、0V 的电压，试分析计算接到 B 输入端电压表的读数是多少？输出电压  $v_O$  是多少？

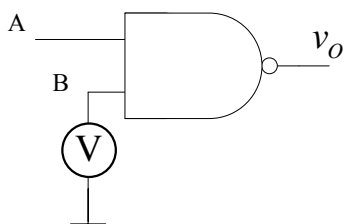


图 3-11 题 3-8 图

解：（1）当输入 5V 时，电压表的读数为 1.4V， $v_O=0.3V$ ；

（2）当输入 3.6V 时，电压表的读数为 1.4V， $v_O=0.3V$ ；

（3）当输入 0.6V 时，电压表的读数为 0.6V， $v_O=3.6V$ ；

（4）当输入 0.3V 时，电压表的读数为 0.3V， $v_O=3.6V$ ；

(5) 当输入 0V 时, 电压表的读数为 0V,  $v_O=3.6V$ 。

3-11 有 TTL 与非门、或非门和三态门组成的电路如图 3-14a) 所示, 图 3-14a) b) 是各输入端的输入波形, 试画出  $F_1$  和  $F_2$  的波形图。

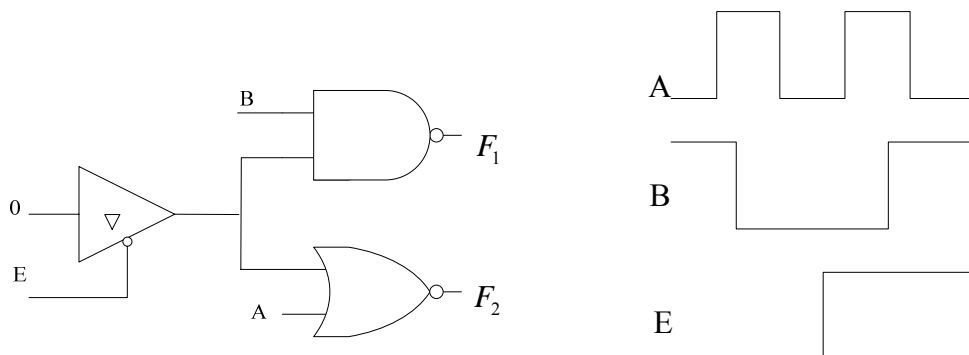


图 3-14 题 3-11 图

解: (1) 当 E 为高电平时, 缓冲器 (三态门) 输出为高阻, 对应与非门与或非门的输入相当于悬空, 而 TTL 门悬空相当于输入高电平, 因此  $F_1 = \bar{B}$ ,  $F_2 = 0$

(2) 当 E 为低电平时, 缓冲器 (三态门) 输出同输入, 输出为 0, 因此  $F_1 = 1$ ,  $F_2 = \bar{A}$ 。

输出波形如图 3-15 所示。

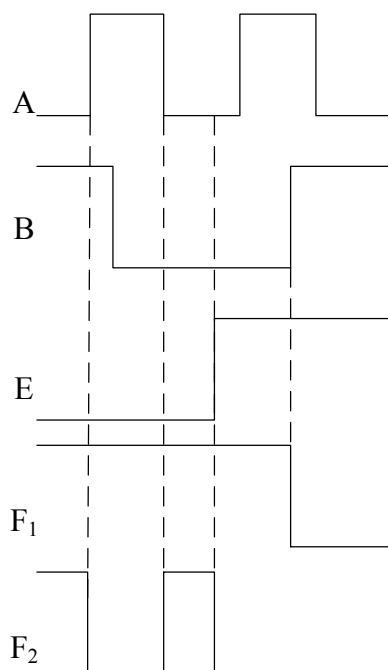


图 3-15 题 3-11 输出波形图

3-13 图 3-17 所示逻辑电路中,  $G_1$ 、 $G_2$ 、 $G_3$  是 OC 门。负载电阻  $R_L=2k\Omega$ , 其输

出低电平的输出特性如图 3-17b) 所示。负载门是 CT74H 系列的与非门，其多发射极晶体管的基极电阻  $R_1=2.8\text{ k}\Omega$ ，输入高电平漏电流  $I_{IH}=40\mu\text{A}$ ，OC 门输出高电平的漏电流  $I_{OH}=2\mu\text{A}$ ， $V_{OHmin}=3\text{V}$ ， $V_{OLmax}=0.4\text{V}$ 。试求此“线与”输出能带二输入 TTL 与非门多少个？

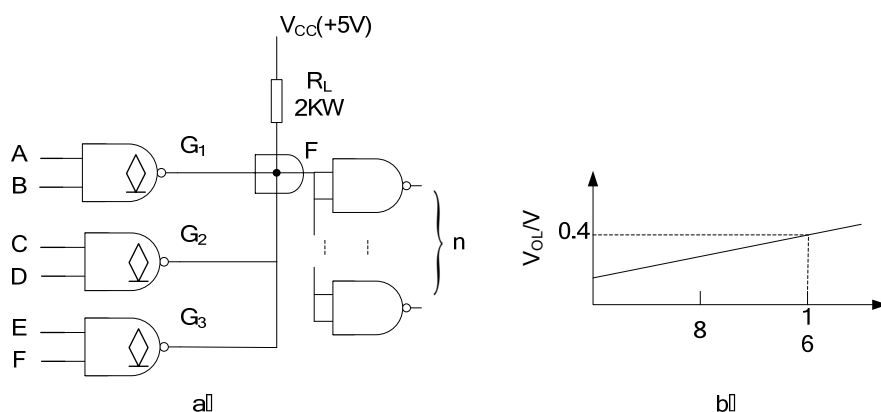


图 3-17 由 OC 门组成的线与输出的逻辑电路

解：OC 门输出短接时可以实现“线与”功能，分析图中所示电路驱动双输入与非门的数量，则需要分为输出高电平和低电平两种情况分析。

1) 当“线与”端为高电平时，所有 OC 门均输出高电平，此时应满足如下不等式：

$$V_{CC} - I_L R_L \geq V_{OHmin}$$

其中：  $I_L = 3 \times I_{OH} + 2 \times n I_{IH}$

$$n = \frac{\left( \frac{V_{CC} - V_{OHmin}}{R_L} - 3I_{OH} \right)}{2I_{IH}} = \frac{\frac{5-3}{2} \times 1000 - 3 \times 2}{2 \times 40} \approx 12$$

2) 当“线与”端为低电平时，考虑最坏情况，即只有一个 OC 门输出为低电平，此时应满足如下不等式：

$$I_{OL} = I_{RL} + n I_{IL} = \frac{V_{CC} - V_{OLmax}}{R_L} + n I_{IL} < I_{OLMAX}$$

$$n = \frac{I_{OLMAX} - \frac{V_{CC} - V_{OLmax}}{R_L}}{I_{IL}} = \frac{16 - \frac{5-0.4}{2}}{1.5} \approx 9$$

综合以上情况，图中“线与”输出最多能带 9 个二输入 TTL 与非门。

3-14 图 3-18 所示 3 个 CMOS 门电路，为实现图中各输出端所示逻辑函数表达式的逻辑关系，多余输入端 C 应如何处理？

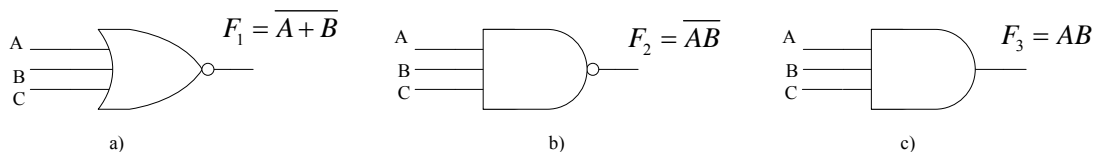


图 3-18 题 3-14 图

解：a) C 端接低电平或与其他端并连使用。

b) C 端接高电平或与其他端并连使用。

c) C 端接高电平或与其他端并连使用。

3-15 如图 3-19 所示逻辑电路，图中  $G_1$  是 TTL 三态输出与非门， $G_2$  是 74 系列 TTL 与非门，电压表的量程为 5V，内阻为 100 k $\Omega$ 。试问，在下列四种情况下电压表的读数以及  $G_2$  的输出电压  $v_O$  各为多少？

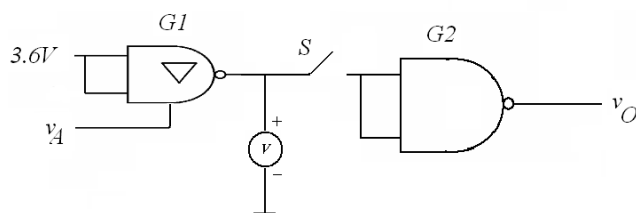


图 3-19 题 3-15 电路

- |                          |                          |
|--------------------------|--------------------------|
| (1) $v_A=0.3V$ ，开关 S 打开； | (2) $v_A=0.3V$ ，开关 S 闭合； |
| (3) $v_A=3.6V$ ，开关 S 打开； | (4) $v_A=3.6V$ ，开关 S 闭合。 |

答：(1)  $v_A=0.3V$ ， $G_1$  处于高阻状态，电压表没有读数；开关 S 打开， $G_2$  输入相当于高电平， $v_O=0.3V$ 。

(2)  $v_A=0.3V$ ， $G_1$  处于高阻状态；由于开关 S 闭合，所以  $G_2$  输入相当于高电平，电压表读数 1.4V， $v_O=0.3V$ 。

(3)  $v_A=0.3V$ ， $G_1$  正常工作，电压表读数 0.3V；开关 S 打开， $G_2$  输入相当于高电平， $v_O=0.3V$ 。

(4)  $v_A=0.3V$ ， $G_1$  正常工作，电压表读数 0.3V；开关 S 闭合， $v_O=3.6V$ 。

3-16 由 TTL 三态门和 OC 门组成的逻辑电路如图 3-20 所示， $V'_{CC}=10V$ ， $G_1$ 、 $G_2$  门原理图分别如图 3-39、3-33 所示，设图 3-33 中  $R_1=2.8K\Omega$ ，并且

$V_{OH}=3.6V$ ， $V_{OL}=0.3V$ ，试用内阻为 20 k $\Omega/V$  的万用表测量图中 A、B、C 共 3

点的电压，读数各为多少？

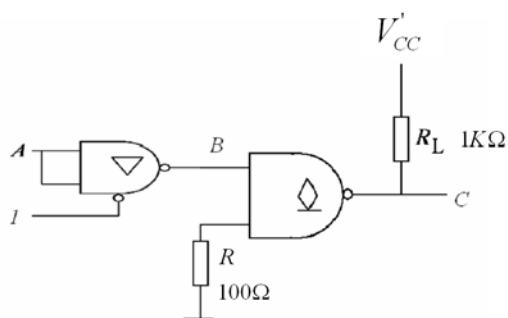


图 3-20 题 3-16 图

解：由图 3—39 可以看出，当控制端  $\overline{EN} = 1$  时，晶体管  $V_1$  基极电压  $V_{B1} = 1V$ ，因此 A 点电压为  $0.3V$ 。

当三态门控制端  $\overline{EN} = 1$  时，输出为高阻状态，对于 OC 门，可以认为 B 点开路，电压可以通过下式求解：

$$V_B \approx \frac{V_{CC} - 0.7}{2.8 + 0.1} \times 0.1 \approx 0.15V$$

从图 3—33 可以看出，当 OC 门输出为高电平， $V_s$  截止，因此 C 点电压  $V_C \approx V'_{CC} = 10V$ 。

4-1

(3) 图 c)

1) 逻辑函数表达式:  $F = AB + \overline{A}\overline{B}$

2) 真值表如表 4-3 所示:

表 4-3 题 4-1c) 真值表

A	B	F
0	0	1
0	1	0
1	0	0
1	1	1

3) 逻辑功能: 实现同或运算。

4-4 采用图 4-21a) 所示的 3 线—8 线译码器 74LS138 和必要的门电路实现下面多输出逻辑函数。

$$F_1 = \overline{A}\overline{B}\overline{C} + A\overline{B}\overline{C} + BC$$

$$F_2 = \overline{B}\overline{C} + ABC$$

解: 首先将需要实现的逻辑函数化为最小项之和的形式, 有:

$$F_1 = \sum m(1, 3, 4, 7) = \overline{m_1 m_3 m_4 m_7} = \overline{F_1 F_3 F_4 F_7}$$

$$F_2 = \sum m(0, 4, 6) = \overline{m_0 m_4 m_6} = \overline{F_0 F_4 F_6}。$$

对于 3 线—8 线译码器 74LS138, 输出  $\overline{F_0} = \overline{m_0}$ ,  $\overline{F_1} = \overline{m_1}$ ,  $\dots$ ,  $\overline{F_7} = \overline{m_7}$ 。

对照上式, 可以得到逻辑电路图, 如图 4-5 所示。

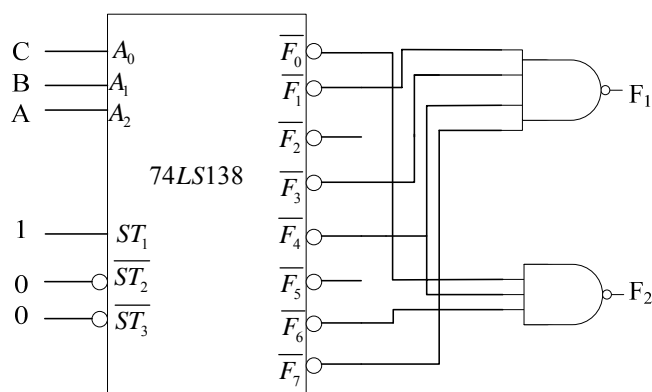


图 4-5 题 4-4 逻辑电路图

4-5 使用图 4-45 所示的 8 选 1 数据选择器 74LS151 实现函数:



$$F_1 = \sum m(1,5,6,7,9,11,12,13,14)$$

要求：

(1) 用一片 74LS151 实现。

(2) 用两片 74LS151 通过扩展实现。

解：(1) 利用一片 74LS151 实现，首先将需要实现的逻辑函数化成最小项之和的形式，有：

$$\begin{aligned} F_1 &= \sum m(1,5,6,7,9,11,12,13,14) \\ &= \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}BCD + A\overline{B}\overline{C}\overline{D} + A\overline{B}C\overline{D} + AB\overline{C}\overline{D} + ABC\overline{D} + ABCD \end{aligned}$$

74LS151 输入和输出对应关系为：

$$\begin{aligned} Y &= \overline{A_2}\overline{A_1}\overline{A_0}D_0 + \overline{A_2}\overline{A_1}A_0D_1 + \overline{A_2}A_1\overline{A_0}D_2 + \overline{A_2}A_1A_0D_3 + A_2\overline{A_1}\overline{A_0}D_4 \\ &+ A_2\overline{A_1}A_0D_5 + A_2A_1\overline{A_0}D_6 + A_2A_1A_0D_7 \end{aligned}$$

将输入逻辑变量  $ABC$  分别和 74LS151 的  $A_2A_1A_0$  相连，则逻辑函数可转换成：

$$\begin{aligned} F_1 &= \overline{A_2}\overline{A_1}\overline{A_0}D + \overline{A_2}\overline{A_1}A_0D + \overline{A_2}A_1\overline{A_0}\overline{D} + \overline{A_2}A_1A_0D + A_2\overline{A_1}\overline{A_0}\overline{D} \\ &+ A_2\overline{A_1}A_0D + A_2A_1\overline{A_0}\overline{D} + A_2A_1\overline{A_0}D + A_2A_1A_0\overline{D} \end{aligned}$$

对照上述两式，有：

$$D_0 = D_2 = D_4 = D_5 = D; \quad D_7 = \overline{D}; \quad D_3 = D_6 = 1; \quad D_1 = 0。$$

逻辑电路图如图 4-6 所示。

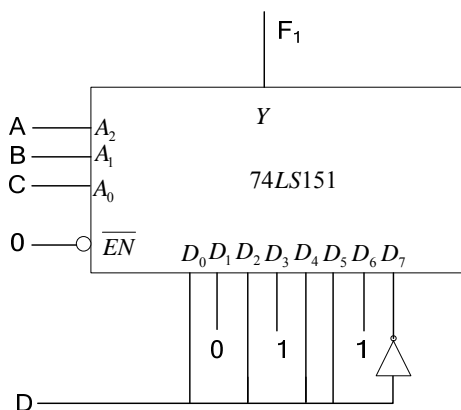


图 4-6 题 4-5 (1) 逻辑电路图

(2) 利用两片 74LS151 实现，首先将两片 74LS151 扩展成 16 选 1 数据选择器，即将输入  $A, B, C, D$  分别和 74LS151 的使能和地址输入端  $\overline{E}, A_2, A_1, A_0$ ，相连。对于需要实现的逻辑函数，有：

$$D_0 = D_2 = D_3 = D_4 = D_8 = D_{10} = D_{15} = 0, D_1 = D_5 = D_6 = D_7 = D_9 = D_{11} = D_{12} = D_{13} = D_{14} = 1$$

电路如图 4-7 所示。

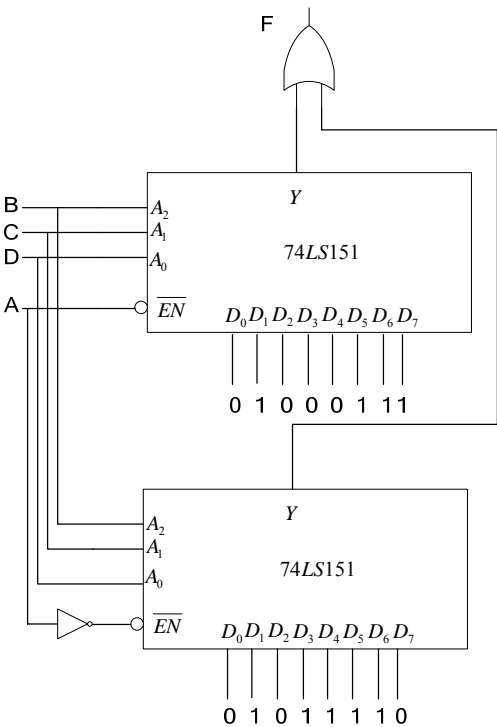


图 4-7 题 4-5（2）逻辑电路图

4-6 设计一个组合电路，其功能为：在控制信号  $s_1s_0$  作用下，输入信号 A、B 进行表 4-8 所示的逻辑运算。

表 4-8 题 4-6 功能表

$S_1$	$S_0$	$F$
0	0	$AB$
0	1	$A + B$
1	0	$A \oplus B$
1	1	$A$

要求：

- （1）列出真值表，写出逻辑式，用 Multisim 2001 软件中“逻辑转换器”的与非门实现。
- （2）用图 4-45 所示的 8 选 1 数据选择器 74LS151 实现，用 Multisim 2001 软件中“逻辑转换器”验证。

解：（1）真值表如表 4-9 所示。

表 4-9 题 4-6 真值表

$S_1$	$S_0$	A	B	$F$
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

可以得到逻辑表达式：

$$F = \overline{S_1}\overline{S_0}AB + \overline{S_1}S_0A\overline{B} + \overline{S_1}S_0\overline{A}B + \overline{S_1}S_0AB + S_1\overline{S_0}\overline{A}B + S_1\overline{S_0}A\overline{B} + S_1S_0\overline{A}\overline{B} + S_1S_0AB$$

经过化简后，有：

$$F = \overline{S_1}\overline{S_0}AB + \overline{S_1}S_0A + \overline{S_1}S_0B + S_1\overline{S_0}A\overline{B} + S_1\overline{S_0}AB + S_1S_0\overline{A}$$

电路逻辑图如图 4-8 所示。

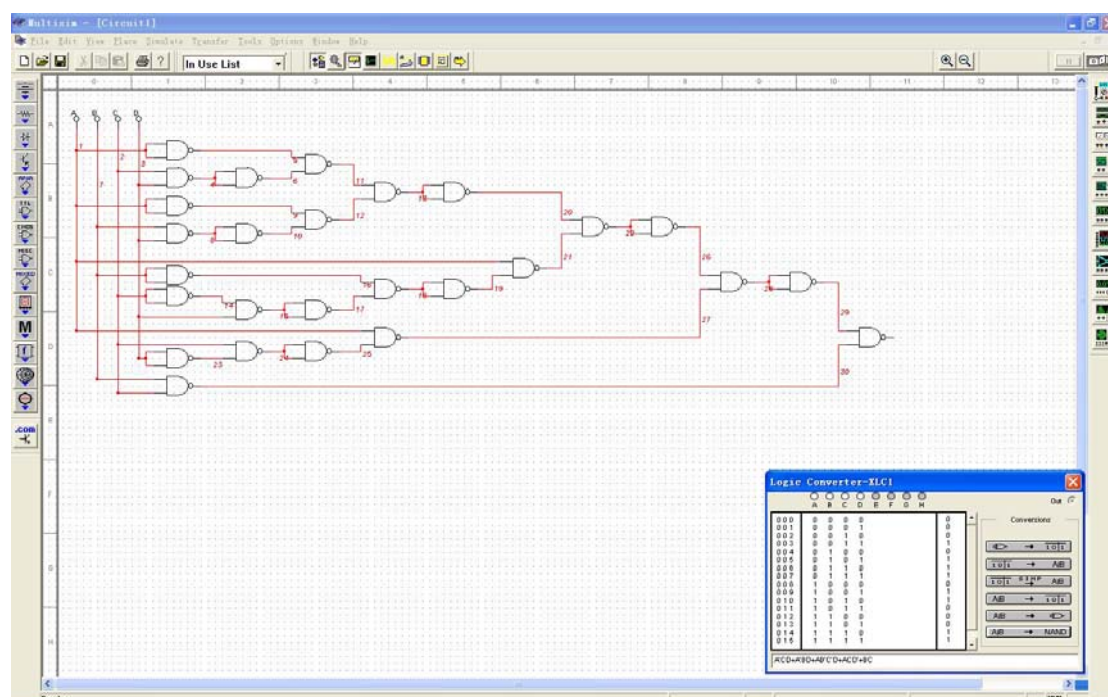


图 4-8 题 4-6 (1) 逻辑电路图

(2) 将  $S_1, S_0, A$  分别接 8 选 1 的地址  $A_2, A_1, A_0$ , 则输入端分别为:

$D_1 = D_2 = D_4 = B$ ,  $D_5 = \bar{B}$ ,  $D_3 = D_7 = 1$ ,  $D_0 = D_6 = 0$ , 逻辑电路如图 4-9 所示。

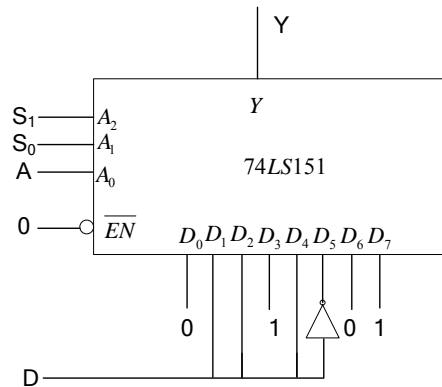


图 4-9 题 4-6 (2) 逻辑电路图

Multisim 2001 仿真验证如图 4-10 所示。得到的最简函数式和图 4-8 所示相同。

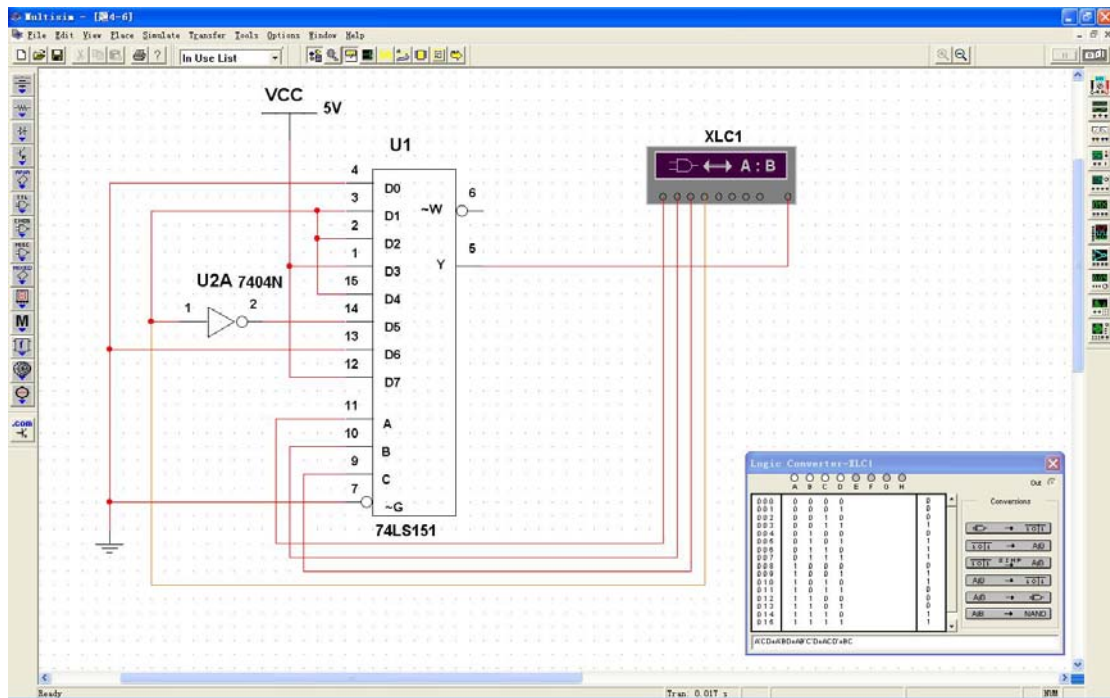


图 4-10 题 4-6 (2) 仿真验证图

4-7 用图 4-11 所示的 4 位全加器 74LS283 和必要的逻辑门电路, 设计代码转换电路, 要求:

- (1) 将 8421 码转换成为余 3 码;
- (2) 将余 3 码转换成为 8421 码。

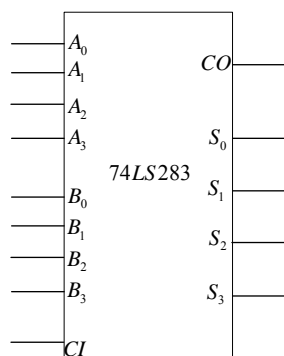


图 4-11 4 位全加器 (74LS283)

解: (1) 8421 码加 3 即可获得余 3 码, 因此将输入 8421 码 ABCD 分别接加法器的  $A_3A_2A_1A_0$ , 加法器的  $B_3B_2B_1B_0=0011$ ,  $CI=0$ 。电路如图 4-12a) 所示。

(2) 余 3 码减 3 可获得 8421 码, 相当于加 3 的补码, 即 1101。因此输入余 3 码 ABCD 分别接加法器的  $A_3A_2A_1A_0$ , 加法器的  $B_3B_2B_1B_0=1101$ ,  $CI=0$ 。电路如图 4-12b) 所示。

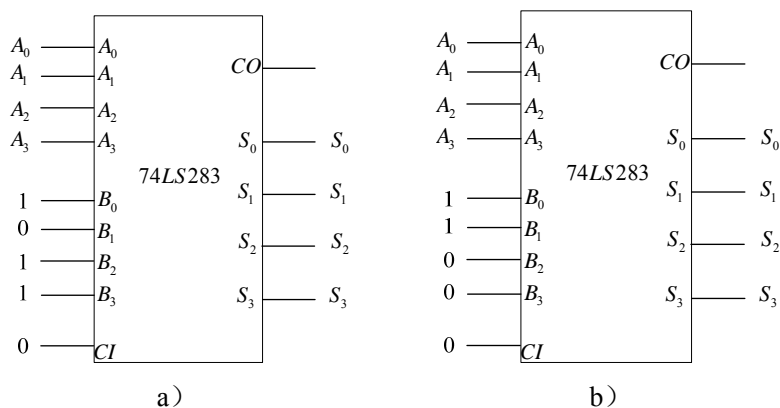


图 4-12 题 4-7 逻辑电路图

4-9 设计一个表决电路。当控制端  $M=0$ , 输入端 ABC 一致同意时, 输出 F 为 1, 否则 F 为 0; 当  $M=1$  时, 输入端 ABC 多数同意时, 输出 F 为 1, 否则为 0。要求:

- (1) 用图 4-45 所示 8 选 1 数据选择其 74LS151 实现。
- (2) 用图 4-21 所示的 3 线—8 线译码器 74LS138 通过扩展实现。
- (3) 用 Multisim 2001 软件验证上述设计, 并要求用“逻辑转换器”的与非门实现该电路。

解: (1) 首先列出真值表, 如表 4-10 所示。

表 4-10 题 4-9 真值表

M	A	B	C	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

可以得到逻辑表达式：

$$\begin{aligned}
 F_1 &= ABC\overline{M} + ABCM + \overline{A}BCM + \overline{A}BCM + A\overline{B}CM \\
 &= (m_3 + m_5 + m_6 + m_7)M + m_7\overline{M}
 \end{aligned}$$

将  $A$ 、 $B$ 、 $C$  分别接 8 选 1 的地址  $A_2$ 、 $A_1$ 、 $A_0$ ，则输入端分别为：

$$D_3 = D_5 = D_6 = M, \quad D_7 = 1, \quad D_0 = D_1 = D_2 = D_4 = 0。$$

逻辑电路图如图 4-14 所示。

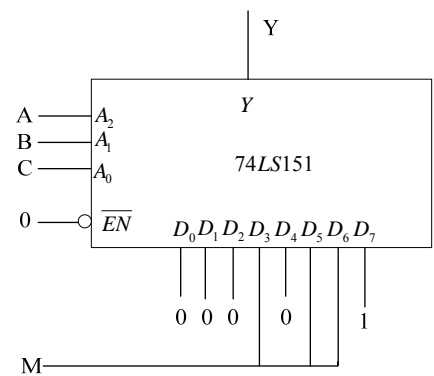


图 4-14 题 4-9（1）逻辑电路图

（2）首先将 3 线—8 线译码器扩展成 4 线—16 线译码器，则需要实现的逻辑函数可以转换成：

$$F = \overline{\overline{m_7 m_{11} m_{13} m_{14} m_{15}}} = \overline{\overline{F_7 F_{11} F_{13} F_{14} F_{15}}}$$

从上式可以得到逻辑电路图，如图 4-15 所示。

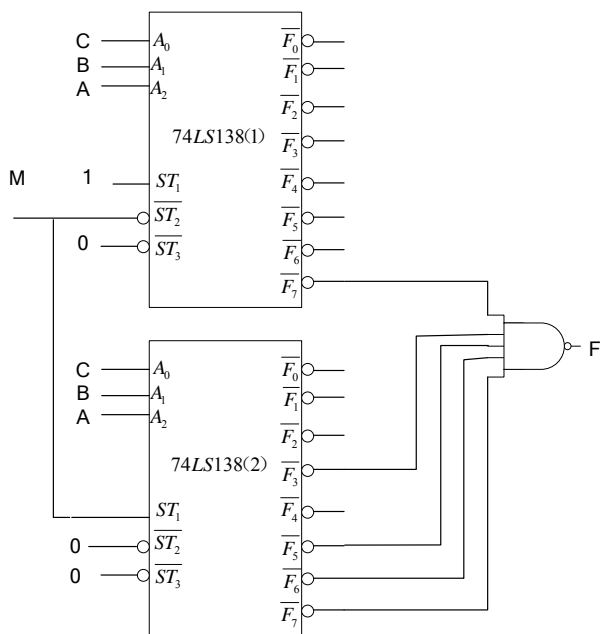


图 4-15 题 4-9（2）逻辑电路图

(3) Multisim 2001 仿真逻辑电路图如图 4-16 所示。

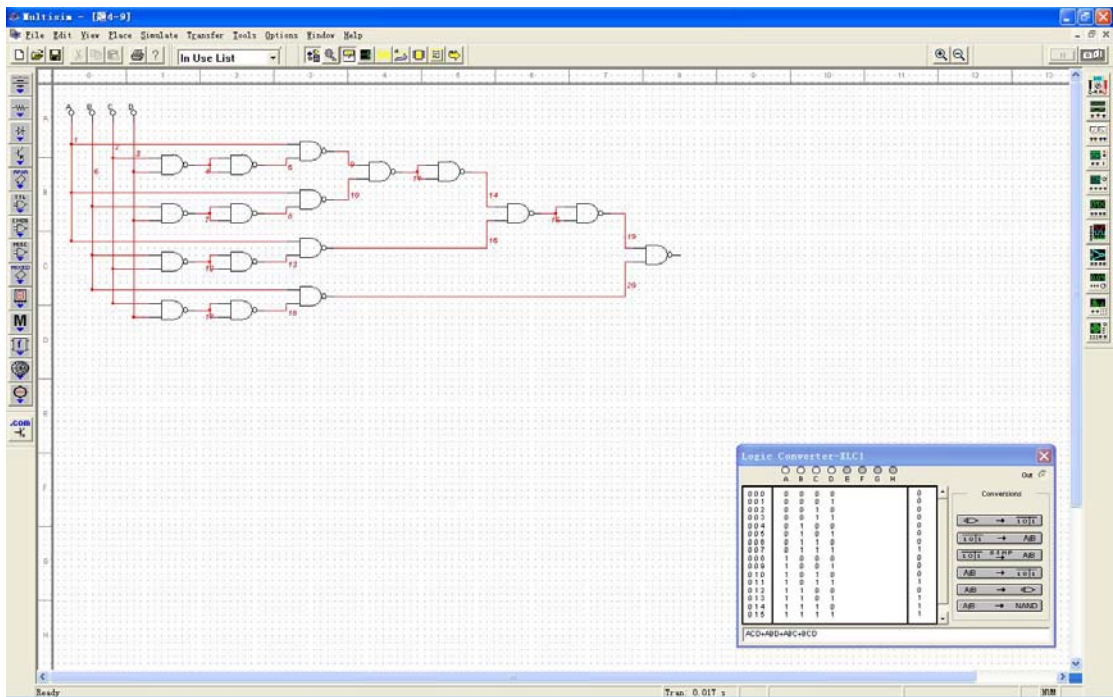


图 4-16 Multisim 2001 仿真逻辑电路图

4-10 设计一个电路，用 3 个开关控制 1 个灯。即任何一个开关都可以控制灯的开、关。要求：

(1) 列出真值表，写出逻辑式，并采用 Multisim 2001 “逻辑转换器” 的与非门实现；

(2) 在 Multisim 2001 中，用一片 8 选 1 数据选择器设计，加入电源、开关、指示灯进行验证。

解：设三个开关分别为 A，B，C，开关闭合定义为逻辑 ‘1’，开关断开定义为逻辑 ‘0’，灯为输出 F，灯亮为 ‘1’，灯灭为 ‘0’。根据题意，可以列出真值表，如表 4-11 所示。

表 4-11 题 4-10 真值表

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

可以得到逻辑表达式：

$$F = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$$

逻辑电路图如图 4-16 所示。

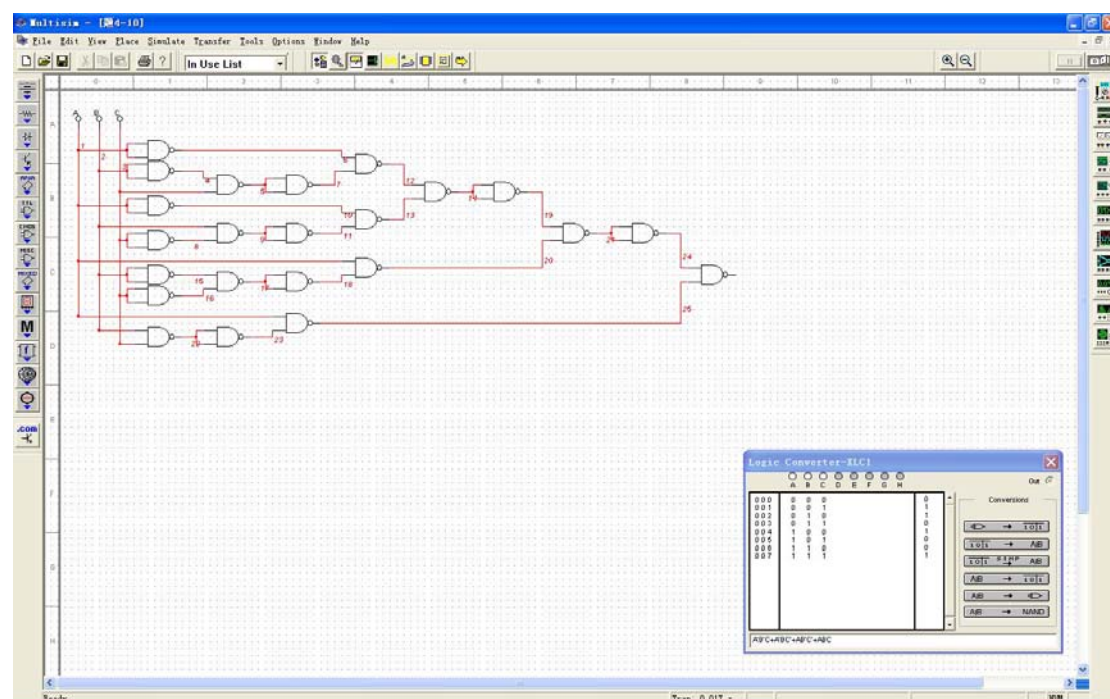


图 4-16 题 4-10 1) 逻辑电路图



2) 采用 8 选 1 数据选择器，逻辑表达式可以转换为：

$$F = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC = m_1 + m_2 + m_4 + m_7$$

逻辑电路图如图 4-17 所示。

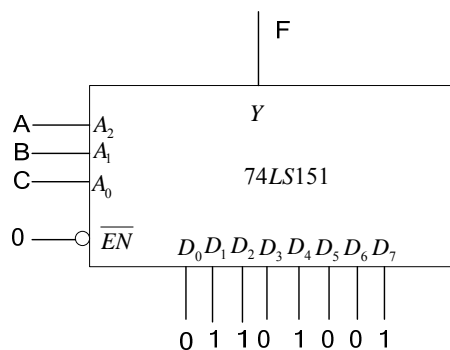


图 4-17 题 4-10 2) 逻辑电路图

Multisim 2001 仿真验证如图 4-18 所示。

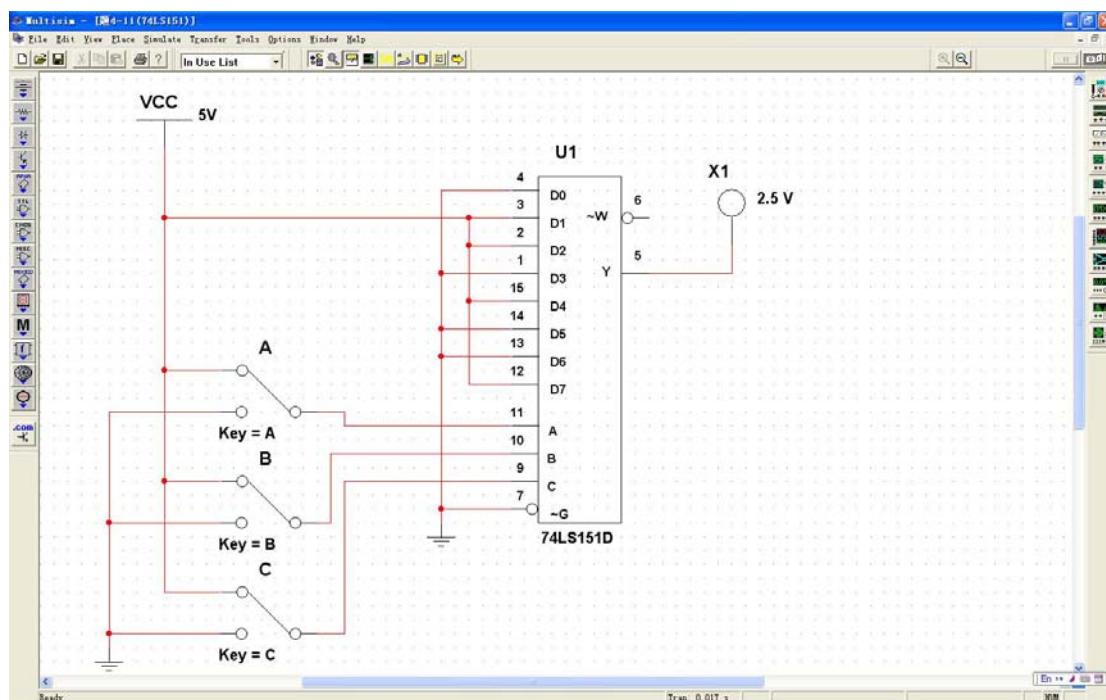


图 4-18 题 4-10 仿真电路图

5-3 画出图 5-1 由与非门组成的基本 RS 触发器输出端  $Q$ 、 $\bar{Q}$  的电压波形，输入端  $\bar{R}_D$  和  $\bar{S}_D$  的电压波形如图中所示。

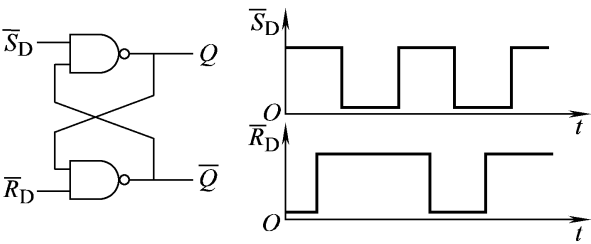


图 5-1

解：输出端波形图如图 5-2 所示。

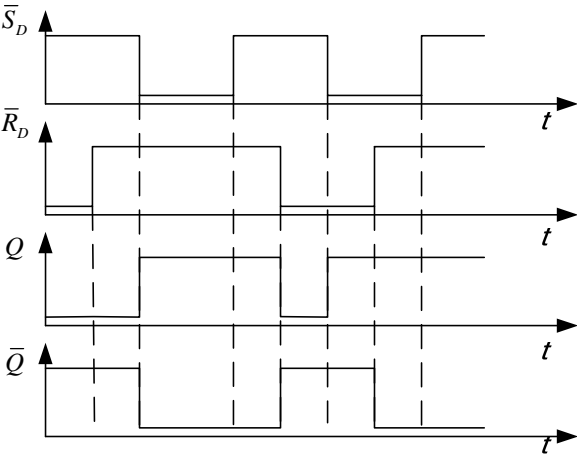


图 5-2 题 5-3 波形图

5-10 边沿触发型 JK 触发器及其输入端信号 CP、J、K 的波形如图 5-15 所示，设触发器的初始状态为 0，试画出  $Q$ 、 $\bar{Q}$  的波形图。

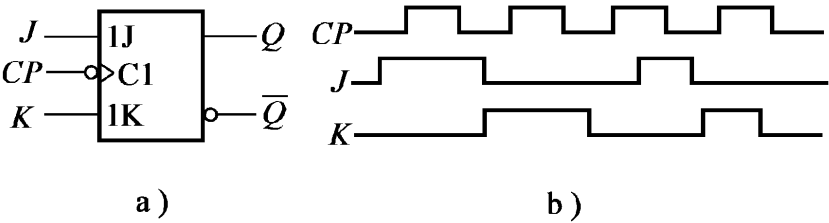


图 5-15 题 5-10 图

解：输出波形如图 5-16 所示。

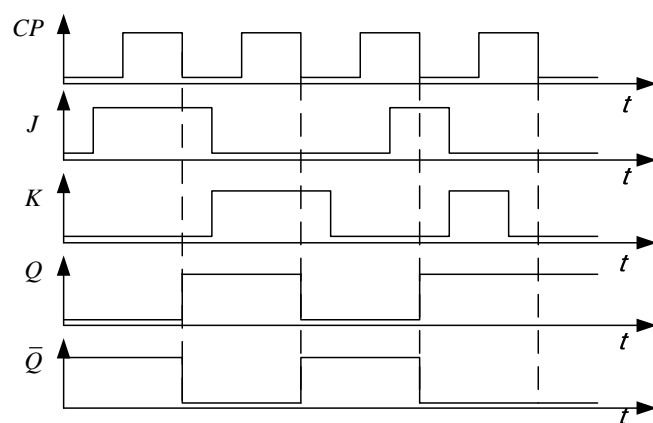


图 5-16 题 5-9 波形图

5-12 已知 CMOS 边沿触发结构 JK 触发器各输入端的电压波形如图 5-19 所示。

试画出  $Q$ 、 $\bar{Q}$  端对应的电压波形。

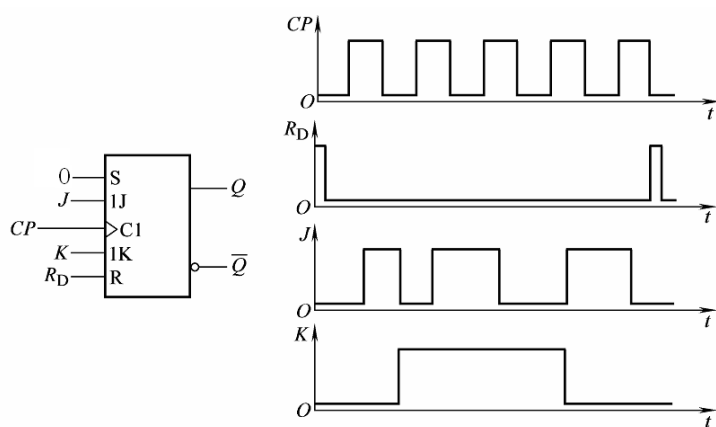


图 5-19 题 5-12 图

解：输出波形如图 5-20 所示。

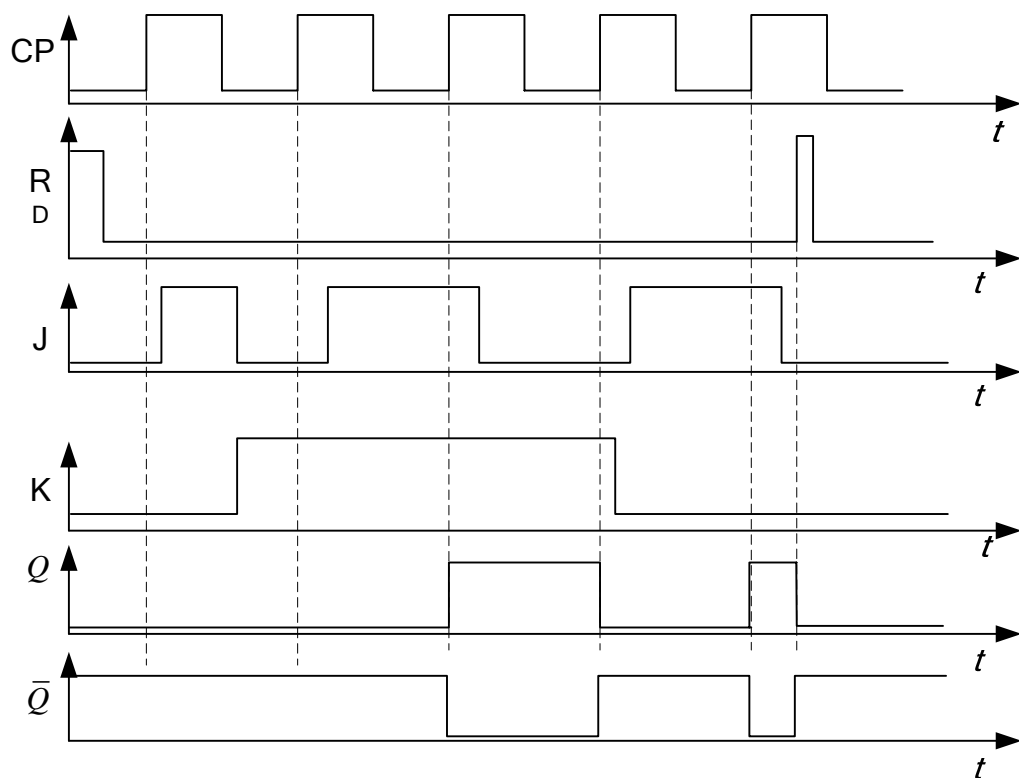


图 5-20 题 5-12 波形图

5-13 设图 5-21 中各触发器的初始状态皆为  $Q = 0$ ，试画出在 CP 信号连续作用下各触发器输出端的电压波形。

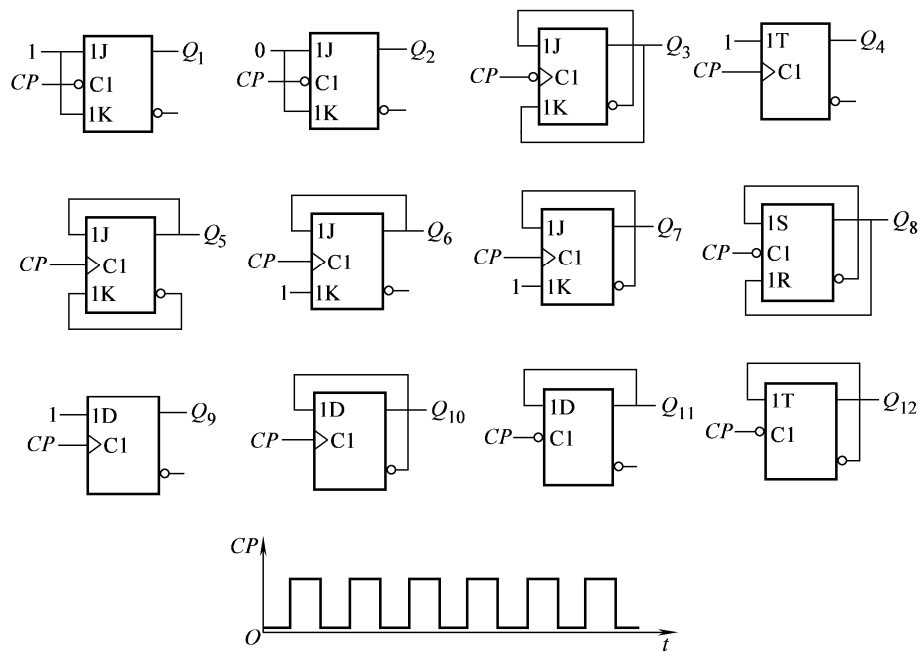


图 5-21 题 5-13 图

解：输出波形如图 5-22 所示。

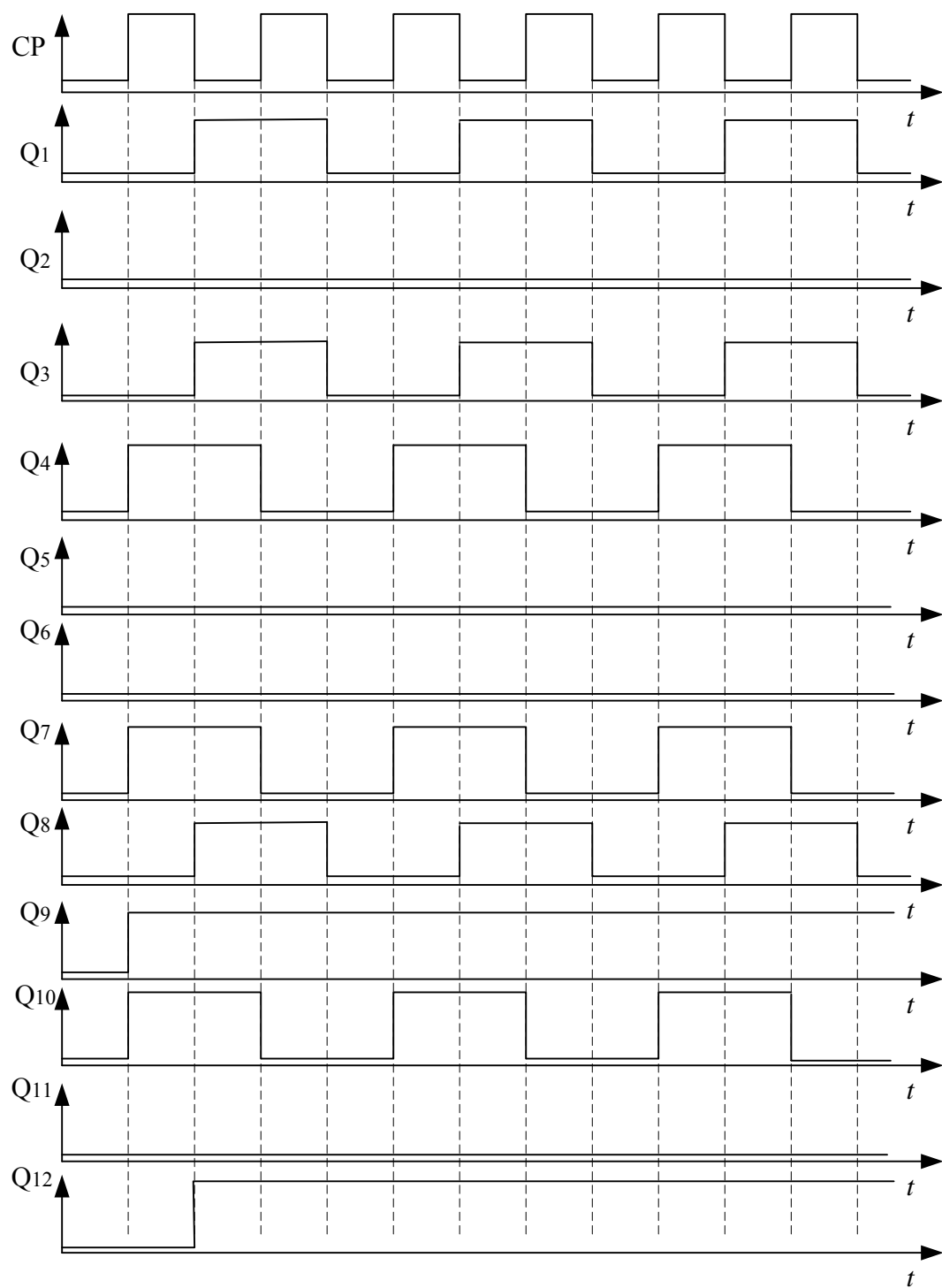


图 5-22 题 5-13 波形图

5-17 如图 5-29a) 所示电路, 设初始状态  $Q_1^n = Q_2^n = 0$ , CP、A 端的输入波形如图 5-29b) 所示, 试画出  $Q_1$  和  $Q_2$  的波形图。

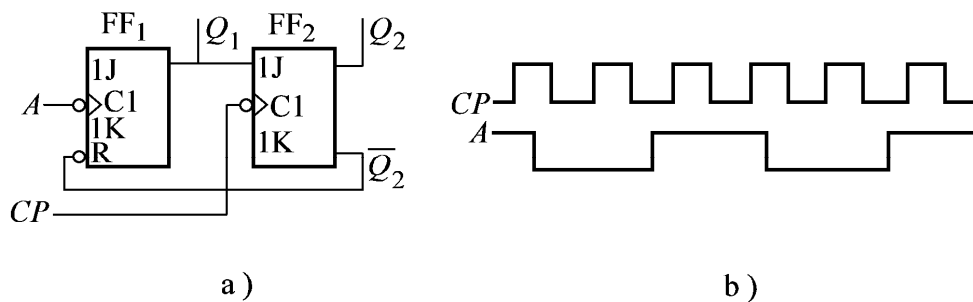


图 5-29 题 5-17 图

解：对于  $FF_1$ ：  $CP_1=A$ ，  $J=K=1$ ，  $Q_1^{n+1} = \overline{Q_1^n}$ ，  $R = \overline{Q_2^n}$ 。对于  $FF_2$ ：  $CP_2=CP$ ，  
 $J = Q_1^n$ ，  $K=1$ ，  $Q_2^{n+1} = Q_1^n \overline{Q_2^n}$ 。

输出波形如图 5-30 所示。

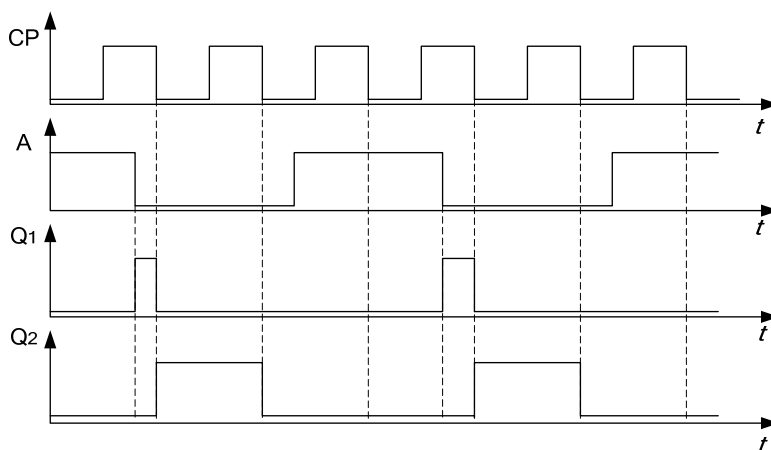


图 5-30 题 5-17 波形图

5-19 如图 5-33a) 所示电路。其输入端 CP 和 A 的波形图如图 5-33b) 所示，设触发器的初始状态  $Q_1^n = Q_2^n = 0$ ，试画出电路输出端  $F_1$ ，  $F_2$  的波形图。

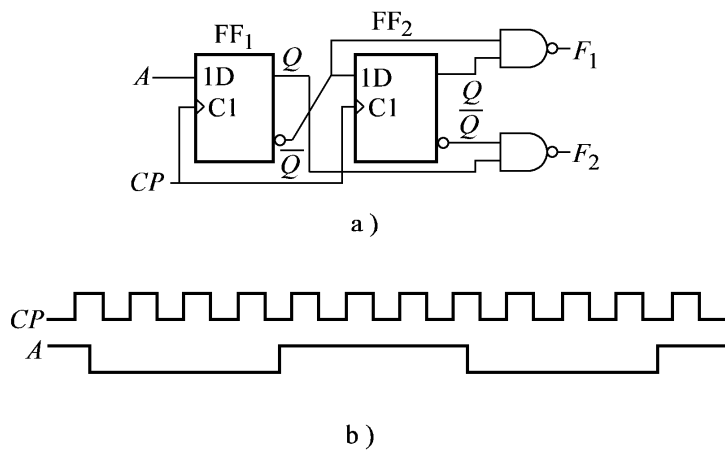


图 5-31 题 5-19 图

解：根据图 5-31，可以得到输出逻辑表达式： $Q_1^{n+1} = A$ ， $Q_2^{n+1} = Q_1^n$ ， $F_1 = \overline{Q_1^n Q_2^n}$ ， $F_2 = \overline{Q_1^n Q_2^n}$ ，输出波形如图 5-32 所示。

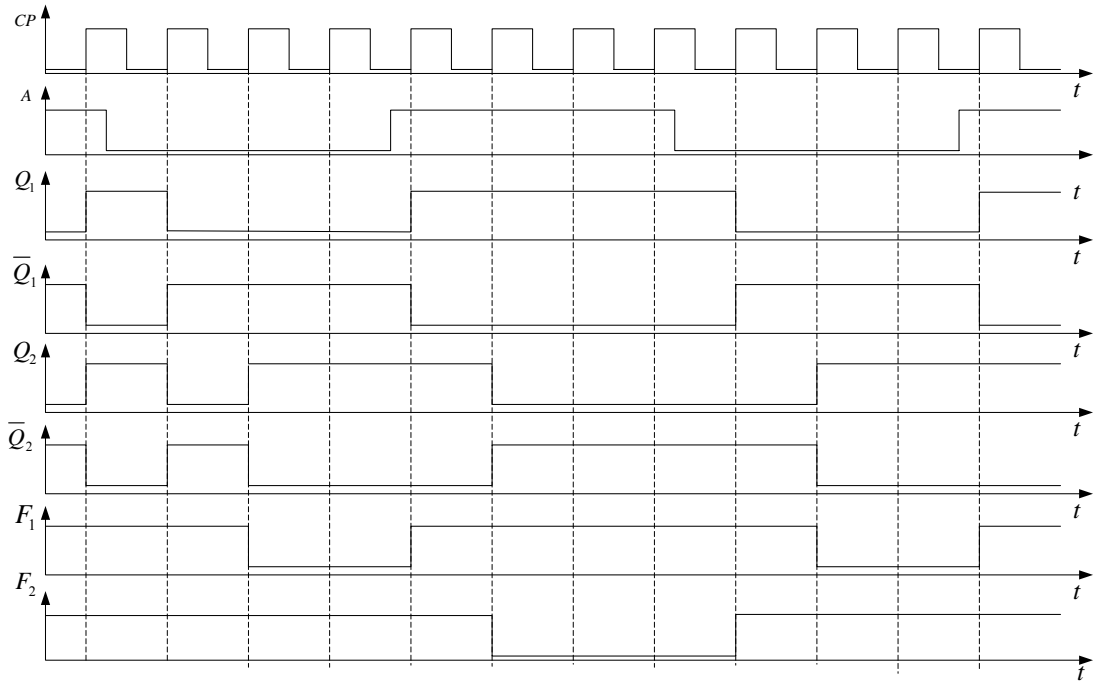


图 5-32 题 5-19 波形图

6-2 试分析图 6-1 所示时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图，并且说明电路能否自启动。

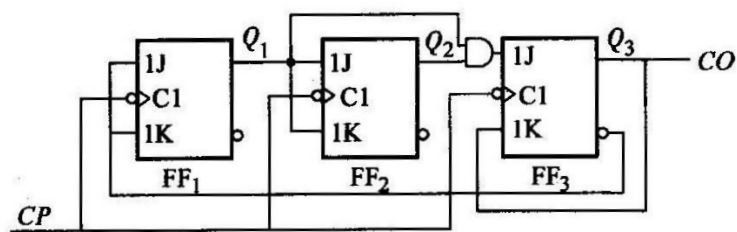


图 6-1 题 6-2 图

解：（1）确定各触发器的驱动方程：

$$J_1 = K_1 = \overline{Q_3};$$

$$J_2 = K_2 = Q_1;$$

$$J_3 = Q_1 Q_2, \quad K_3 = Q_3$$

（2）列出电路的状态方程和输出方程：

$$Q_1^{n+1} = J_1 \overline{Q_1} + \overline{K_1} Q_1 = \overline{Q_3} \overline{Q_1} + Q_3 Q_1 = Q_1 \oplus Q_3$$

$$Q_2^{n+1} = J_2 \overline{Q_2} + \overline{K_2} Q_2 = Q_1 \overline{Q_2} + \overline{Q_1} Q_2 = Q_1 \oplus Q_2$$

$$Q_3^{n+1} = J_3 \overline{Q_3} + \overline{K_3} Q_3 = Q_1 Q_2 \overline{Q_3} + \overline{Q_3} Q_3 = Q_1 Q_2 \overline{Q_3}$$

$$CO = Q_1 Q_2 \overline{Q_3}$$

（3）电路状态转换表如表 6-1 所示。

表 6-1 题 6-2 状态转换表

脉冲 (CP)	$Q_3 Q_2 Q_1$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$	$CO$
1	000	001	0
2	001	010	0
3	010	011	0
4	011	100	0
5	100	000	1
6	101	011	1
7	110	010	1
8	111	001	1

（4）电路状态转换图如图 6-2 所示。



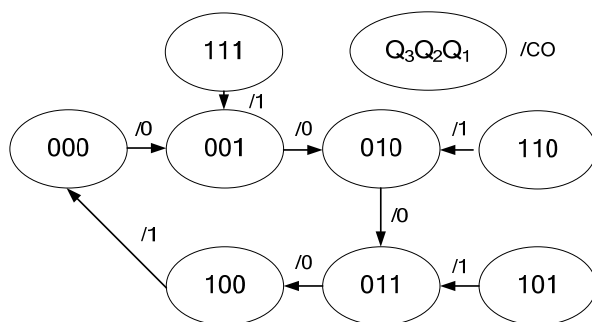


图 6-2 题 6-2 状态转换图

(5) 逻辑功能：此电路为能自启动的同步五进制加法计数器。

6-8 如在图 6-12 所示循环寄存器的数据输入端加高电平，设时钟脉冲 CP 到来之前两个双向移位寄存器 CT74LS194 的输出  $Q_0 \square Q_3'$  为 11000110，若基本 RS 触发器的输入分别为：(1)  $\bar{S}=0$ ,  $\bar{R}=1$ ；(2)  $\bar{S}=1$ ,  $\bar{R}=0$ 。分别在 5 个 CP 脉冲作用之后，试确定寄存器相应的输出  $Q_0 \square Q_3'$  为何状态？

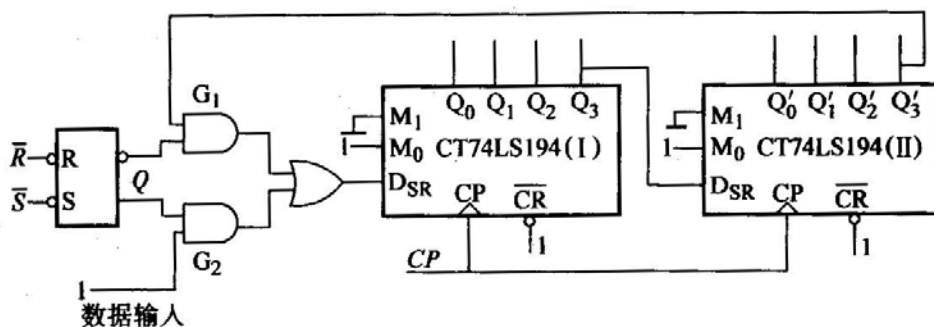


图 6-12 题 6-8 图

解：(1)  $\bar{S}=0$ ,  $\bar{R}=1$ ,  $D_{SR}=1$ , 五个脉冲后 11000110  $\xrightarrow{\text{五个脉冲后}}$  11111110

(2)  $\bar{S}=1$ ,  $\bar{R}=0$ ,  $D_{SR}=Q_3'$ , 有：

11000110  $\rightarrow$  01100011  $\rightarrow$  10110001  $\rightarrow$  11011000  $\rightarrow$  01101100  $\rightarrow$  00110110

6-12 分析图 6-15 所示电路的逻辑功能。

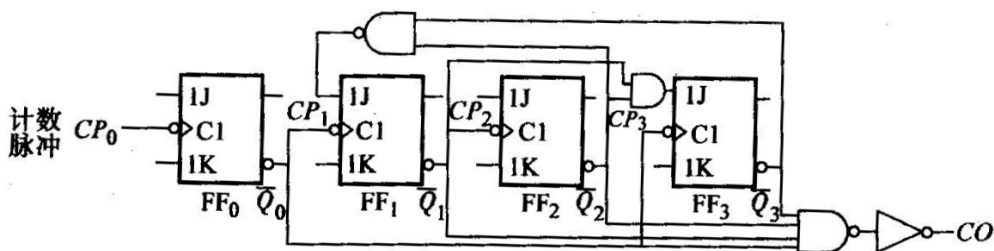


图 6-15 题 6-12 图

解：本电路为异步时序电路。

(1) 确定各触发器的时钟方程和驱动方程：

$$\text{时钟方程: } CP_0 = CP_0, \quad CP_1 = \overline{Q_0}, \quad CP_2 = \overline{Q_1}, \quad CP_3 = \overline{Q_0}$$

$$\text{驱动方程: } J_0 = K_0 = 1,$$

$$J_1 = \overline{Q_3} \cdot \overline{Q_2} = Q_3 + Q_2, \quad K_1 = 1,$$

$$J_2 = K_2 = 1,$$

$$J_3 = \overline{Q_2} \cdot \overline{Q_1}, \quad K_3 = 1$$

(2) 列出电路的状态方程和输出方程：

$$Q_0^{n+1} = \overline{Q_0} \quad (CP \downarrow)$$

$$Q_1^{n+1} = (Q_3 + Q_2) \overline{Q_1} \quad (\overline{Q_0} \downarrow)$$

$$Q_2^{n+1} = \overline{Q_2} \quad (\overline{Q_1} \downarrow)$$

$$Q_3^{n+1} = \overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1} \quad (\overline{Q_0} \downarrow)$$

$$CO = \overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1} \cdot \overline{Q_0}$$

(3) 电路状态转换图和时序图如图 6-16 所示。

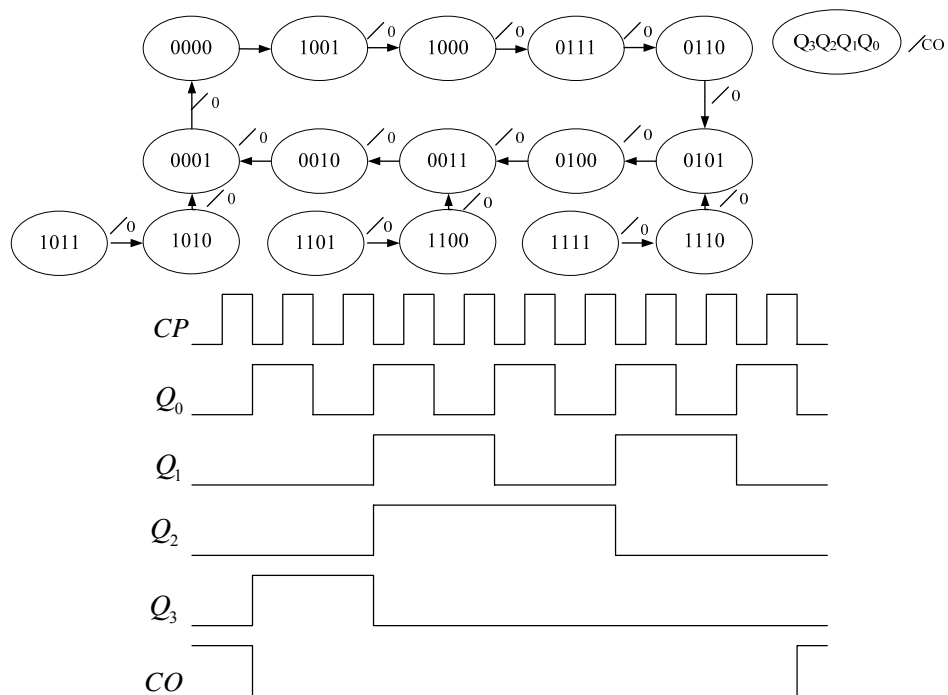


图 6-16 题 6-12 状态转换图及时序图

(4) 逻辑功能：此电路为能自启动的异步十进制减法计数器。

6-16 CT74161 为大规模集成同步 4 位二进制加法计数器，除计数进制外，其功能与 CT74160 相同，见表 6-13 所示。分析图 6-22 的计数器电路，画出电路的状态转换图，说明这是多少进制的计数器。

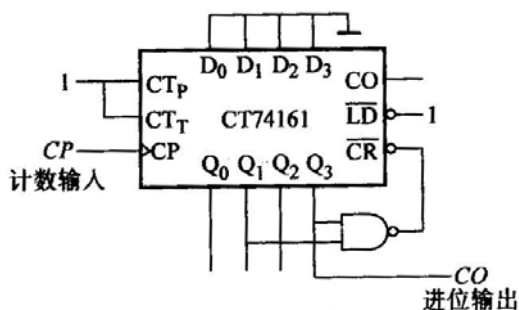


图 6-22 题 6-16 图

解：电路采用异步清零工作模式，1010 状态时产生异步清零信号，电路状态被置成 0000，所以 1010 为暂态。电路共有 0000~1001 共 10 个状态，为十进制计数器。状态转换图如图 6-23 所示。

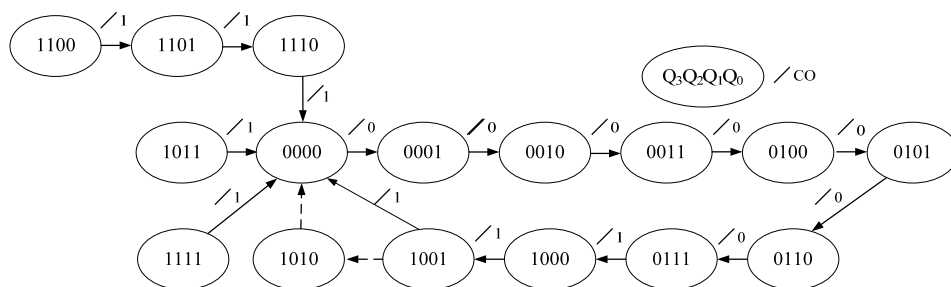


图 6-23 题 6-15 状态转换图

6-18 试分析图 6-25 的计数器在 A=1 和 A=0 时各为几进制。

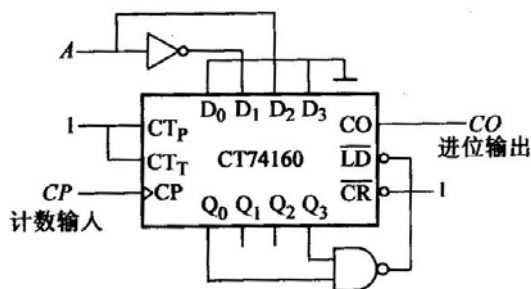


图 6-25 题 6-18 图

解：电路采用预置数方式，1001 时产生预置数信号。当 A=1 时预置数为 0100，电路为六进制计数器；当 A=0 时预置数为 0010，电路为八进制计数器。

6-20 试用 CT74161 及必要的门电路设计一个可控进制的计数器。当输入控制变

量  $M=0$  时工作在 5 进制， $M=1$  时工作在 15 进制。请标出计数输入端和仅为输出端。

解：可以分别采用题 6-18 和 6-19 所示电路进行设计，如图 6-27a) 和 6-27b) 所示。

对于图 a)：状态为 1111 时产生置数信号，当  $M=0$ ，预置 1011，构成五进制计数器；当  $M=1$ ，预置 0001，构成十五进制计数器；

对于图 b) 当  $M=0$  时计数到 0100 时进行预置数，构成五进制计数器；当  $M=1$  时计数到 1110 时进行预置数，构成十五进制计数器。

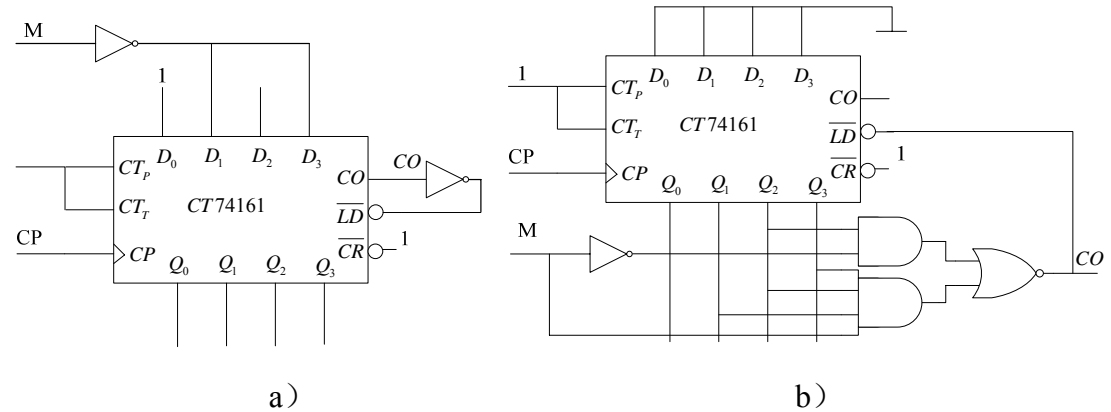


图 6-27 题 6-20 所示逻辑电路图

6-22 试分析图 6-30 计数器电路的分频  $K$ （即  $CO$  与  $CP$  的频率之比）。

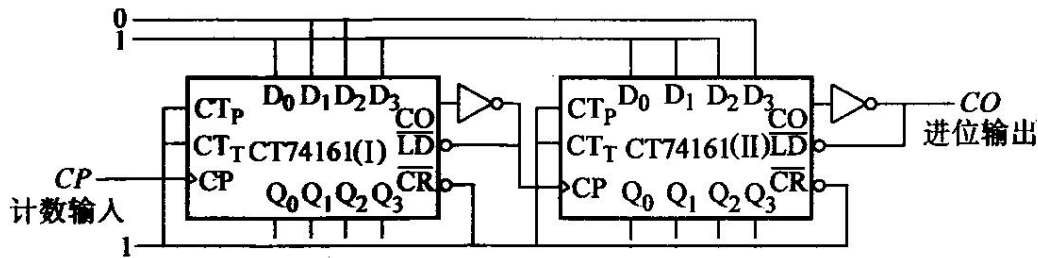


图 6-30 题 6-22 图

解：两片 CT74161 之间采用串行进位方式，两片独立进行预置数，低片 (I) 计数到 1111 时预置数为 1001，实现七进制计数；高片 (II) 计数到 1111 时预置数为 0111，实现九进制计数。所以，整体构成六十三进制计数器，电路实现六十三分频，故  $K=63$ ， $CO$  与  $CP$  的频率之比为  $1:63$ 。

6-23 图 6-31 电路是由两片同步十进制计数器 CT74160 组成的计数器，试分析这是多少进制的计数器，两片之间是几进制。

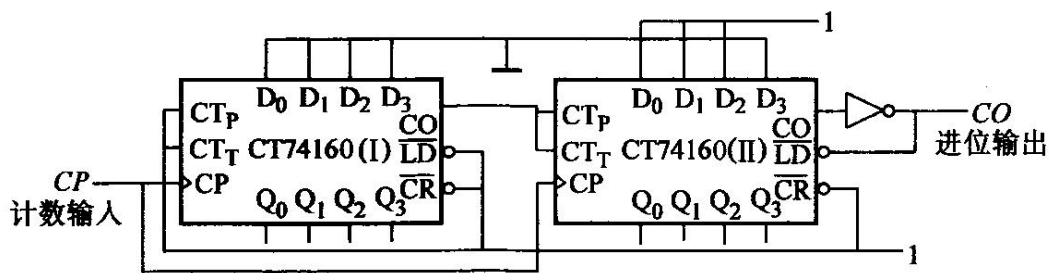


图 6-31 题 6-23 图

解：两片 CT74160 采取并行进位方式，低片 (I) 实现十进制计数，高片 (II) 采用预置数方式，计数到 1001 时预置数 0111，实现三进制计数，两片之间为十进制，整体构成三十进制计数器。

6-24 分析图 6-32 给出的电路，说明这是多少进制的计数器。

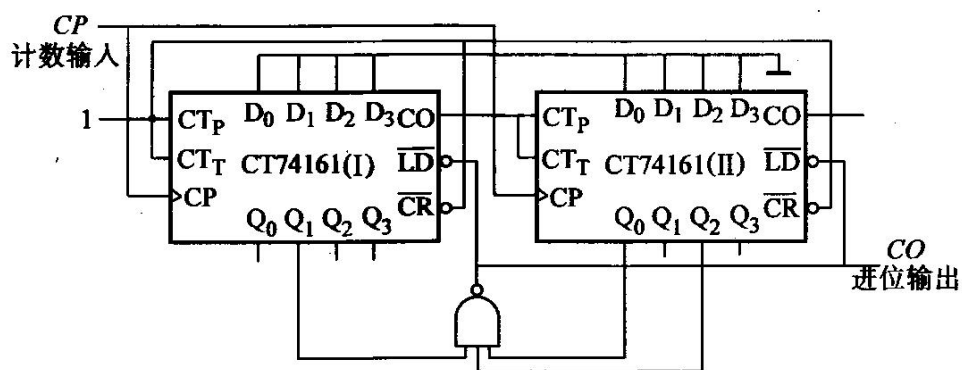


图 6-32 题 6-24 图

解：电路采用整体置数法，可以通过如下两种方法进行分析。

1) 两片 CT74161 均按十六进制计数。片 (I) 和 (II) 之间为十六进制。当片 (I) 为 2，片 (II) 为 5 时，产生  $\overline{LD} = 0$  信号，总的进制为  $5 \times 16 + 2 + 1 = 83$ ，为八十三进制计数器。

2) 两片 CT74161 采用并行进位方式，进行整体置数，当计数器状态为 01010010 时，即  $2^6 + 2^4 + 2 = 82$  时开始预置数，状态置为 0，所以整体构成十三进制计数器。

6-29 试采用 CT74290 及必要的门电路构成 8421BCD 码的二十四进制计数器。

解：采用两种方法实现：串行进位和整体置零。

1) 串行进位法，将两片 CT74290 分别接成 8421 码三进制和八进制计数器，然后采用串行进位方式进行级连。逻辑电路如图 6-35 所示。

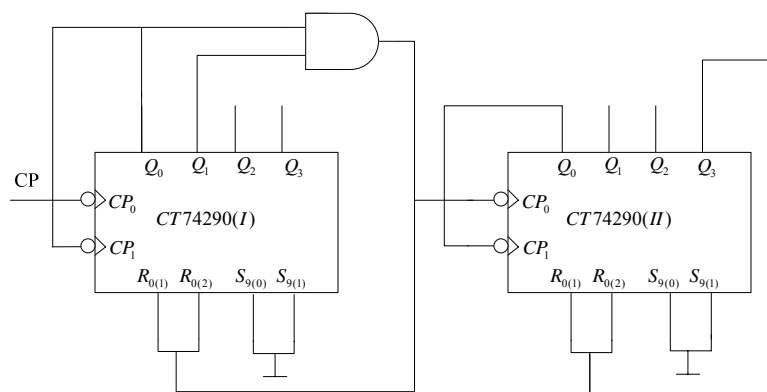


图 6-36 串行进位法实现二十四进制计数器

2) 整体清零法，将两片 CT74290 均接成 8421 码十进制，两片之间为十进制，当计数器状态为 24 时产生异步清零信号，计数器置 0。逻辑电路如图 6-37 所示。

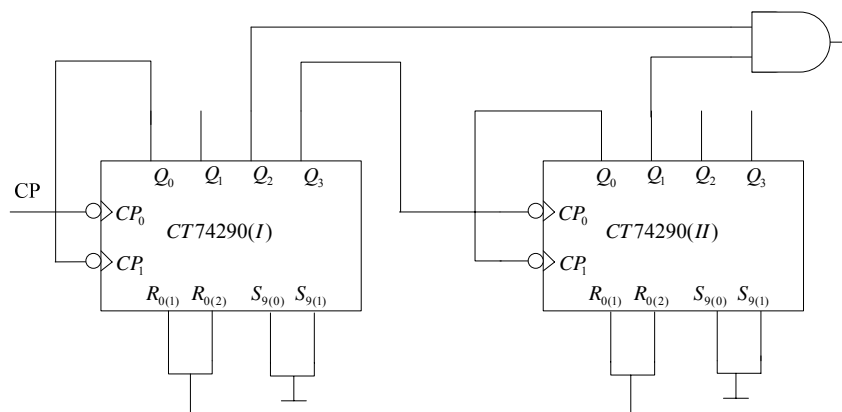


图 6-37 整体清零法实现二十四进制计数器

6-40 用 JK 触发器及最少的门电路设计一个同步五进制计数器，其状态( $Q_2Q_1Q_0$ )转换图如图 6-50 所示。

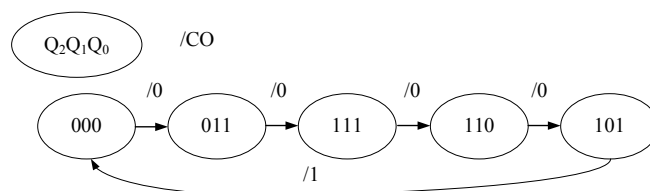


图 6-50 题 6-40 状态转换图

解：(1) 根据状态转换图可以得到计数器次态和输出卡诺图，如图 6-51 所示。

$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1} / CO$				
$Q_2^n$	$Q_1^n Q_0^n$			
	00	01	11	10
0	011/0	$\Phi$	111/0	$\Phi$
1	$\Phi$	000/1	110/0	101/0

$Q_2^{n+1}$	$Q_1^n Q_0^n$			
	00	01	11	10
0	0	$\Phi$	1	$\Phi$
1	$\Phi$	0	1	1

$Q_1^{n+1}$	$Q_2^n Q_0^n$			
	00	01	11	10
0	1	$\Phi$	1	$\Phi$
1	$\Phi$	0	1	0

$Q_0^{n+1}$	$Q_1^n Q_0^n$			
	00	01	11	10
0	1	$\Phi$	1	$\Phi$
1	$\Phi$	0	0	1

$CO$	$Q_1^n Q_0^n$			
	00	01	11	10
0	0	$\Phi$	0	$\Phi$
1	$\Phi$	1	0	0

图 6-51 次态和输出卡诺图

可以得到计数器状态方程： $Q_2^{n+1} = Q_1 \bar{Q}_2 + Q_1 Q_2$ ， $Q_1^{n+1} = \bar{Q}_0 \bar{Q}_1 + Q_0 Q_1$ ， $Q_0^{n+1} = \bar{Q}_0 + \bar{Q}_2 \bar{Q}_0$ ， $CO = Q_2 \bar{Q}_1$ 。

根据 JK 触发器的特性方程： $Q^{n+1} = J\bar{Q} + \bar{K}Q$ ，可以得到驱动方程：

$$J_2 = Q_1, \quad K_2 = \bar{Q}_1$$

$$J_1 = \bar{Q}_0, \quad K_1 = \bar{Q}_0$$

$$J_0 = 1, \quad K_0 = Q_2$$

(2) 检查电路能否自启动。将无效状态代入状态方程，有： $001 \rightarrow 001$ ， $010 \rightarrow 101$ ， $100 \rightarrow 011$ 。可以看出，电路不能自启动。

(3) 电路逻辑图如图 6-52 所示。

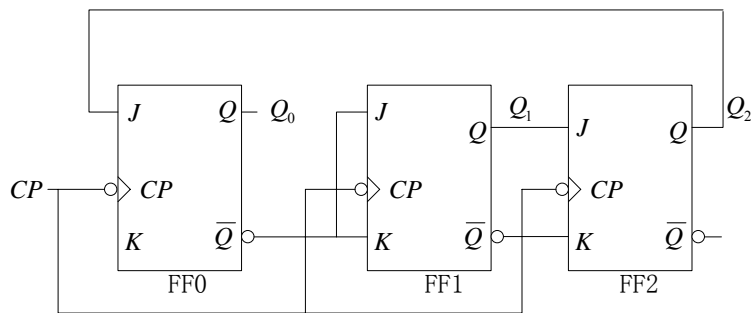


图 6-52 题 6-40 逻辑电路图

6-42 设计一个灯光控制逻辑电路。要求红、绿、黄三种颜色的灯在时钟信号作用下按表 6-13 规定的顺序转换状态。表中 1 表示“亮”，0 表示“灭”。要求电路能自启动，并尽可能采用中规模集成电路芯片。

表 6-13 题 6-42 表

CP	红	黄	绿
0	0	0	0
1	1	0	0
2	0	1	0
3	0	0	1
4	1	1	1
5	0	0	1
6	0	1	0
7	1	0	0
8	0	0	0

解：输出为八个状态循环，考虑采用 74LS161 的低三位作为八进制计数器。若以 R、Y、G 分别表示红、黄、绿三个输出，则可得计数器输出状态  $Q_2Q_1Q_0$  与 R、Y、G 关系的真值表，如表 6-14 所示。

表 6-14 计数器输出和红、黄、绿灯关系真值表

$Q_2$	$Q_1$	$Q_0$	R	Y	G
0	0	0	0	0	0
0	0	1	1	0	0
0	1	0	0	1	0
0	1	1	0	0	1
1	0	0	1	1	1
1	0	1	0	0	1
1	1	0	0	1	0
1	1	1	1	0	0

通过真值表得到逻辑关系式：



$$R = \bar{Q}_2 \bar{Q}_1 Q_0 + Q_2 \bar{Q}_1 \bar{Q}_0 + Q_2 Q_1 Q_0$$

$$Y = \bar{Q}_2 Q_1 \bar{Q}_0 + Q_2 \bar{Q}_1 \bar{Q}_0 + Q_2 Q_1 \bar{Q}_0$$

$$G = \bar{Q}_2 Q_1 Q_0 + Q_2 \bar{Q}_1 \bar{Q}_0 + Q_2 \bar{Q}_1 Q_0$$

选择两片双 4 选 1 数据选择器 74LS153 作通用函数发生器使用，产生输出 R、Y、G 信号。将  $Q_1$  和地址输入端  $A_1$ ， $Q_0$  和  $A_0$  相连，可以将 R、Y、G 的逻辑关系式，转化成与数据选择器输出逻辑式相对应的形式：

$$R = \bar{Q}_2 \bar{A}_1 A_0 + Q_2 \bar{A}_1 \bar{A}_0 + Q_2 A_1 A_0$$

$$Y = \bar{Q}_2 A_1 \bar{A}_0 + Q_2 \bar{A}_1 \bar{A}_0 + Q_2 A_1 \bar{A}_0$$

$$G = \bar{Q}_2 A_1 A_0 + Q_2 \bar{A}_1 \bar{A}_0 + Q_2 \bar{A}_1 A_0$$

逻辑电路图如图 6-56 所示。

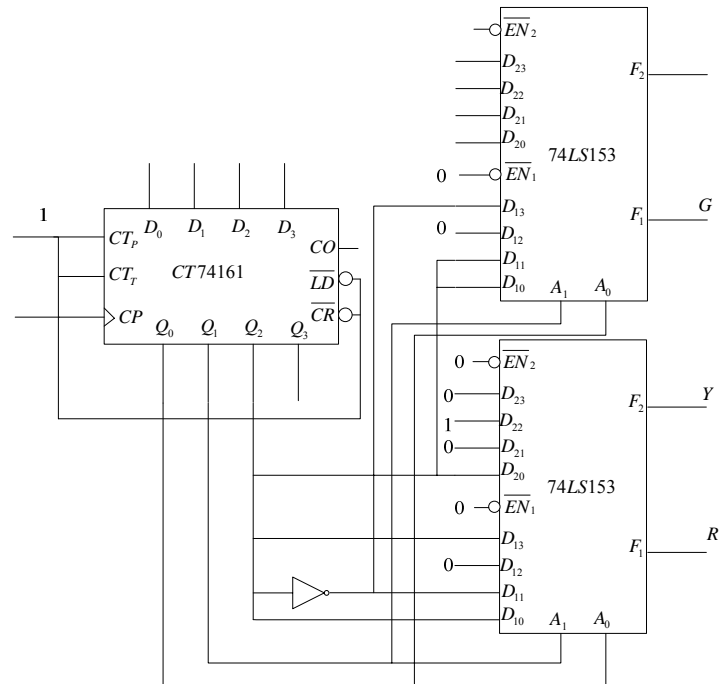


图 6-56 题 6-42 逻辑电路图

## 7-1 填空题

(1) 施密特触发器有\_\_\_个稳定的状态, 单稳态触发器有\_\_\_个稳定的状态, 多谐振荡器有\_\_\_个稳定的状态。

(2) 单稳态触发器的输入信号是\_\_\_\_\_, 输出信号的频率由\_\_\_\_\_决定, 输出信号的脉宽  $t_w$  由\_\_\_\_\_决定

(3) 555 定时器组成的施密特触发器, 要求输入为周期性信号的幅值应\_\_\_\_\_, 输出信号的频率由\_\_\_\_\_决定; 调节外加电压  $V_{CO}$  可以改变输出信号的\_\_\_\_\_。

(4) 555 定时器组成的多谐振荡器, 其输出信号的频率与\_\_\_\_\_的参数有关, 如欲提高频率, 应调节那些参数\_\_\_\_\_; 其信号的占空比与\_\_\_\_\_有关, 如提高占空比, 应调节那些参数\_\_\_\_\_。

解: (1) 2; 1; 0

(2) 触发脉冲信号; 输入信号频率决定; 电路自身定时元件参数

(3) 输入信号高电平比上限阈值大, 输入信号低电平比下限阈值小 (幅值大于回差电压); 输入信号; 占空比。

(4) 外加充放电元件的时间常数; 减小外加的电阻  $R_1$ ,  $R_2$  和电容  $C$ ; 外部电阻  $R_1$ ,  $R_2$ ; 调整外部电阻  $R_1$ ,  $R_2$ ; (电路如图 7-13, 不考虑外部参考电压  $V_{CO}$ )

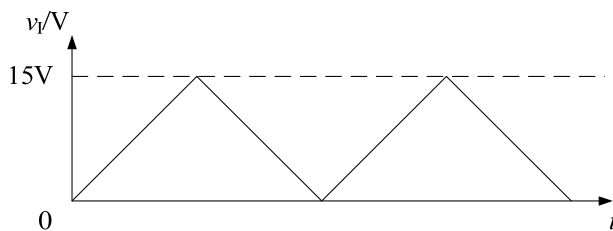
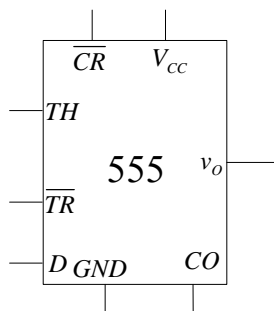
7-2 图 7-1a) 所示为 555 集成定时器, 要求:

(1) 用此定时器设计一个施密特触发器。

(2) 如果  $V_{CC} = 15V$ ,  $CO$  端悬空, 计算回差电压  $\Delta V_T$  是多少? 当输入三角波 (见图 7-1b) 所示) 时, 对应画出输出信号  $v_o$  的波形。

(3) 如果  $V_{CO} = 6V$ , 输入信号不变, 重新画出输出信号的波形。

(4) 用 Multisim 2001 设计、仿真、验证。



a)

b)

图 7-1 题 7-2 图

解：（1）施密特触发器如图 7-2 所示。

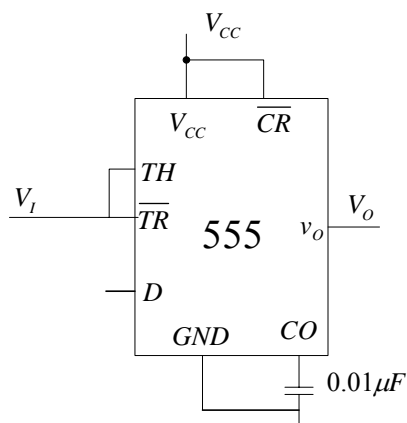


图 7-2 555 定时器构成的施密特触发器

（2） $V_{cc} = 15V$ ，CO 端悬空，回差电压  $\Delta V_T = \frac{1}{3}V_{cc} = 5V$ ，输出波形如图 7-3 所示。

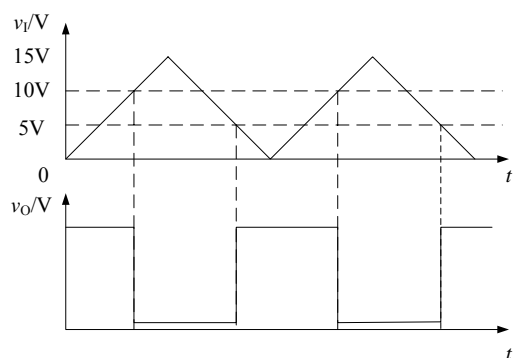


图 7-3 题 7-2（2）输出波形

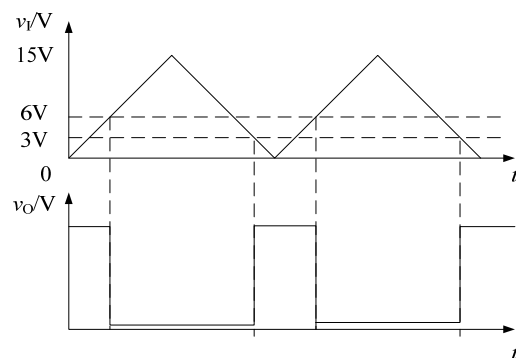


图 7-4 题 7-2（3）输出波形

（3） $V_{co} = 6V$ ，回差电压  $\Delta V_T = \frac{1}{2}V_{co} = 3V$ ，输出波形如图 7-4 所示。

（4）仿真如图 7-5 所示。

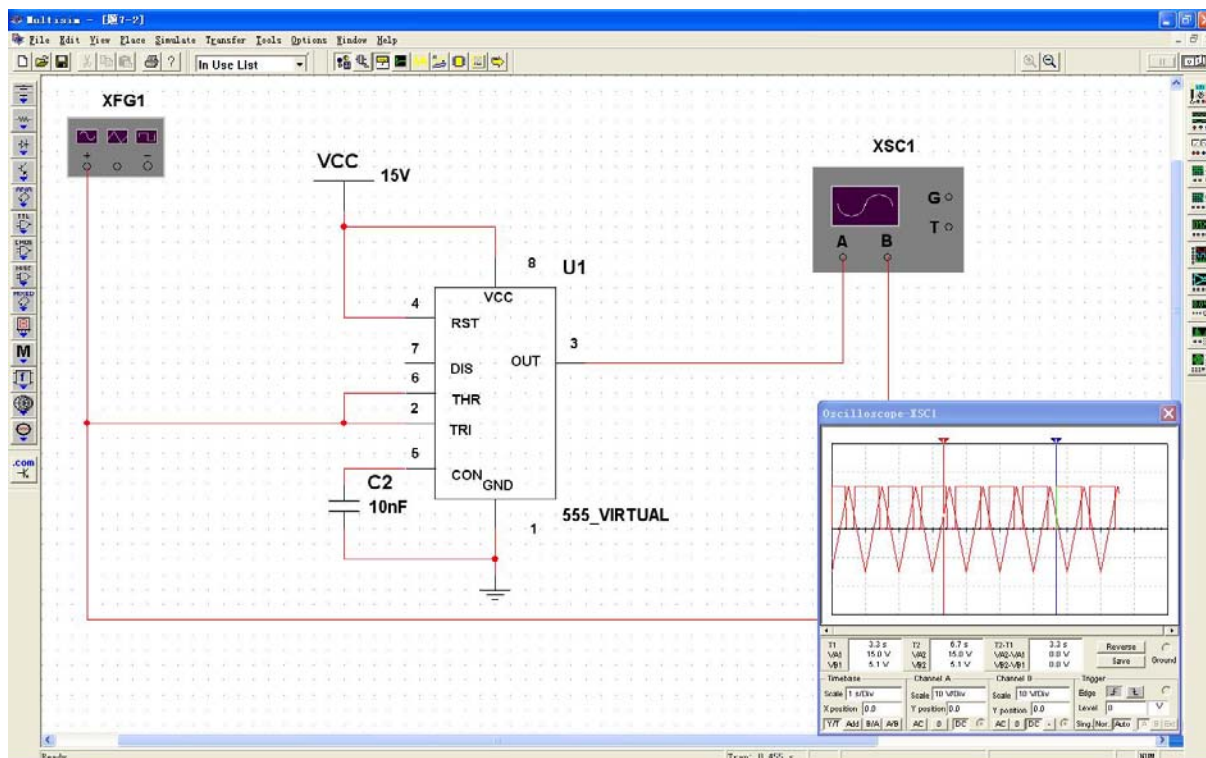


图 7-5 题 7-2 仿真图

7-3 用 555 集成定时器设计一个单稳态触发器，要求输出脉冲在宽度  $1 \sim 10\text{ms}$  内可调、脉冲的幅值  $V_m \geq 3V$ ，设外接电容  $C = 0.1\mu F$ 。

要求：（1）画出电路，选择器件并计算参数。

（2）说明对输入触发信号的要求。

（3）用 Multisim 2001 设计、仿真实验。

解：（1） $t_w = 1.1RC = 1 \sim 10\text{ms}$ ，由于  $C = 0.1\mu F$ ，所以  $R = 9.09K \sim 90.9K\Omega$ 。电路图如图 7-6 所示。

（2）要求输入信号的宽度要小于单脉冲输出波形的脉冲宽度  $t_w$ ，否则输出波形的脉宽  $t_w$  的宽度不再只与电路自身参数有关。其次要求相邻两次触发脉冲的时间间隔应大于  $t_w + t_{rs}$ 。

（3）仿真如图 7-7 所示。

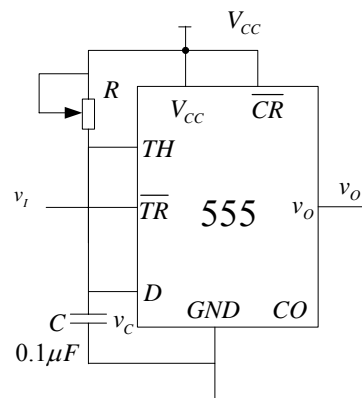


图7-6 题7-4图

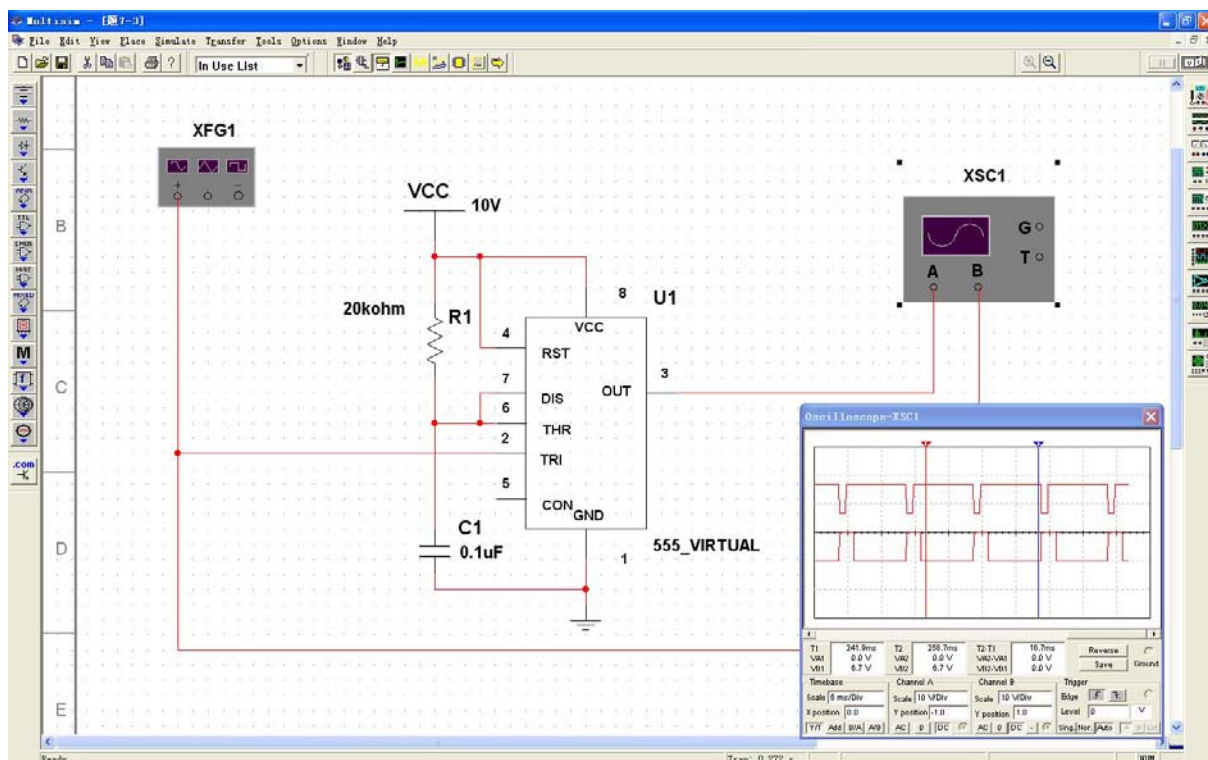


图 7-7 题 7-2 仿真图

7-5 图 7-11 所示多谐振荡器，CO 端外加电压  $V_{co}$ 。要求

- (1) 推导输出信号的频率  $f$  与控制电压之间的关系  $V_{co}$ 。
- (2) 说明该电路的功能。

解：(1) 电路充电时间常数：  $T_1 = (R_1 + R_2)C \ln \frac{V_{cc} - \frac{1}{2}V_{co}}{V_{cc} - V_{co}}$

放电时间常数：  $T_2 = R_2C \ln \frac{0 - V_{co}}{0 - \frac{1}{2}V_{co}} = R_2C \ln 2$

输出信号频率：

$$f = \frac{1}{T_1 + T_2} = \frac{1}{(R_1 + R_2)C \ln \frac{V_{cc} - \frac{1}{2}V_{co}}{V_{cc} - V_{co}} + R_2C \ln 2}$$

- (2) 根据输出频率表达式，可以看出此电路是一个压控振荡器。

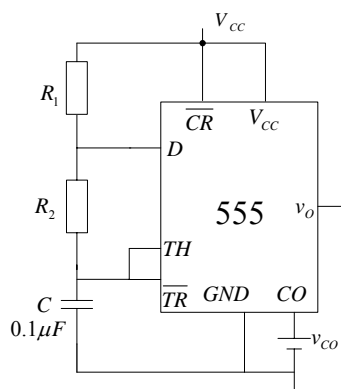
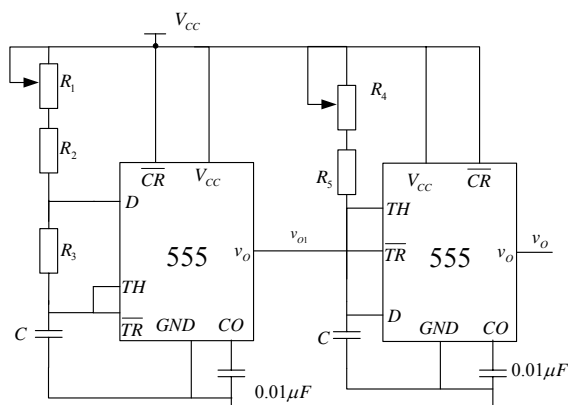


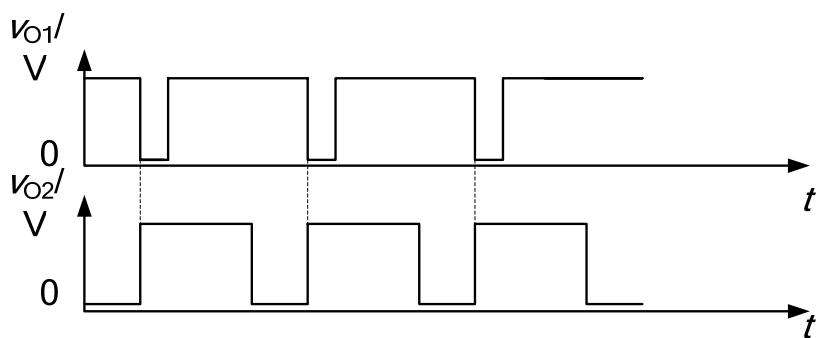
图 7-11 题 7-5 图

7-8 图 7-27 所示电路是有两个 555 定时器构成的频率、脉宽可调的矩形波发生电路。要求：

(1) 说明工作原理，画出两个 555 定时器输出和  $v_{O2}$  的波形。



解：(1) 左边一片 555 构成多谐振荡器，右边一片 555 构成单稳压触发器，多谐振荡器输出  $v_{O1}$  作为单稳压触发器的触发脉冲。调节电阻  $R_1$  可以调节输出  $v_{O1}$  信号频率。调节电阻  $R_4$  可以调节输出脉冲宽度。输出波形如图所示



8-1 存储器按读写功能以及信息的可保存性分别分为哪几类？并简述各自的特点。

解：存储器按读写功能可分为只读存储器（ROM）和随机存储器（RAM）。只读存储器在正常工作时其存储的数据固定不变，只能读出，不能随时写入。ROM 属于非易失性器件，当器件断电时，所存储的数据不会丢失。随机存取存储器在工作过程中，既可从其任意单元读出信息，又可以把外部信息写入任意单元。因此，它具有读、写方便的优点，但由于其属于易失性存储器，所以不利于数据的长期保存。

存储器按信息的可保存性可分为易失性存储器和非易失性存储器。易失性存储器在系统关闭时会失去存储的信息，它需要持续的电源供应以维持数据。非易失存储器在系统关闭或无电源供应时仍能保持数据信息。

8-3 若 RAM 的存储矩阵为 256 字×4 位，试问其地址线和数据线各为多少条？

解：存储矩阵为 256 字×4 位的 RAM 地址线为 8 根，数据线为 4 根。

8-5 用多少片 256×4 位的 RAM 可以组成一片 2K×8 位的 RAM？试画出其逻辑电路图。

解：用 16 片 256×4 位的 RAM 可以组成一片 2K×8 位的 RAM。256×4 位 RAM 的逻辑符号如图 8-1 所示，逻辑电路如图 8-2 所示。

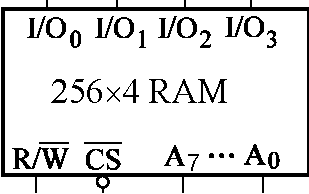


图 8-1 256×4 位 RAM 逻辑图

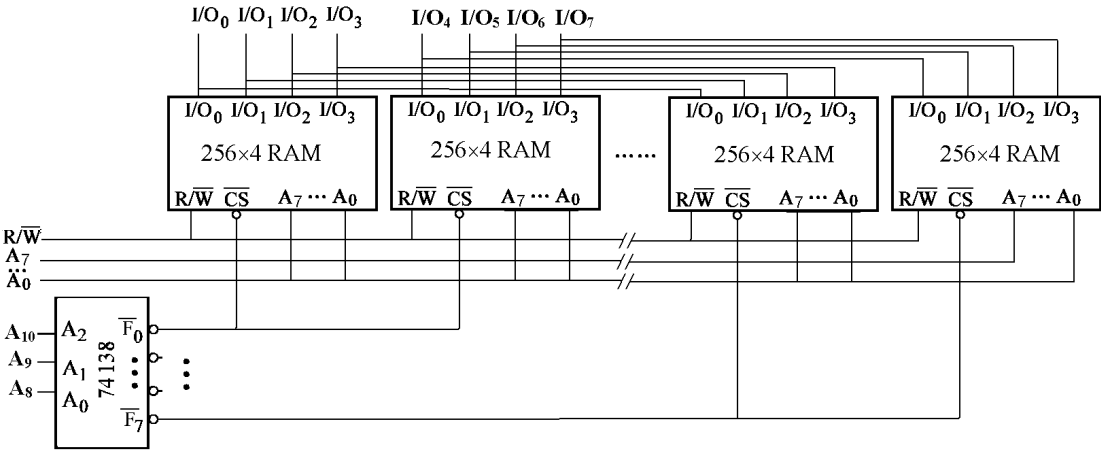


图 8-2 题 8-5 逻辑电路图

8-8 图 8-9 所示的 2764EPROM 的存储容量为多大？用该器件设计 1 片 16K×16 位的 EPROM，共需多少片 2764？画出其实现逻辑图。

解：2764EPROM 的存储容量为 8K×8=64k 位（65536bit）。共需要 4 片 2764 设计 1 片 16K×16 位的 EPROM。逻辑电路如图 8-3 所示。

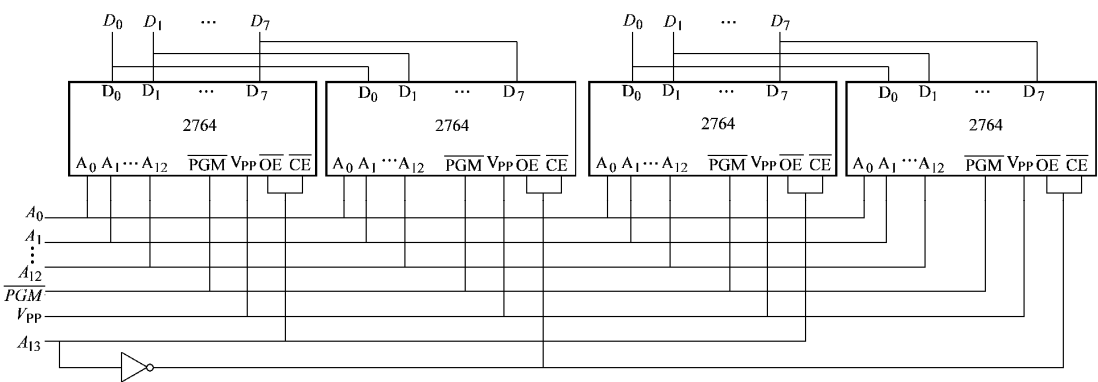


图 8-3 题 8-8 逻辑电路图

8-9 用图 8-4 所示的 4×4 位 PROM 实现以下组合电路，并画出点阵图。

$$\begin{cases} Y_1 = A + B \\ Y_2 = A \oplus B \end{cases}$$

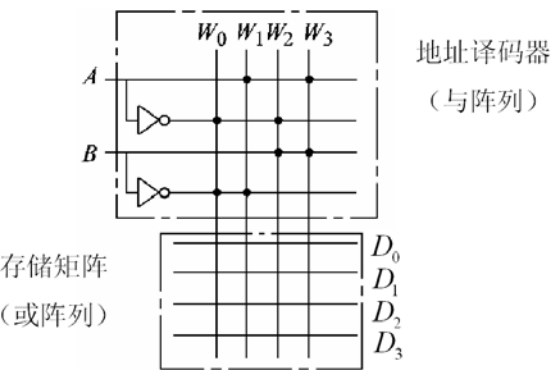


图 8-4 题 8-9 图

解：题中所设计组合逻辑电路的真值表如表 8-1 所示。

表 8-1 真值表

A	B	$A + B$	$A \oplus B$
0	0	0	0
0	1	1	1
1	0	1	1
1	1	0	0

存储矩阵的点阵图如图 8-5 所示。



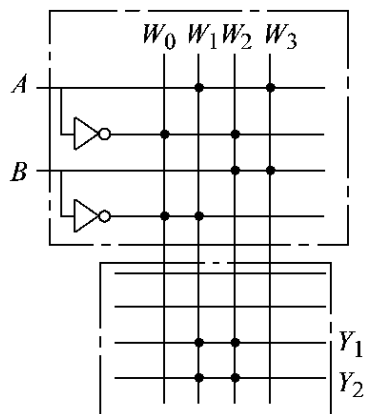


图 8-5 题 8-9 点阵图

8-12 用 ROM 设计一个组合逻辑电路，用来产生下列一组逻辑函数，并画出存储矩阵的点阵图。

$$\begin{cases} Y_1 = A\bar{B}CD + \bar{A}BC\bar{D} + A\bar{C}D + \bar{B}\bar{C} \\ Y_2 = A\bar{B}\bar{C} + \bar{A}B\bar{C}D + \bar{A}B\bar{D} \\ Y_3 = \bar{A}BCD + A\bar{B}CD + AB\bar{C}D + ABC\bar{D} \end{cases}$$

解：根据题意，所设计函数的真值表如表 8-6 所示。

表 8-5 题 8-12 逻辑函数真值表

A	B	C	D	$Y_3$	$Y_2$	$Y_1$
0	0	0	0	0	0	1
0	0	0	1	0	0	1
0	0	1	0	0	0	0
0	0	1	1	0	0	0
0	1	0	0	0	1	0
0	1	0	1	0	1	0
0	1	1	0	0	1	1
0	1	1	1	1	0	0
1	0	0	0	0	1	1
1	0	0	1	0	1	1
1	0	1	0	0	0	0
1	0	1	1	1	0	0
1	1	0	0	0	0	1
1	1	0	1	1	0	1
1	1	1	0	1	0	0
1	1	1	1	0	0	0

根据真值表可知，此电路有 4 个输入变量，3 个输出变量，因此选用  $2^4 \times 4$  的 ROM 比较合适。存储矩阵的点阵图如图 8-10 所示。

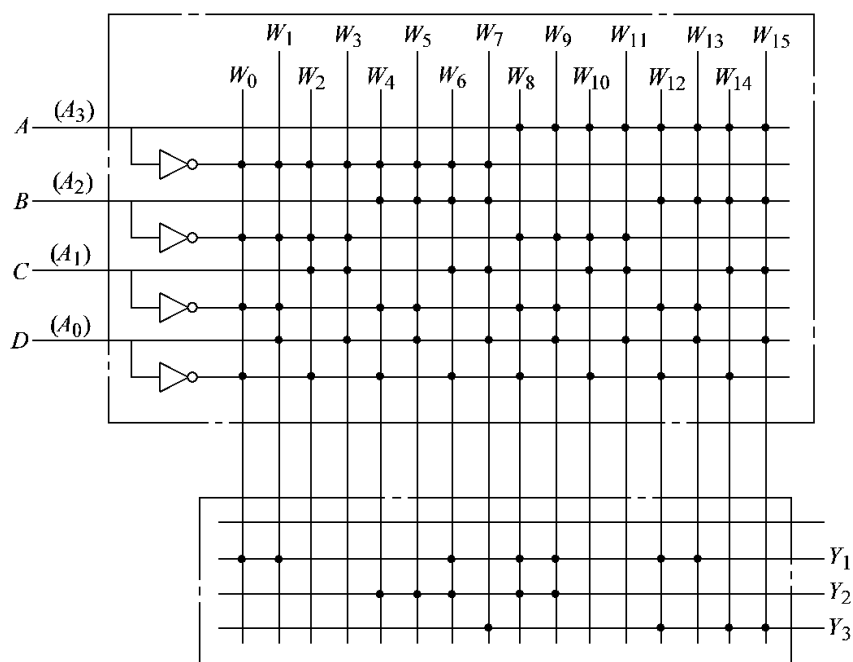


图 8-10 题 8-12 点阵图

8-13 试将图 8-11 所示的 1K×4 位的 RAM 芯片扩展成 1K×8 的存储器。

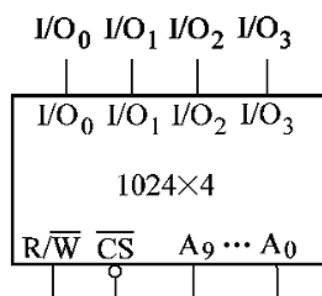


图 8-11 题 8-13 图

解：用 1K×4 RAM 扩展得到 1K×8RAM，共需求片，实现逻辑电路如图 8-12 所示。

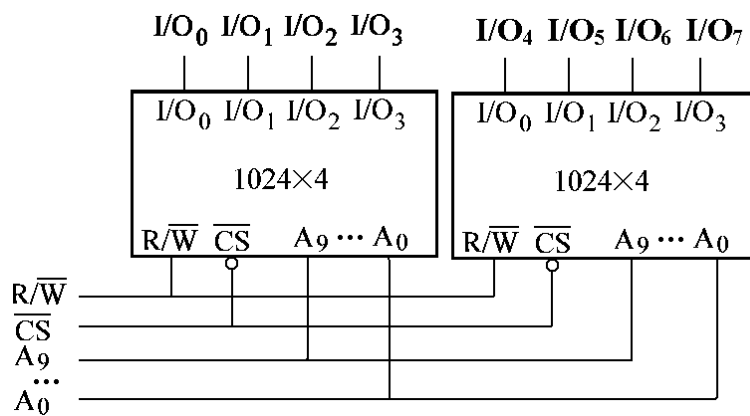


图 8-12 题 8-13 逻辑电路图

9-1 一个 8 位 D/A 转换器的分辨率为多少？

解：n 位 D/A 转换器的分辨率为  $\frac{1}{2^n - 1}$ ，因此 8 位 D/A 转换器的分辨率为  $\frac{1}{2^8 - 1} \approx 4\%$ 。

9-2 图 9-1 所示电路为 4 位 T 形电阻 D/A 转换器。

(1) 试分析其工作原理，求出  $v_o$  的表达式；

(2) 如果已知  $n=8$  位的 D/A 转换器中， $V_{REF} = -10V$ ， $R_f = 3R$ ，输入  $D=11010100$  时，输出电压  $v_o$  是多少？

(3) 如果  $R_f = 2R$ ，对应 (2) 中的输出电压  $v_o$  又是多少？

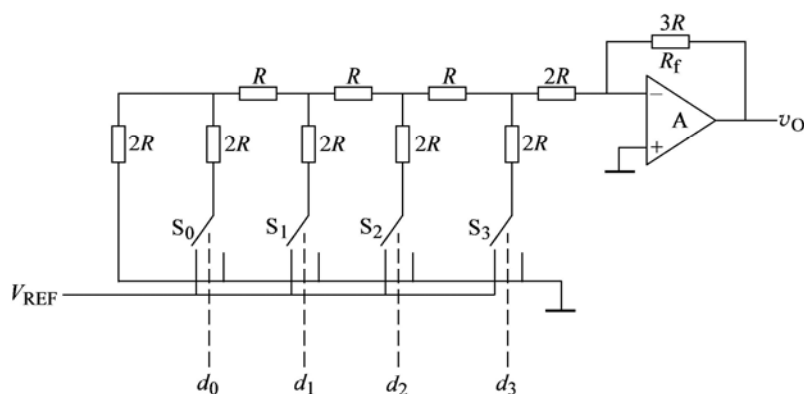


图 9-1 题 9-1 图

解：(1)  $S_3$ 、 $S_2$ 、 $S_1$ 、 $S_0$  为模拟开关，分别受输入代码  $d_3$ 、 $d_2$ 、 $d_1$ 、 $d_0$  的状态控制，也就是说输入代码的高低电平状态可控制流入集成运放 A 反相输入端的电流，也就控制了输出电压的大小。从而使得输出电压与输入的数字代码成比例关系。

输出电压表达式为：

$$\begin{aligned} v_o &= -\frac{V_{REF}}{2^4 \cdot 3R} (d_3 \times 2^3 + d_2 \times 2^2 + d_1 \times 2^1 + d_0 \times 2^0) \cdot 3R \\ &= -\frac{V_{REF}}{2^4} (d_3 \times 2^3 + d_2 \times 2^2 + d_1 \times 2^1 + d_0 \times 2^0) = -\frac{V_{REF}}{2^4} D \end{aligned}$$

(2) 对于 8 位的 D/A 转换器中，当  $R_f = 3R$  时，其输出电压为：

$$v_o = -\frac{V_{REF}}{2^8} D$$

当  $V_{REF} = -10V$ ， $R_f = 3R$ ，输入  $D=11010100$  时，输出电压  $v_o \approx 8.3V$ 。

(3) 如果  $R_f = 2R$ ，对应(2)中的输出电压为  $v_o = -\frac{V_{REF}}{2^8 \cdot 3R} D \cdot 2R = -\frac{2V_{REF}}{3 \cdot 2^8} D$ 。

9-3 在图 9-8 所示的倒 T 形电阻 D/A 转换器 5G7520 的应用电路中，若  $n=10$ ， $V_{REF} = -10V$ ， $R_f = R$ ，输入  $D = 0110111001$  时，输出电压  $v_o = ?$

解：输出电压为  $v_o = -\frac{mV_{REF}}{2^n} D = -\frac{1 \cdot (-10)}{1024} \times 441V \approx 4.31V$

9-4 一个 8 位 D/A 转换器的最小输出电压增量  $V_{LSB}$  为  $0.02V$ ，当输入代码为  $01001101$  时，输出电压  $v_o$  为多少？

解：输出电压为  $v_o = V_{LSB} \cdot D = 0.02 \times 77V = 1.54V$

9-6 逐次渐近型 A/D 转换器中的 8 位 D/A 转换器的  $v_{Omax} = 10.2V$ ，若输入  $v_i = 4.4V$ ，则转换后的数字输出  $D$  为多少？

解：  $D = \frac{2^8 - 1}{v_{OMAX}} v_i = \frac{255}{10.2} \times 4.4 = 110$

9-11 图 9-2 所示电路中，CB7520 倒 T 形 D/A 转换器和 CT7555 定时器构成频率可编程的多谐振荡器，各器件参数如图 9-2 所示。

(1) 当输入  $d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0 = 0000000000$  和

$d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0 = 1111111111$  时，分别计算其对应的  $v_{o1}$  电压值。

(2) 试计算输出频率的范围。

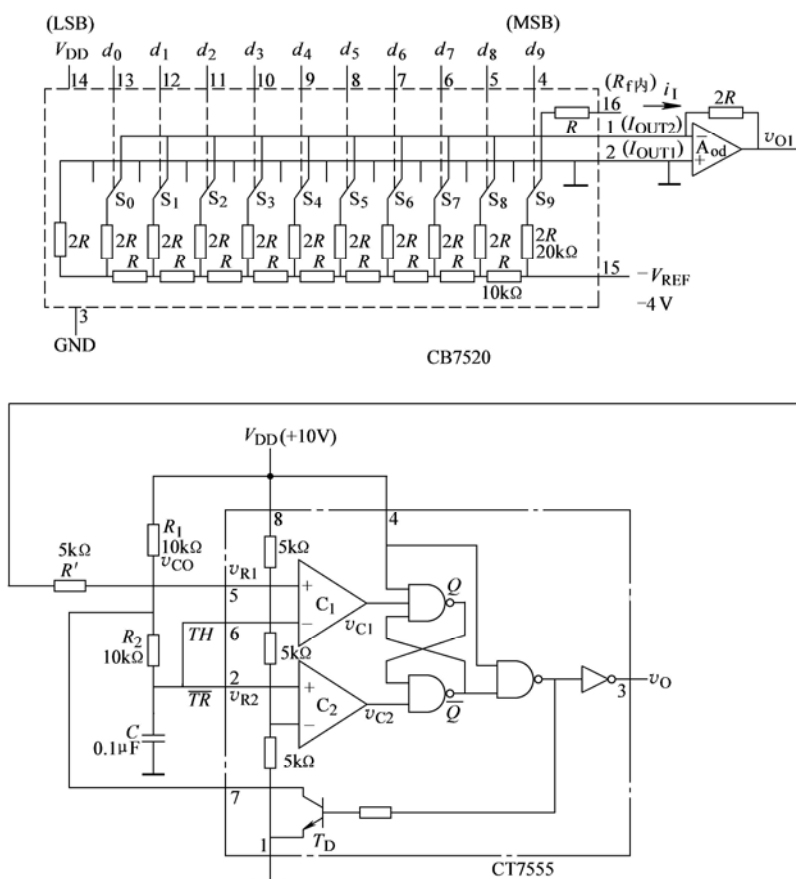


图 9-2 题 9-11 图

解：（1） $v_{O1}$  电压表达式为： $v_{O1} = -\frac{mV_{REF}}{2^n} D$ ，其中  $n=10$ ， $m=2$ ， $V_{REF} = -4V$ ，

所以当输入  $d_9d_8d_7d_6d_5d_4d_3d_2d_1d_0 = 0000000000$ ， $v_{O1} = 0V$ ；当输入

$d_9d_8d_7d_6d_5d_4d_3d_2d_1d_0 = 1111111111$ 时， $v_{O1} \approx 8V$ 。

（2）由于图中 CT7555 定时器构成多谐振荡器，并且控制电压  $v_{CO}$  接入外部电压，因此多谐振荡器振荡频率与  $v_{CO}$  有关。产生矩形波高电平时间为

$$T_1 = (R_1 + R_2)C \ln \frac{V_{DD} - \frac{1}{2}v_{CO}}{V_{DD} - v_{CO}}, \text{ 低电平时间为 } T_2 = R_2C \ln \frac{0 - v_{CO}}{0 - \frac{1}{2}v_{CO}} = R_2C \ln 2, \text{ 振荡}$$

$$\text{周期为 } T = T_1 + T_2 = (R_1 + R_2)C \ln \frac{V_{DD} - \frac{1}{2}v_{CO}}{V_{DD} - v_{CO}} + R_2C \ln 2。 \text{ 当输入}$$

$d_9d_8d_7d_6d_5d_4d_3d_2d_1d_0 = 0000000000$  和  $d_9d_8d_7d_6d_5d_4d_3d_2d_1d_0 = 1111111111$ 时，

$v_{CO1} = 4V$  和  $v_{CO2} = 7.2V$  , 对应的频率分别为  $f_1 \approx 833\text{Hz}$  ,  $f_2 \approx 439\text{Hz}$  。