

第2章 逻辑代数及其化简

2-1 分别将十进制数 29.625, 127.175 和 378.425 转换成二进制数。

解答:

$$(29.625)_{10}=(1,1101.101)_2$$

$$(127.175)_{10}=(111,1111.0010,1100,\dots)_2$$

$$(378.425)_{10}=(1,0111,1010.0110,1100,\dots)_2$$

2-2 分别将二进制数 101101.11010111 和 101011.101101 转换成十进制数。

解答:

$$(101101.11010111)_2=(45.83984375)_{10}$$

$$(101011.101101)_2=(43.703125)_{10}$$

2-3 分别将二进制数 100110.100111 和 101011101.1100111 转换成十六进制数。

解答:

$$(100110.100111)_2=(0010,0110.1001,1100)_2=(26.9C)_{16}$$

$$(101011101.1100111)_2=(1,0101,1101.1100,1110)_2=(15D.CE)_{16}$$

2-4 分别将十六进制数 3AD.6EBH 和 6C2B.4A7H 转换成二进制数。

解答:

$$(3AD.6EB)_{16}=(11,1010,1101.0110,1110,1011)_2$$

$$(6C2B.4A7)_{16}=(110,1100,0010,1011.0100,1010,0111)_2$$

2-5 试用真值表法证明下列逻辑等式:

$$(1) \quad AB + \overline{AC} + \overline{BC} = AB + C$$

$$(2) \quad \overline{AB} + \overline{AB} + BC = \overline{AB} + \overline{AB} + AC$$

$$(3) \quad \overline{AB} + \overline{BC} + \overline{CA} = \overline{AB} + \overline{BC} + \overline{CA}$$

$$(4) \quad \overline{AB} + \overline{AB} + BC + \overline{AC} = \overline{A} + BC$$

$$(5) \quad \overline{\overline{AB} + \overline{BC} + \overline{CD} + \overline{DA}} = ABCD + \overline{ABCD}$$

$$(6) \quad \overline{AB} + \overline{AB} + \overline{ABC} = \overline{A} + \overline{B}$$

证明:

$$(1) \quad AB + \overline{AC} + \overline{BC} = AB + C$$

真值表如下所示：

A	B	C	$AB + \overline{AC} + \overline{BC}$	$AB + C$
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	1	1
1	0	0	0	0
1	0	1	1	1
1	1	0	1	1
1	1	1	1	1

由真值表可知，逻辑等式成立。

(2) $\overline{AB} + \overline{AB} + BC = \overline{AB} + \overline{AB} + AC$

真值表如下所示：

A	B	C	$\overline{AB} + \overline{AB} + BC$	$\overline{AB} + \overline{AB} + AC$
0	0	0	0	0
0	0	1	0	0
0	1	0	1	1
0	1	1	1	1
1	0	0	1	1
1	0	1	1	1
1	1	0	0	0
1	1	1	1	1

由真值表可知，逻辑等式成立。

(3) $\overline{AB} + \overline{BC} + \overline{CA} = \overline{AB} + \overline{BC} + \overline{CA}$

真值表如下所示：

A	B	C	$\overline{AB} + \overline{BC} + \overline{CA}$	$\overline{AB} + \overline{BC} + \overline{CA}$
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	1

1	0	0	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0

由真值表可知，逻辑等式成立。

$$(4) \overline{AB} + \overline{AB} + BC + \overline{AC} = \overline{A} + BC$$

真值表如下所示：

A	B	C	$\overline{AB} + \overline{AB} + BC + \overline{AC}$	$\overline{A} + BC$
0	0	0	1	1
0	0	1	1	1
0	1	0	1	1
0	1	1	1	1
1	0	0	0	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

由真值表可知，逻辑等式成立。

$$(5) \overline{\overline{AB} + \overline{BC} + \overline{CD} + \overline{DA}} = ABCD + \overline{ABCD}$$

真值表如下所示：

A	B	C	D	$\overline{\overline{AB} + \overline{BC} + \overline{CD} + \overline{DA}}$	$ABCD + \overline{ABCD}$
0	0	0	0	1	1
0	0	0	1	0	0
0	0	1	0	0	0
0	0	1	1	0	0
0	1	0	0	0	0

0	1	0	1	0	0
0	1	1	0	0	0
0	1	1	1	0	0
1	0	0	0	0	0
1	0	0	1	0	0
1	0	1	0	0	0
1	0	1	1	0	0
1	1	0	0	0	0
1	1	0	1	0	0
1	1	1	0	0	0
1	1	1	1	1	1

由真值表可知，逻辑等式成立。

(6) $\overline{AB} + \overline{AB} + \overline{ABC} = \overline{A} + \overline{B}$

真值表如下所示：

A	B	C	$\overline{AB} + \overline{AB} + \overline{ABC}$	$\overline{A} + \overline{B}$
0	0	0	1	1
0	0	1	1	1
0	1	0	1	1
0	1	1	1	1
1	0	0	1	1
1	0	1	1	1
1	1	0	0	0
1	1	1	0	0

由真值表可知，逻辑等式成立。

2-6 求下列各逻辑函数 F 的反函数 \overline{F} 和对偶式 F' ：

(1) $F_1 = \overline{A + ABC + AC}$

(2) $F_2 = (A + B)(A + \overline{AB})C + \overline{A(B + \overline{C})} + \overline{AB} + ABC$

$$(3) F_3 = A + \overline{\overline{B}} + \overline{\overline{CD}} + \overline{\overline{ADB}}$$

$$(4) F_4 = \overline{\overline{AB}} + \overline{\overline{BD}} + \overline{\overline{C}} + \overline{\overline{AB}} + \overline{\overline{B}} + \overline{\overline{D}}$$

$$(5) F_5 = \overline{\overline{(AB + \overline{AB})(BC + \overline{BC})}}$$

$$(6) F_6 = \overline{\overline{CD}} + \overline{\overline{CD}} + \overline{\overline{AC}} + \overline{\overline{DB}}$$

解答：

$$(1) F_1 = \overline{\overline{A + ABC + \overline{AC}}}$$

$$\overline{F_1} = \overline{\overline{A(A + B + C)(A + C)}}$$

$$F_1' = \overline{\overline{A(A + B + C)(A + C)}}$$

$$(2) F_2 = \overline{\overline{(A + B)(A + \overline{AB})C + \overline{A(B + \overline{C})} + \overline{AB} + ABC}}$$

$$\overline{F_2} = \overline{\overline{(\overline{AB} + \overline{AA} + \overline{B} + \overline{C})A + \overline{BC}(A + \overline{B})(\overline{A} + \overline{B} + \overline{C})}}$$

$$F_2' = \overline{\overline{(AB + \overline{AA} + \overline{B} + \overline{C})A + \overline{BC}(\overline{A} + B)(A + B + C)}}$$

$$(3) F_3 = A + \overline{\overline{B}} + \overline{\overline{CD}} + \overline{\overline{ADB}}$$

$$\overline{F_3} = \overline{\overline{\overline{ABC} + \overline{DA} + \overline{D} + B}}$$

$$F_3' = \overline{\overline{\overline{ABC} + \overline{DA} + \overline{D} + B}}$$

$$(4) F_4 = \overline{\overline{AB}} + \overline{\overline{BD}} + \overline{\overline{C}} + \overline{\overline{AB}} + \overline{\overline{B}} + \overline{\overline{D}}$$

$$\overline{F_4} = \overline{\overline{(A + B)(\overline{B} + \overline{D})C(\overline{A} + \overline{B})\overline{BD}}}$$

$$F_4' = \overline{\overline{(\overline{A} + \overline{B})(\overline{B} + \overline{D})C(A + B)\overline{BD}}}$$

$$(5) F_5 = \overline{\overline{(AB + \overline{AB})(BC + \overline{BC})}}$$

$$\overline{F_5} = \overline{\overline{(\overline{A} + \overline{B})(A + B) + (\overline{B} + \overline{C})(B + C)}}$$

$$F_5' = \overline{\overline{(A + B)(\overline{A} + \overline{B}) + (B + C)(\overline{B} + \overline{C})}}$$

$$(6) F_6 = \overline{\overline{CD}} + \overline{\overline{CD}} + \overline{\overline{AC}} + \overline{\overline{DB}}$$

$$\overline{F_6} = \overline{\overline{(\overline{C} + \overline{D})(C + D)(A + \overline{C})(D + \overline{B})}}$$

$$F_6' = \overline{\overline{(C+D)(\overline{C}+\overline{D})(\overline{A}+C)(\overline{D}+B)}}$$

2-7 某逻辑电路有 A、B、C 共 3 个输入端，一个输出端 F，当输入信号中有奇数个 1 时，输出 F 为 1，否则输出为 0，试列出此逻辑函数的真值表，写出其逻辑函数表达式，并画出逻辑电路图。

解答：

由题意可列出真值表如下：

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

由真值表可以得到函数表达式为： $F = \overline{A}BC + A\overline{B}C + \overline{A}B\overline{C} + ABC$

逻辑电路如图 T2-7 所示：

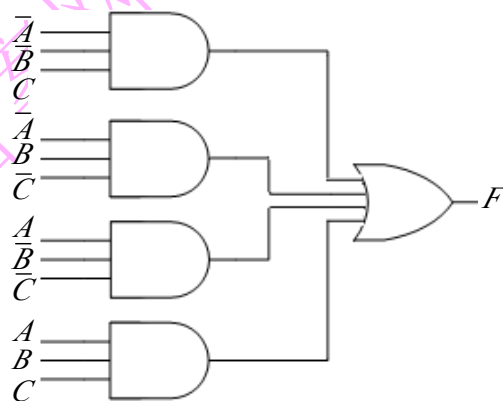


图 T2-7

2-8 设计一个 3 人表决电路，要求：当输入 A、B、C 中有半数以上人同意时，决议才能通过，但 A 有否决权，如 A 不同意，即使 B、C 都同意，决议也不能通过。

解答：

定义变量 A、B、C，1 代表同意，0 代表不同意；F 为结果，1 代表通过，0 代表不能通过。

由题意可列出真值表如下：

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

由真值表可以得到函数表达式为 $F = \overline{A}\overline{B}C + A\overline{B}C + ABC$ ，化简可以得到 $F = AC + AB$ 。

2-9 试用代数公式法证明题 2-5 中的各等式。

(1) $AB + \overline{A}C + \overline{B}C = AB + C$

证明：

$$\begin{aligned} AB + \overline{A}C + \overline{B}C &= AB + (\overline{A} + \overline{B})C \\ &= AB + \overline{A}\overline{B}C \\ &= AB + C \end{aligned}$$

(2) $\overline{A}B + \overline{A}\overline{B} + BC = \overline{A}B + \overline{A}\overline{B} + AC$

证明：

$$\begin{aligned} \overline{A}B + \overline{A}\overline{B} + BC &= \overline{A}B + BC + \overline{A}\overline{B} \\ &= \overline{A}B + (BC + AC + \overline{A}\overline{B}) \\ &= \overline{A}B + \overline{A}\overline{B} + AC \end{aligned}$$

(3) $\overline{A}B + \overline{B}C + \overline{C}A = \overline{A}B + \overline{B}C + \overline{C}A$

证明：

$$\begin{aligned} \overline{A}B + \overline{B}C + \overline{C}A &= (\overline{A}B + \overline{B}C) + (\overline{B}C + \overline{C}A) + (\overline{A}B + \overline{C}A) \\ &= \overline{A}B + \overline{B}C + \overline{C}A + \overline{C}A + \overline{A}B + \overline{B}C \\ &= (\overline{A}B + \overline{C}A + \overline{B}C) + (\overline{A}B + \overline{B}C + \overline{C}A) + (\overline{C}A + \overline{B}C + \overline{A}B) \\ &= \overline{A}B + \overline{B}C + \overline{C}A \end{aligned}$$

(4) $\overline{A}B + \overline{A}\overline{B} + BC + \overline{A}C = \overline{A} + BC$

证明：

$$\begin{aligned} \overline{A}B + \overline{A}\overline{B} + BC + \overline{A}C &= \overline{A} + BC + \overline{A}C \\ &= \overline{A}(1 + \overline{C}) + BC \\ &= \overline{A} + BC \end{aligned}$$

$$(5) \overline{\overline{AB} + \overline{BC} + \overline{CD} + \overline{DA}} = ABCD + \overline{ABCD}$$

证明:

$$\begin{aligned}\overline{\overline{AB} + \overline{BC} + \overline{CD} + \overline{DA}} &= (\overline{A+B})(\overline{B+C})(\overline{C+D})(\overline{D+A}) \\ &= (\overline{AB} + \overline{AC} + \overline{BC})(\overline{CD} + \overline{CA} + \overline{DA}) \\ &= ABCD + \overline{ABCD}\end{aligned}$$

$$(6) \overline{AB} + \overline{AB} + \overline{ABC} = \overline{A} + \overline{B}$$

证明:

$$\begin{aligned}\overline{AB} + \overline{AB} + \overline{ABC} &= \overline{AB} + \overline{A} + \overline{B} + \overline{ABC} \\ &= (\overline{A} + \overline{ABC}) + (\overline{AB} + \overline{B}) \\ &= \overline{A} + \overline{B}\end{aligned}$$

2-10 证明下列异或运算公式:

$$(1) A \oplus A = 0$$

$$(2) A \oplus 1 = \overline{A}$$

$$(3) A \oplus 0 = A$$

$$(4) A \oplus \overline{A} = 1$$

$$(5) AB \oplus \overline{AB} = A$$

$$(6) A \oplus \overline{B} = \overline{A \oplus B}$$

解答:

$$(1) A \oplus A = 0$$

证明:

$$A \oplus A = A\overline{A} + \overline{A}A = 0 + 0 = 0$$

$$(2) A \oplus 1 = \overline{A}$$

证明:

$$A \oplus 1 = A\overline{1} + \overline{A}1 = A\cdot 0 + \overline{A}\cdot 1 = 0 + 1 = 1$$

$$(3) A \oplus 0 = A$$

证明:

$$A \oplus 0 = A\overline{0} + \overline{A}0 = A\cdot 1 + \overline{A}\cdot 0 = A$$

$$(4) A \oplus \overline{A} = 1$$

证明:

$$A \oplus \overline{A} = \overline{A}A + A\overline{A} = \overline{A}A + A\overline{A} = A + \overline{A} = 1$$

$$(5) AB \oplus \overline{AB} = A$$

证明:

$$AB \oplus \overline{AB} = AB \cdot \overline{\overline{AB}} + \overline{AB} \cdot \overline{AB} = AB(\overline{A} + \overline{B}) + (\overline{A} + \overline{B})\overline{AB} = AB + \overline{AB} = A$$

$$(6) A \oplus \overline{B} = \overline{A \oplus B}$$

证明:

$$\begin{aligned} A \oplus \overline{B} &= \overline{AB} + \overline{A\overline{B}} = \overline{AB} + \overline{A\overline{B}} = \overline{AB + A\overline{B}} = \overline{A(B + \overline{B})} \\ &= \overline{A} = \overline{A \oplus B} \end{aligned}$$

2-11 用公式法化简下列逻辑函数为最简与或式:

$$(1) F_1 = \overline{AB + \overline{AB} + \overline{AB}(\overline{AB} + CD)}$$

$$(2) F_2 = \overline{\overline{ABC} + AC + \overline{ABC} + \overline{AC}}$$

$$(3) F_3 = (AB + \overline{AB})(\overline{A} + \overline{B})\overline{AB}$$

$$(4) F_4 = (A + \overline{AB})(\overline{A + BC + \overline{C}})$$

$$(5) F_5 = \overline{\overline{AB} + \overline{ACD}}(B + \overline{C} + \overline{D})$$

$$(6) F_6 = (A + B)(A + \overline{AB})C + \overline{A(B + \overline{C})} + \overline{AB} + \overline{ABC}$$

解答:

$$(1) F_1 = \overline{AB + \overline{AB} + \overline{AB}(\overline{AB} + CD)}$$

化简:

$$\begin{aligned} F_1 &= \overline{AB + \overline{AB} + \overline{AB}(\overline{AB} + CD)} = \overline{A + \overline{AB}(\overline{AB} + CD)} \\ &= \overline{A + B(\overline{AB} + CD)} = \overline{AB}(\overline{AB} + CD) \\ &= \overline{AB} \end{aligned}$$

$$(2) F_2 = \overline{\overline{ABC} + AC + \overline{ABC} + \overline{AC}}$$

化简:

$$\begin{aligned} F_2 &= \overline{\overline{ABC} + AC + \overline{ABC} + \overline{AC}} = \overline{A(\overline{BC} + C) + \overline{ABC} + \overline{AC}} \\ &= \overline{A(\overline{B} + C) + \overline{ABC} + \overline{AC}} = \overline{ABC + \overline{ABC} + \overline{AC}} \\ &= \overline{A \oplus \overline{BC} + \overline{AC}} = \overline{(A \odot \overline{BC}) + \overline{AC}} = \overline{ABC + \overline{A}(\overline{B} + C) + \overline{AC}} \\ &= \overline{ABC + \overline{AB} + \overline{AC} + \overline{AC}} = \overline{ABC + \overline{AB} + \overline{A}} = \overline{ABC + \overline{A}} \\ &= \overline{A} + \overline{BC} \end{aligned}$$

$$(3) \quad F_3 = (AB + \overline{AB})(\overline{A} + \overline{B})\overline{AB}$$

化简：

$$F_3 = (AB + \overline{AB})(\overline{A} + \overline{B})\overline{AB} = (AB + \overline{AB})\overline{AB} = AB\overline{AB} + \overline{AB}\overline{AB} = 0 + 0 = 0$$

$$(4) \quad F_4 = (A + \overline{AB})(\overline{A + BC + C})$$

化简：

$$F_4 = (A + \overline{AB})(\overline{A + BC + C}) = (A + B)(\overline{A + B + C}) = (A + B)\overline{ABC} = 0$$

$$(5) \quad F_5 = \overline{AB + ACD(B + \overline{C} + \overline{D})}$$

化简：

$$\begin{aligned} F_5 &= \overline{AB + ACD(B + \overline{C} + \overline{D})} = (\overline{A} + B)(\overline{A + \overline{C} + \overline{D}})(\overline{B + \overline{C} + \overline{D}}) \\ &= (\overline{AA} + \overline{AC} + \overline{AD} + AB + \overline{BC} + \overline{BD})(\overline{B + \overline{C} + \overline{D}}) \\ &= (\overline{AC} + AB + \overline{BC} + \overline{AD} + \overline{BD})(\overline{B + \overline{C} + \overline{D}}) \\ &= (\overline{AC} + AB + \overline{AD} + \overline{BD})(\overline{B + \overline{C} + \overline{D}}) \\ &= (\overline{AC} + AB + \overline{AD})(\overline{B + \overline{C} + \overline{D}}) \\ &= \overline{ABC} + \overline{AC} + \overline{ACD} + AB + \overline{ABC} + \overline{ABD} + \overline{ABD} + \overline{ACD} + \overline{AD} \\ &= \overline{AC} + AB + \overline{AD} \end{aligned}$$

$$(6) \quad F_6 = (A + B)(A + \overline{AB})C + \overline{A(B + \overline{C})} + \overline{AB} + ABC$$

化简：

$$\begin{aligned} F_6 &= (A + B)(A + \overline{AB})C + \overline{A(B + \overline{C})} + \overline{AB} + ABC \\ &= (A + \overline{AB})C + A + \overline{BC} + \overline{AB} + ABC \\ &= AC + A + \overline{BC} + \overline{AB} + ABC \\ &= A + \overline{BC} + \overline{AB} = A + B + \overline{BC} \\ &= A + B + C \end{aligned}$$

2-12 用卡诺图化简下列逻辑函数为最简与或式：

$$(1) \quad F_1 = \sum m(3, 5, 6, 7)$$

$$(2) \quad F_2 = \sum m(4, 5, 6, 7, 8, 9, 10, 11, 12, 13)$$

$$(3) \quad F_3 = \sum m(2, 3, 6, 7, 10, 11, 12, 15)$$

$$(4) \quad F_4 = \sum m(1, 3, 4, 5, 8, 9, 13, 15)$$

$$(5) F_5 = \sum m(1,3,4,6,7,9,11,12,14,15)$$

$$(6) F_6 = \sum m(0,2,4,7,8,9,12,13,14,15)$$

解答：

$$(1) F_1 = \sum m(3,5,6,7)$$

卡诺图：

BC \ A	BC			
	00	01	11	10
0	0	0	1	0
1	0	1	1	1

由卡诺图可知： $F_1 = \sum m(3,5,6,7) = AC + AB + BC$

$$(2) F_2 = \sum m(4,5,6,7,8,9,10,11,12,13)$$

卡诺图：

CD \ AB	CD			
	00	01	11	10
00	0	0	0	0
01	1	1	1	1
11	1	1	0	0
10	1	1	1	1

由卡诺图可知： $F_2 = \sum m(4,5,6,7,8,9,10,11,12,13) = \bar{A}B + A\bar{B} + \bar{A}\bar{C}$

$$(3) F_3 = \sum m(2,3,6,7,10,11,12,15)$$

卡诺图：

CD \ AB	CD			
	00	01	11	10
00	0	0	1	1
01	0	0	1	1
11	1	0	1	0
10	0	0	1	1

由卡诺图可知: $F_3 = \sum m(2,3,6,7,10,11,12,15) = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{C} + \overline{B}C + CD$

(4) $F_4 = \sum m(1,3,4,5,8,9,13,15)$

卡诺图:

CD \ AB	00	01	11	10
00	0	1	1	0
01	1	1	0	0
11	0	1	1	0
10	1	1	0	0

由卡诺图可知: $F_4 = \sum m(1,3,4,5,8,9,13,15) = \overline{A}\overline{B}D + \overline{A}B\overline{C} + \overline{A}BD + \overline{A}B\overline{C}$

(5) $F_5 = \sum m(1,3,4,6,7,9,11,12,14,15)$

卡诺图:

CD \ AB	00	01	11	10
00	0	1	1	0
01	1	0	1	1
11	1	0	1	1
10	0	1	1	0

由卡诺图可知: $F_5 = \sum m(1,3,4,6,7,9,11,12,14,15) = \overline{B}\overline{D} + \overline{B}D + CD$

(6) $F_6 = \sum m(0,2,4,7,8,9,12,13,14,15)$

卡诺图:

CD \ AB	00	01	11	10
00	1	0	0	1
01	1	0	1	0
11	1	1	1	1

10

1	1	0	0
---	---	---	---

由卡诺图可知：

$$F_6 = \sum m(0, 2, 4, 7, 8, 9, 12, 13, 14, 15) = AB + \overline{AC} + \overline{CD} + \overline{ABC} + BCD$$

2-13 对具有无关项 $AB + AC = 0$ 的下列逻辑函数进行化简：

$$(1) F_1 = \overline{AC} + \overline{AB}$$

$$(2) F_2 = \overline{AC} + \overline{AB}$$

$$(3) F_3 = \overline{ABC} + \overline{ABD} + \overline{ABD} + \overline{ABCD}$$

$$(4) F_4 = \overline{BCD} + \overline{ABCD} + \overline{ABC} + \overline{ABD}$$

$$(5) F_5 = \overline{ACD} + \overline{ABCD} + \overline{ABD} + \overline{ABCD}$$

$$(6) F_6 = \overline{BCD} + \overline{ABCD} + \overline{ABCD}$$

解答：

$$(1) F_1 = \overline{AC} + \overline{AB}$$

$$F_1 = \overline{AC} + \overline{AB} = \overline{AC} + \overline{AB} + AB + AC = \overline{AC} + B + AC$$

$$(2) F_2 = \overline{AC} + \overline{AB}$$

解：

$$F_2 = \overline{AC} + \overline{AB} = \overline{AC} + \overline{AB} + AB + AC = B + C$$

$$(3) F_3 = \overline{ABC} + \overline{ABD} + \overline{ABD} + \overline{ABCD}$$

$$F_3 = \overline{ABC} + \overline{ABD} + \overline{ABD} + \overline{ABCD} + AB + AC$$

$$= \overline{ABC} + \overline{AB} + \overline{ABCD} + AB + AC$$

$$= \overline{ABC} + B + \overline{ABCD} + AC$$

$$= \overline{AC} + B + \overline{ACD} + AC$$

$$= B + C + \overline{ACD}$$

$$= B + C + \overline{AD}$$

$$(4) F_4 = \overline{BCD} + \overline{ABCD} + \overline{ABC} + \overline{ABD}$$

$$\begin{aligned}
F_4 &= \overline{BCD} + \overline{ABCD} + \overline{ABC} + \overline{ABD} \\
&= \overline{BCD} + \overline{ABCD} + \overline{ABC} + \overline{ABD} + AB + AC \\
&= \overline{BCD} + \overline{ACD} + \overline{ABC} + \overline{ABD} + AB + AC \\
&= \overline{ABCD} + \overline{ACBD} + \overline{ABC} + AB + AC \\
&= AB + \overline{CD} + AC + \overline{BD} + \overline{ABC} \\
&= \overline{CD} + \overline{BD} + \overline{ABC}
\end{aligned}$$

$$(5) \quad F_5 = \overline{ACD} + \overline{ABCD} + \overline{ABD} + \overline{ABCD}$$

$$\begin{aligned}
F_5 &= \overline{ACD} + \overline{ABCD} + \overline{ABD} + \overline{ABCD} \\
&= \overline{ACD} + \overline{ABCD} + \overline{ABD} + \overline{ABCD} + AB + AC \\
&= \overline{ACD} + \overline{ABD} + \overline{ABD} + \overline{ABCD} + AB + AC \\
&= \overline{ACD} + \overline{AD} + \overline{ABCD} + AB + AC \\
&= \overline{AD} + \overline{ABCD} + AB + AC \\
&= \overline{AD} + \overline{BCD} + AB + AC \\
&= \overline{AD} + \overline{BCD}
\end{aligned}$$

$$(6) \quad F_6 = \overline{BCD} + \overline{ABCD} + \overline{ABCD}$$

$$\begin{aligned}
F_6 &= \overline{BCD} + \overline{ABCD} + \overline{ABCD} \\
&= \overline{BCD} + \overline{ABCD} + \overline{ABCD} + AB + AC \\
&= \overline{BCD} + AB + \overline{BCD} + AC + \overline{ABD} \\
&= \overline{BCD} + AB + AD + \overline{BCD} + AC \\
&= \overline{BCD} + \overline{BCD} + AD
\end{aligned}$$

2-14 化简下列具有无关项的逻辑函数：

$$(1) \quad F_1 = m(0,1,3,5,8) + \quad ? (10,11,12,13,14,15)$$

$$(2) \quad F_2 = m(0,1,2,3,4,7,8,9) + \quad ? (10,11,12,13,14,15)$$

$$(3) \quad F_3 = m(2,3,4,7,12,13,14) + \quad ? (5,6,8,9,10,11)$$

$$(4) \quad F_4 = m(0,2,7,8,13,15) + \quad ? (1,5,6,9,10,11,12)$$

$$(5) \quad F_5 = m(0,4,6,8,13) + \quad ? (1,2,3,9,10,11)$$

$$(6) \quad F_6 = m(0,2,6,8,10,14) + \quad ? (5,7,13,15)$$

解答：

$$(1) \quad F_1 = \sum m(0,1,3,5,8) + \sum \phi(10,11,12,13,14,15)$$

卡诺图如图所示：

		CD			
		00	01	11	10
AB	00	1	1	1	0
	01	0	1	0	0
	11	Φ	Φ	Φ	Φ
	10	1	0	Φ	Φ

由卡诺图可知： $F_1 = \overline{A}BD + \overline{B}CD + \overline{B}CD$

$$(2) F_2 = \sum m(0,1,2,3,4,7,8,9) + \sum \phi(10,11,12,13,14,15)$$

卡诺图如图所示：

		CD			
		00	01	11	10
AB	00	1	1	1	1
	01	1	0	1	0
	11	Φ	Φ	Φ	Φ
	10	1	1	Φ	Φ

由卡诺图可知： $F_2 = \overline{B} + \overline{C}D + CD$

$$(3) F_3 = \sum m(2,3,4,7,12,13,14) + \sum \phi(5,6,8,9,10,11)$$

卡诺图如图所示：

		CD			
		00	01	11	10
AB	00	0	0	1	1
	01	1	Φ	1	Φ
	11	1	1	0	1
	10	Φ	Φ	Φ	Φ

由卡诺图可知： $F_3 = \overline{A}C + \overline{A}C + \overline{B}D$

$$(4) F_4 = \sum m(0,2,7,8,13,15) + \sum \phi(1,5,6,9,10,11,12)$$

卡诺图如图所示：

		CD			
		00	01	11	10
AB	00	1	Φ	0	1
	01	0	Φ	1	Φ
	11	Φ	1	1	0
	10	1	Φ	Φ	Φ

由卡诺图可知: $F_4 = \overline{B}\overline{D} + BD$

$$(5) F_5 = \sum m(0, 4, 6, 8, 13) + \sum \phi(1, 2, 3, 9, 10, 11)$$

卡诺图如图所示:

		CD			
		00	01	11	10
AB	00	1	Φ	Φ	Φ
	01	1	0	0	1
	11	0	1	0	0
	10	1	Φ	Φ	Φ

由卡诺图可知: $F_5 = \overline{B} + \overline{A}\overline{D} + \overline{A}\overline{C}D$

$$(6) F_6 = \sum m(0, 2, 6, 8, 10, 14) + \sum \phi(5, 7, 13, 15)$$

卡诺图如图所示:

		CD			
		00	01	11	10
AB	00	1	0	0	1
	01	0	Φ	Φ	1
	11	0	Φ	Φ	1
	10	1	0	0	1

由卡诺图可知: $F_6 = \overline{B}\overline{D} + \overline{C}\overline{D}$

2-15 用 Multism2001 将下列逻辑函数式化简为与或形式。

$$(1) Y(A, B, C, D, E) = ABCDE' + A'B'D'E + AC'DE + AC(BE + C'D)'$$

$$(2)Y(A, B, C, D, E)=\sum m(0, 4, 11, 15, 16, 19, 20, 23, 27, 31)$$

$$(3)Y(A, B, C, D, E)=\sum m(1, 3, 5, 8, 9, 12, 13, 18, 19, 22, 23, 24, 25, 28, 29)$$

$$(4)Y(A, B, C, D, E, F)=\sum m(0, 4, 8, 11, 12, 15, 16, 17, 20, 21, 27, 31, 32, 36, 59, 63)$$

$$(5)Y(A, B, C, D, E, F)=\sum m(3, 7, 9, 11, 13, 15, 16, 19, 27, 29, 36, 41, 43, 45, 47, 48)$$

$$(6)Y(A, B, C, D, E, F)=\sum m(0, 4, 9, 11, 15, 25, 27, 31, 32, 41, 45, 53, 59, 63)+\sum \Phi(13, 29, 36, 43, 47, 57, 61)$$

解答：

$$(1) \quad F(A, B, C, D, E) = ABCD'E + A'B'D'E + AC'DE + A'C(BE + C'D)'$$

在 Logic Convert 底部的逻辑表达式框内输入函数表达式，先得到对应真值表，再对真值表进行化简，可以得到最简与或形式：

$$F(A, B, C, D, E) = A'B'D'E + A'B'C + A'CE + AC'DE + BCD'E$$

$$\text{即 } F(A, B, C, D, E) = \overline{ABDE} + \overline{ABC} + \overline{ACE} + \overline{ACDE} + \overline{BCDE}$$

$$(2) \quad F(A, B, C, D, E) = \sum m(0, 4, 11, 15, 16, 19, 20, 23, 27, 31)$$

在 Logic Convert 对应真值表中的最小项设置为 1，对真值表进行简化，可以得到最简与或形式：

$$F(A, B, C, D, E) = B'D'E + ADE + BDE$$

$$\text{即： } F(A, B, C, D, E) = \overline{BDE} + ADE + BDE$$

$$(3) \quad F(A, B, C, D, E) = \sum m(1, 3, 5, 8, 9, 12, 13, 18, 19, 22, 23, 24, 25, 28, 29)$$

在 Logic Convert 对应真值表中的最小项设置为 1，对真值表进行简化，可以得到最简与或形式：

$$F(A, B, C, D, E) = A'B'C'E + A'D'E + AB'D + BD'$$

$$\text{即 } F(A, B, C, D, E) = \overline{ABCE} + \overline{ADE} + \overline{ABD} + \overline{BD}$$

$$(4) \quad F(A, B, C, D, E) = \sum m(0, 4, 8, 11, 12, 15, 16, 17, 20, 21, 27, 31, 32, 36, 59, 63)$$

在 Logic Convert 对应真值表中的最小项设置为 1，对真值表进行简化，可以得到最简与或形式：

$$F(A, B, C, D, E) = A' B' E' F' + A' B C' E' + A' C E F + B' C' E' F' + B C E F$$

$$\text{即 } F(A, B, C, D, E) = \overline{A B E F} + \overline{A B C E} + \overline{A C E F} + \overline{B C E F} + B C E F$$

$$(5) \quad F(A, B, C, D, E) = \sum m(3, 7, 9, 11, 13, 15, 16, 19, 27, 29, 36, 41, 43, 45, 47, 48)$$

在 Logic Convert 对应真值表中的最小项设置为 1，对真值表进行简化，可以得到最简与或形式：

$$F(A, B, C, D, E) = A' B' E F + A' D' E F + A' C D E' F + A B' C' D E' F' + B' C F + B C' D' E' F'$$

$$\text{即： } F(A, B, C, D, E) = A' B' E F + \overline{A D E F} + \overline{A C D E F} + \overline{A B C D E F} + \overline{B C F} + \overline{B C D E F}$$

$$(6) \quad F(A, B, C, D, E) = \sum m(0, 4, 9, 11, 15, 25, 27, 31, 32, 41, 45, 53, 59, 63) \\ + \sum \phi(13, 29, 36, 43, 47, 57, 61)$$

在 Logic Convert 对应真值表中的最小项设置为 1，将无关项设置为×对真值表进行简化，可以得到最简与或形式：

$$F(A, B, C, D, E) = B' C' E' F' + A B D E' F + C F$$

$$\text{即： } F(A, B, C, D, E) = \overline{B C E F} + A B D E F + C F$$

数字电子技术基础第三章习题答案

3-1 如图 3-63a~d 所示 4 个 TTL 门电路, A、B 端输入的波形如图 e 所示, 试分别画出 F1、F2、F3 和 F4 的波形图。

略

3-2 电路如图 3-64a 所示, 输入 A、B 的电压波形如图 3-64b 所示, 试画出各个门电路输出端的电压波形。

略

3-3 在图 3-7 所示的正逻辑与门和图 3-8 所示的正逻辑或门电路中, 若改用负逻辑, 试列出它们的逻辑真值表, 并说明 F 和 A、B 之间是什么逻辑关系。

答: (1) 图 3-7 负逻辑真值表

A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

F 与 A、B 之间相当于正逻辑的“或”操作。

(2) 图 3-8 负逻辑真值表

A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

F 与 A、B 之间相当于正逻辑的“与”操作。

3-4 试说明能否将与非门、或非门、异或门当做反相器使用？如果可以，各输入端应如何连接？

答：三种门经过处理以后均可以实现反相器功能。(1)与非门：将多余输入端接至高电平或与另一端并联；(2)或非门：将多余输入端接至低电平或与另一端并联；(3) 异或门：将另一个输入端接高电平。

3-5 为了实现图 3-65 所示的各 TTL 门电路输出端所示的逻辑关系，请合理地将多余的输入端进行处理。

答：a) 多余输入端可以悬空，但建议接高电平或与另两个输入端的一端相连；

b) 多余输入端接低电平或与另两个输入端的一端相连；

c) 未用与门的两个输入端至少一端接低电平，另一端可以悬空、接高电平或接低电平；

d) 未用或门的两个输入端悬空或都接高电平。

3-6 如要实现图 3-66 所示各 TTL 门电路输出端所示的逻辑关系，请分析电路输入端的连接是否正确？若不正确，请予以改正。

答：a) 不正确。输入电阻过小，相当于接低电平，因此将 50Ω 提高到至少 $2K\Omega$ 。

b) 不正确。第三脚 V_{CC} 应该接低电平。

c) 不正确。万用表一般内阻大于 $2K\Omega$ ，从而使输出结果 0。因此多余输入端应接低电平，万用表只能测量 A 或 B 的输入电压。

3-7 (修改原题，图中横向电阻改为 $6k\Omega$ ，纵向电阻改为 $3.5k\Omega$, $\beta=30$ 改为 $\beta=80$)

为了提高 TTL 与非门的带负载能力，可在其输出端接一个 NPN 晶体管，组成如图 3-67 所示的开关电路。当与非门输出高电平 $V_{OH}=3.6V$ 时，晶体管能为负载提供的最大电流是多少？

答：如果输出高电平，则其输出电流为 $(3.6-0.7)/6=483\mu A$ ，而与非门输出高电平时最大负载电流是 $400\mu A$ ，因此最大电流 $I_L = (400 - 0.7/3.5) \times 80 = 16mA$ 。

3-8 如图 3-68 所示 TTL 与非门，其多发射晶体管的基极电阻 $R_1=2.8k\Omega$ ，若在 A 输入端分别为 5V、3.6V、0.6V、0.3V、0V 的电压，试分析计算接到 B 输入端的电压表的读数是多少？输出电压 v_o 是多少？

答：（1）当输入 5V 时，表的电压读数为 1.4V, $v_o=0V$;

（2）当输入 3.6V 时，表的电压读数为 1.4V, $v_o=0V$;

（3）当输入 0.6V 时，表的电压读数为 0.6V, $v_o=3.6V$;

（4）当输入 0.3V 时，表的电压读数为 0.3V, $v_o=3.6V$;

（5）当输入 0V 时，表的电压读数为 0V, $v_o=3.6V$;

3-9 用双线示波器观测到某 TTL 与非门的输入信号 v_i 和输出信号 v_o 的波形如图 3-69 所示，试求此与非门的传输延迟时间 t_{PHL} 、 t_{PLH} 和平均传输延迟时间 t_{PD} 。

答： $t_{PHL}=7ns$, $t_{PLH}=10ns$, $t_{PD}=8.5ns$

3-10 为什么说 TTL 与非门的输入端悬空相当于接高电平？多余的输入端应如何处理？

答：由于 TTL 与非门输入端负载特性决定，当输入端悬空时，输出将为低电平，因此相当于接入高电平。因此多余的输入端悬空，或接高电平。

3-11 有 TTL 与非门、或非门和三态门组成的电路如图 3-70a 所示，图 b 是各输入端的输入波形，试画出 F_1 和 F_2 的波形图。

答：（1）当 E 为高电平时，缓冲器（三态门）输出为高阻，对应与非门与或非门的输入相当于悬空，而 TTL 门悬空相当于输入高电平，因此 $F_1 = \overline{B}$, $F_2 = 0$ 。

（2）当 E 为低电平时，缓冲器（三态门）输入同输入，输出为 0，因此 $F_1 = 1$, $F_2 = \overline{A}$ 。

3-12 （修改原题，a）图中的 PNP 管改为 NPN 管）试分析图 3-71 所示 3 个逻辑电路的逻辑功能，列出其值表，写出其逻辑函数表达式，指出它们能完成的逻辑功能。

答：(a) 图真值表

A	A'	F
0	0	1
0	1	0
1	0	0
1	1	0

因此， $F = \overline{A + A'}$ ，电路实现“或非”运算功能。

b) 从图中可以看出， $A_1 A_2 A_3$ 与 $A'_1 A'_2 A'_3$ 分别通过三个发射结实现“与”运算，然后进行“或非”运算，简化真值表如下表所示：

$A_1 A_2 A_3$	$A'_1 A'_2 A'_3$	F
0	0	1
0	1	0
1	0	0
1	1	0

因此， $F = \overline{A_1 A_2 A_3 + A'_1 A'_2 A'_3}$ ，电路实现“与或非”运算功能。

(c) 图真值表

A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

因此, $F = \overline{AB} + A\overline{B}$, 电路实现“异或”运算功能。

3-13 图 3-72 所示逻辑电路中, G_1 、 G_2 、 G_3 是 OC 门。负载电阻 $R_L=2k\Omega$, 其输出低电平的输出特性如图 b 所示。负载门是 CT74H 系列的与非门, 其多发射极晶体管的基极电阻 $R_1=2.8 k\Omega$, 输入高电平漏电流 $I_{IH}=40\mu A$, OC 门输出高电平的漏电流 $I_{OH}=2\mu A$, $V_{OHmin}=3V$, $V_{OLmax}=0.4V$ 。试求此“线与”输出能带二输入 TTL 与非门多少个?

答: OC 门输出短接时可以实现“线与”功能, 分析图中所示电路驱动双输入与非门的数量 (高为 n), 则需要分为输出高电平和低电平两种情况分析。

(1) 当“线与”端为高电平时, 所有 OC 门均输出高电平, 此时应满足如下不等式:

$$V_{CC} - I_L R_L \geq V_{OHmin}$$

$$\text{其中: } I_L = 3 \times I_{OH} + 2 \times n I_{IH}$$

$$n = \frac{\left(\frac{V_{CC} - V_{OHmin}}{R_L} - 3I_{OH} \right)}{2I_{IH}} = \frac{\frac{5-3}{2} \times 1000 - 3 \times 2}{2 \times 40} \approx 12$$

(2) 当“线与”端为低电平时, 考虑最坏情况, 即只有一个 OC 门输出为低电平, 此时应满足如下不等式:

$$I_{OL} = I_{RL} + nI_{IL} = \frac{V_{CC} - V_{OLmax}}{R_L} + nI_{IL} < I_{OLMAX}$$

$$n = \frac{I_{OLMAX} - \frac{V_{CC} - V_{OLmax}}{R_L}}{I_{IL}} = \frac{16 - \frac{5-0.4}{2}}{1.5} \approx 9$$

综合以上情况, 图中“线与”输出最多能带 9 个二输入 TTL 与非门。

3-14 图 3-73 所示 3 个 CMOS 门电路, 为实现图中各输出端所示逻辑函数表达式的逻辑关系, 多余输入端 C 应如何处理?

答：a) C 端接低电平或与其他端并连使用。

b) C 端接高电平或与其他端并连使用。

c) C 端接高电平或与其他端并连使用。

3-15 如图 3-74 所示逻辑电路，图中 G_1 是 TTL 三态输出与非门， G_2 是 74 系列 TTL 与非门，电压表的量程为 5V，内阻为 100 k Ω 。试问，在下列四种情况下电压表的读数以及 G_2 的输出电压 v_o 各为多少？

(1) $v_A=0.3V$ ，开关 S 打开；

(2) $v_A=0.3V$ ，开关 S 闭合；

(3) $v_A=3.6V$ ，开关 S 打开；

(4) $v_A=3.6V$ ，开关 S 闭合。

答：(1)电压表没有读数， $v_o=0.3V$ 。

(2)电压表读数 1.4V， $v_o=0.3V$ 。

(3)电压表读数 0.3V， $v_o=0.3V$ 。

(4)电压表读数 0.3V， $v_o=3.6V$ 。

3-16 由 TTL 三态门和 OC 门组成的逻辑电路如图 3-75 所示，试用内阻为 20 k Ω/V 的万用表测量图中 A、B、C 共 3 点的电压，读数各为多少？

答：A 点电压：0.3V，B 点电压：0.1V，C 点电压：10V。

3-17 当电源电压 V_{DD} 改变时，CMOS 反相器的电压传输特性为什么会像图 3-47 所示那样变化，试分析说明其原理。

答：由于 CMOS 器件工作时 NMOS 和 PMOS 交替工作，输出不同电平时，总有一种 MOS 管截止，从而使得输出电平接近于电源电压。以 CMOS 反相器为例，当输出高电平时，NMOS 管截止，PMOS 管没有压降，其输出高电平就为电源供电电压，因此传输特性曲线随电源电压改变。从图中也可看出 CMOS 器件工作电压的范围要比 TTL 宽。

3-18 在 CMOS 传输门 TG 的输出端接电阻 $R_L=1\text{ k}\Omega$ ，如图 3-76 所示，设 TG 的导通电阻为 R_{TG} ，截止电阻大于 $10^9\Omega$ ，求：

(1) 当 $C=1$ 时, v_o 与 v_i 的关系;

(2) $C=0$ 时, 输出 v_o 的状态如何?

答: (1)
$$v_o = v_i \frac{R_L}{R_{TG} + R_L}$$

(2) v_o 为高阻态。

3-19 将 CMOS 门电路的输入悬空, 其输出状态如何? 请说明其原理。

答: 输入端悬空, 会受到感应信号干扰而误认为是有效输入信号, 易出现错误的输出。

3-20 在 CMOS 门电路中, 有时采用图 3-77 所示的方法扩展其输入端数, 试分析图 a 和图 b 的逻辑功能, 写出其输出 F_1 和 F_2 的逻辑表达式。

答:
$$F_1 = \overline{ABCDE},$$

$$F_2 = \overline{A + B + C + D + E}$$

3-21 能否将题 3-20 所述的扩展 CMOS 门电路输入端数的方法, 用来扩展 TTL 门电路的输入端数? 试简述其原理。

答: 不能。因为, 当二极管与门输入低电平时, 经过二极管后, 输出低电平会被抬高 0.7V, 可能会超过 TTL 与非门的开门电平 V_{ON} , TTL 与非门不能正常工作。同理, 当二极管或门输入高电平时, 经过二极管压降后, 输出高电平会被降低 0.7V, 可能会低于 TTL 或非门的输入关门电平 V_{OFF} , 或非门则不能正常工作。

3-22 能够将两个 CMOS 与非门或者或非门的输出端直接并联连接使用, 请说明其原因。

答: 不能。只有 OC 门、OD 门或者三态门的输出能够直接并联, 其他门电路输出端不能直接连接, 否则会提升输出低电平的电压值, 也容易烧毁器件。

3-23 试比较 TTL 电路和 CMOS 门电路的优缺点。

答:

1) TTL 电路是电流控制器件, 而 CMOS 电路是电压控制器件。

2) TTL 电路的速度快, 传输延迟时间短(5-10ns), 但是功耗大。CMOS 电路的速度慢, 传输延迟时间长(25-50ns), 但功耗低。CMOS 电路本身的功耗与输入信号的脉冲频率有关, 频率越高, 功耗越高, 芯片越热。

3) CMOS 电路的锁定效应: CMOS 电路由于输入太大的电流, 内部的电流急剧增大, 除非切断电源, 电流一直在增大。这种效应就是锁定效应。当产生锁定效应时, CMOS 的内部电流能达到 40mA 以上, 很容易烧毁芯片。

3-24 试说明在使用 CMOS 门电路时不宜将输入端悬空的理由。

答: CMOS 电路的输入阻抗非常高, 很容易受到干扰, 并且 CMOS 电路为场效应管, 输入电压控制输出电流, 悬空时容易出现静电等瞬时高压烧毁器件的现象, 所以必须不用的输入端不能悬空, 就根据器件功能进行相应的处理。

3-25 在做 CMOS 门电路的实验时发现, 输入脉冲信号的频率越高, 器件的温升越高, 这种现象是否正常? 试说明理由。

答: CMOS 器件的总功耗包括静态功耗和动态功耗, 当工作频率较高时, 动态功耗远大于静态功耗, 此时的静态功耗几乎可以忽略不计。当输入脉冲信号的频率越高, 动态功耗越大, 器件的温升越高, 这种现象是正常的。

第四章习题答案

4-1

(a) $F_0 = A_0 \oplus A_1, F_1 = A_1 \oplus A_2, F_2 = A_2 \oplus A_3, F_3 = A_3$

(b) $C_0 = A_0 B_0, C_1 = (A_1 B_1) + (A_1 \oplus B_1) C_0, S_0 = A_0 \oplus B_0, S_1 = (A_1 \oplus B_1) \oplus C_0$

(c) $F = AB + \overline{AB}$ (同或)

(d) $F_1 = AC + \overline{AB}, F_2 = BC + \overline{AB}, F_3 = BC + \overline{AC}$,

4-2

1) 真值表, 输入为 ABCD, 输出为 F_0, F_1, F_2, F_3

	A	B	C	D	F_3	F_2	F_1	F_0
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	1	0	0	0
6	0	1	1	0	1	0	0	1
7	0	1	1	1	1	0	1	0
8	1	0	0	0	1	0	1	1
9	1	0	0	1	1	1	0	0
任意项					任意项			

$$F_3 = \sum m(5,6,7,8,9), F_2 = \sum m(4,9), F_1 = \sum m(2,3,7,8), F_0 = \sum m(1,3,6,8)$$

卡诺图化简

$$F_3 = \overline{D}, F_2 = \overline{BCD} + AD, F_1 = CD + \overline{BC} + \overline{AD}, F_0 = \overline{AD} + \overline{ABD}$$

2) 真值表, 输入为 ABCD, 输出为 F_0, F_1, F_2, F_3

	A	B	C	D	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	1	1
1	0	0	0	1	0	1	0	0
2	0	0	1	0	0	1	0	1
3	0	0	1	1	0	1	1	0
4	0	1	0	0	0	1	1	1
5	1	0	0	0	1	0	0	0
6	1	0	0	1	1	0	0	1
7	1	0	1	0	1	0	1	0
8	1	0	1	1	1	0	1	1

9	1	1	0	0	1	1	0	0
任意项					任意项			

$$Y_3 = \sum m(5,6,7,8,9), Y_2 = \sum m(1,2,3,4,9),$$

$$Y_1 = \sum m(0,3,4,7,8), Y_0 = \sum m(0,2,4,6,8)$$

用 4-16 线译码器实现

$$Y_3 = \overline{F_5} \overline{F_6} \overline{F_7} \overline{F_8} \overline{F_9}, Y_2 = \overline{F_1} \overline{F_2} \overline{F_3} \overline{F_4} \overline{F_9}, Y_1 = \overline{F_0} \overline{F_3} \overline{F_4} \overline{F_7} \overline{F_8}, Y_0 = \overline{F_0} \overline{F_2} \overline{F_4} \overline{F_6} \overline{F_8}$$

4-3

将四片 138 译码器级联，ST₁ 接高电平，ST₃ 接低电平，ST₂ 由译码控制

A ₄	A ₃	$\overline{ST_{42}}$	$\overline{ST_{32}}$	$\overline{ST_{22}}$	$\overline{ST_{12}}$
0	0	1	1	1	0
0	1	1	1	0	1
1	0	1	0	1	1
1	1	0	1	1	1

$$\overline{ST_{42}} = \overline{A_4 A_3}, \overline{ST_{32}} = \overline{A_4 A_3}, \overline{ST_{22}} = \overline{A_4 A_3}, \overline{ST_{12}} = \overline{A_4 A_3}$$

4-4

$$F_1 = \sum m(1,3,4,7) = \overline{\overline{m_1 m_3 m_4 m_7}} = \overline{\overline{F_1 F_3 F_4 F_7}}$$

$$F_2 = \sum m(0,4,6) = \overline{\overline{m_0 m_4 m_6}} = \overline{\overline{F_0 F_4 F_6}}$$

4-5

1) 一片 8 选 1,

输入 A、B、C 分别接 8 选 1 的地址 A₂, A₁, A₀

$$D_0 = D_2 = D_4 = D, D_3 = D_6 = 1, D_5 = D_7 = \overline{D}, D_1 = 0$$

2) 两片 8 选 1,

输入 A、B、C、D 分别接 4 选 1 的地址 \overline{E} , A₂, A₁, A₀

$$D_0 = D_2 = D_3 = D_4 = D_8 = D_{10} = D_{15} = 0, D_1 = D_5 = D_6 = D_7 = D_9 = D_{11} = D_{12} = D_{13} = D_{14} = 1$$

4-6

$$F = \overline{S_1}\overline{S_0}AB + \overline{S_1}S_0(A+B) + S_1\overline{S_0}(A \oplus B) + S_1S_0\overline{A}$$

$$F = \overline{S_1}\overline{S_0}AB + \overline{S_1}S_0A + \overline{S_1}S_0B + S_1\overline{S_0}A\overline{B} + S_1\overline{S_0}A\overline{B} + S_1S_0\overline{A}$$

将 S_1, S_0, A 分别接 8 选 1 的地址 A_2, A_1, A_0 ，则输入端分别是

$$D_1 = D_2 = D_4 = B, D_5 = \overline{B}, D_3 = D_6 = 1, D_0 = D_7 = 0$$

4-7

- 1) 输入 A,B,C,D 分别接加法器的 A_3, A_2, A_1, A_0 ，加法器的 $B_3B_2B_1B_0=0011, CI=0$
- 2) 输入 A,B,C,D 分别接加法器的 A_3, A_2, A_1, A_0 ，加法器的 $B_3B_2B_1B_0=1101, CI=0$

4-8

假设四位被加数为 ABCD，加数为 EFGH

输入 A,B,C,D 分别接加法器的 A_3, A_2, A_1, A_0 ，

加法器的 B_3, B_2, B_1, B_0 如下：

$$B_3 = \overline{E \oplus M}, B_2 = \overline{F \oplus M}, B_1 = \overline{G \oplus M}, B_0 = \overline{H \oplus M}, CI = \overline{M}$$

4-9

真值表

M	A	B	C	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

$$F = \sum m(7,11,13,14,15)$$

1) 8 选 1 数据选择器，

将 M, A, B 分别接 8 选 1 的地址 A_2, A_1, A_0 ，则输入端分别是

$$D_3 = D_5 = D_6 = C, D_7 = 1, D_0 = D_1 = D_2 = D_4 = 0$$

2) 用 3-8 译码器

$$F = \overline{m_7 m_{11} m_{13} m_{14} m_{15}} = \overline{F_7 F_{11} F_{13} F_{14} F_{15}}$$

4-10

设三个开关分别为 A,B,C，开关的关闭为 1，打开为 0；灯的输出为 F，灯的亮为 1，灭为 0
真值表

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

$$F = \overline{ABC}$$

4-11

真值表如下：

A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	1
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	0	1	1	0	0	0	0
0	0	1	1	1	1	0	1	1	0	1
0	1	0	0	0	1	1	0	0	0	0
0	1	0	1	1	1	0	1	1	0	1
0	1	1	0	1	1	0	1	1	0	1
0	1	1	1	1	1	1	1	0	0	1
1	0	0	0	0	1	1	0	0	0	0
1	0	0	1	1	1	0	1	1	0	1
1	0	1	0	1	1	0	1	1	0	1
1	0	1	1	1	1	1	1	0	0	1
1	1	0	0	1	1	0	1	1	0	1
1	1	0	1	1	1	1	1	0	0	1
1	1	1	0	1	1	1	1	0	0	1
1	1	1	1	0	1	1	1	0	0	1
1	1	1	1	0	1	1	0	0	1	1

逻辑表达式

输入 ABCD 分别接 4-16 译码器的地址段 A_3, A_2, A_1, A_0

- 1) a 端: $D_1 = D_2 = D_4 = D_8 = D_{15} = 0$, 其余数据端接 1
- 2) b 端: 所有数据端均接 1, $D_0 \dots D_{15} = 1$
- 3) c 端: $D_3 = D_5 = D_6 = D_9 = D_{10} = D_{12} = 0$, 其余数据端接 1
- 4) d 端: $D_1 = D_2 = D_4 = D_8 = D_{15} = 0$, 其余数据端接 1
- 5) e 端: $D_1 = D_2 = D_4 = D_7 = D_8 = D_{11} = D_{13} = D_{14} = D_{15} = 0$, 其余数据端接 1
- 6) f 端: $D_0 = D_{15} = 1$, 其余数据端接 0
- 7) g 端: $D_1 = D_2 = D_4 = D_8 = 0$, 其余数据端接 1

4-12

设输出灯亮为 1，灭为 0

真值表如下：

A	B	C	D	F ₁	F ₂	F ₃
0	0	0	0	1	0	0
0	0	0	1	1	0	0
0	0	1	0	1	0	0
0	0	1	1	1	0	0
0	1	0	0	1	0	0
0	1	0	1	0	1	0
0	1	1	0	0	1	0
0	1	1	1	0	1	0
1	0	0	0	0	1	0
1	0	0	1	0	1	0
1	0	1	0	0	0	1
1	0	1	1	0	0	1
1	1	0	0	0	0	1
1	1	0	1	0	0	1
1	1	1	0	0	0	1
1	1	1	1	0	0	1

1) 4-16 线译码器实现

输入 ABCD 分别接 4-16 译码器的地址段 A₃, A₂, A₁, A₀

(1) F₁ 端: $D_0 = D_1 = D_2 = D_3 = D_4 = 1$, 其余数据端接 0

(2) F₂ 端: $D_5 = D_6 = D_7 = D_8 = D_9 = 1$, 其余数据端接 0

(3) F₃ 端: $D_{10} = D_{11} = D_{12} = D_{13} = D_{14} = D_{15} = 1$, 其余数据端接 0

2) 4 位数据比较器实现

用两片数据选择器, 输入端 ABCD 分别接两个比较器的 A₃A₂A₁A₀, 第一片比较器的

B₃B₂B₁B₀=0101, 第二片的 B₃B₂B₁B₀=1001, 两片的级联端 $I_{A=B}=1, I_{A>B}=I_{A<B}=0$, 则:

$$F_1 = I_{A<B}, \quad F_3 = I_{A>B}, \quad F_2 = \overline{F_1} \overline{F_3}$$

4-13

写出真值表

A ₁	A ₀	B ₁	B ₀	F ₃	F ₂	F ₁	F ₀
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1

用 4-16 线译码器实现

输入 A₁A₀B₁B₀ 分别接 4-16 译码器的地址段 A₃,A₂,A₁,A₀

- (1) F₀ 端: $D_5 = D_7 = D_{13} = D_{15} = 1$, 其余数据端接 0
- (2) F₁ 端: $D_6 = D_7 = D_9 = D_{11} = D_{13} = D_{14} = 1$, 其余数据端接 0
- (3) F₂ 端: $D_{10} = D_{11} = D_{14} = 1$, 其余数据端接 0
- (4) F₃ 端: $D_{15} = 1$, 其余数据端接 0

4-14

- 1) 只要把两片的 $I_{A=B}$ 直接相连就可以判断三个输入数据是否相等,

4-15

假定输入为 ABCD 四门课程，及格为 1，不及格为 0；输出 F 为能否毕业，能够毕业为 1，不能毕业为 0。

写出真值表

A	B	C	D	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

表达式为： $F = \sum m(7,11,12,13,14,15)$

将输入 A、B 分别接 4 选 1 的地址 A_1, A_0

$D_3 = D_5 = D, D_6 = D_7 = 1, D_0 = D_2 = D_4 = 0$

第四章习题答案

4-1

(a) $F_0 = A_0 \oplus A_1, F_1 = A_1 \oplus A_2, F_2 = A_2 \oplus A_3, F_3 = A_3$

(b) $C_0 = A_0 B_0, C_1 = (A_1 B_1) + (A_1 \oplus B_1) C_0, S_0 = A_0 \oplus B_0, S_1 = (A_1 \oplus B_1) \oplus C_0$

(c) $F = AB + \overline{AB}$ (同或)

(d) $F_1 = AC + \overline{AB}, F_2 = BC + \overline{AB}, F_3 = BC + \overline{AC}$,

4-2

1) 真值表, 输入为 ABCD, 输出为 F_0, F_1, F_2, F_3

	A	B	C	D	F_3	F_2	F_1	F_0
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	1	0	0	0
6	0	1	1	0	1	0	0	1
7	0	1	1	1	1	0	1	0
8	1	0	0	0	1	0	1	1
9	1	0	0	1	1	1	0	0
任意项					任意项			

$$F_3 = \sum m(5,6,7,8,9), F_2 = \sum m(4,9), F_1 = \sum m(2,3,7,8), F_0 = \sum m(1,3,6,8)$$

卡诺图化简

$$F_3 = \overline{D}, F_2 = \overline{BCD} + AD, F_1 = CD + \overline{BC} + \overline{AD}, F_0 = \overline{AD} + \overline{ABD}$$

2) 真值表, 输入为 ABCD, 输出为 F_0, F_1, F_2, F_3

	A	B	C	D	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	1	1
1	0	0	0	1	0	1	0	0
2	0	0	1	0	0	1	0	1
3	0	0	1	1	0	1	1	0
4	0	1	0	0	0	1	1	1
5	1	0	0	0	1	0	0	0
6	1	0	0	1	1	0	0	1
7	1	0	1	0	1	0	1	0
8	1	0	1	1	1	0	1	1

9	1	1	0	0	1	1	0	0
任意项					任意项			

$$Y_3 = \sum m(5,6,7,8,9), Y_2 = \sum m(1,2,3,4,9),$$

$$Y_1 = \sum m(0,3,4,7,8), Y_0 = \sum m(0,2,4,6,8)$$

用 4-16 线译码器实现

$$Y_3 = \overline{F_5} \overline{F_6} \overline{F_7} \overline{F_8} \overline{F_9}, Y_2 = \overline{F_1} \overline{F_2} \overline{F_3} \overline{F_4} \overline{F_9}, Y_1 = \overline{F_0} \overline{F_3} \overline{F_4} \overline{F_7} \overline{F_8}, Y_0 = \overline{F_0} \overline{F_2} \overline{F_4} \overline{F_6} \overline{F_8}$$

4-3

将四片 138 译码器级联，ST₁ 接高电平，ST₃ 接低电平，ST₂ 由译码控制

A ₄	A ₃	$\overline{ST_{42}}$	$\overline{ST_{32}}$	$\overline{ST_{22}}$	$\overline{ST_{12}}$
0	0	1	1	1	0
0	1	1	1	0	1
1	0	1	0	1	1
1	1	0	1	1	1

$$\overline{ST_{42}} = \overline{A_4 A_3}, \overline{ST_{32}} = \overline{A_4 A_3}, \overline{ST_{22}} = \overline{A_4 A_3}, \overline{ST_{12}} = \overline{A_4 A_3}$$

4-4

$$F_1 = \sum m(1,3,4,7) = \overline{\overline{m_1 m_3 m_4 m_7}} = \overline{\overline{F_1 F_3 F_4 F_7}}$$

$$F_2 = \sum m(0,4,6) = \overline{\overline{m_0 m_4 m_6}} = \overline{\overline{F_0 F_4 F_6}}$$

4-5

1) 一片 8 选 1,

输入 A、B、C 分别接 8 选 1 的地址 A₂, A₁, A₀

$$D_0 = D_2 = D_4 = D, D_3 = D_6 = 1, D_5 = D_7 = \overline{D}, D_1 = 0$$

2) 两片 8 选 1,

输入 A、B、C、D 分别接 4 选 1 的地址 \overline{E} , A₂, A₁, A₀

$$D_0 = D_2 = D_3 = D_4 = D_8 = D_{10} = D_{15} = 0, D_1 = D_5 = D_6 = D_7 = D_9 = D_{11} = D_{12} = D_{13} = D_{14} = 1$$

4-6

$$F = \overline{S_1}\overline{S_0}AB + \overline{S_1}S_0(A+B) + S_1\overline{S_0}(A \oplus B) + S_1S_0\overline{A}$$

$$F = \overline{S_1}\overline{S_0}AB + \overline{S_1}S_0A + \overline{S_1}S_0B + S_1\overline{S_0}A\overline{B} + S_1\overline{S_0}A\overline{B} + S_1S_0\overline{A}$$

将 S_1, S_0, A 分别接 8 选 1 的地址 A_2, A_1, A_0 ，则输入端分别是

$$D_1 = D_2 = D_4 = B, D_5 = \overline{B}, D_3 = D_6 = 1, D_0 = D_7 = 0$$

4-7

- 1) 输入 A,B,C,D 分别接加法器的 A_3, A_2, A_1, A_0 ，加法器的 $B_3B_2B_1B_0=0011, CI=0$
- 2) 输入 A,B,C,D 分别接加法器的 A_3, A_2, A_1, A_0 ，加法器的 $B_3B_2B_1B_0=1101, CI=0$

4-8

假设四位被加数为 ABCD，加数为 EFGH

输入 A,B,C,D 分别接加法器的 A_3, A_2, A_1, A_0 ，

加法器的 B_3, B_2, B_1, B_0 如下：

$$B_3 = \overline{E \oplus M}, B_2 = \overline{F \oplus M}, B_1 = \overline{G \oplus M}, B_0 = \overline{H \oplus M}, CI = \overline{M}$$

4-9

真值表

M	A	B	C	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

$$F = \sum m(7,11,13,14,15)$$

1) 8 选 1 数据选择器，

将 M, A, B 分别接 8 选 1 的地址 A_2, A_1, A_0 ，则输入端分别是

$$D_3 = D_5 = D_6 = C, D_7 = 1, D_0 = D_1 = D_2 = D_4 = 0$$

2) 用 3-8 译码器

$$F = \overline{m_7 m_{11} m_{13} m_{14} m_{15}} = \overline{F_7 F_{11} F_{13} F_{14} F_{15}}$$

4-10

设三个开关分别为 A,B,C，开关的关闭为 1，打开为 0；灯的输出为 F，灯的亮为 1，灭为 0
真值表

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

$$F = \overline{ABC}$$

4-11

真值表如下：

A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	1
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	0	1	1	0	0	0	0
0	0	1	1	1	1	0	1	1	0	1
0	1	0	0	0	1	1	0	0	0	0
0	1	0	1	1	1	0	1	1	0	1
0	1	1	0	1	1	0	1	1	0	1
0	1	1	1	1	1	1	1	0	0	1
1	0	0	0	0	1	1	0	0	0	0
1	0	0	1	1	1	0	1	1	0	1
1	0	1	0	1	1	0	1	1	0	1
1	0	1	1	1	1	1	1	0	0	1
1	1	0	0	1	1	0	1	1	0	1
1	1	0	1	1	1	1	1	0	0	1
1	1	1	0	1	1	1	1	0	0	1
1	1	1	1	0	1	1	1	0	0	1
1	1	1	1	0	1	1	0	0	1	1

逻辑表达式

输入 ABCD 分别接 4-16 译码器的地址段 A_3, A_2, A_1, A_0

- 1) a 端: $D_1 = D_2 = D_4 = D_8 = D_{15} = 0$, 其余数据端接 1
- 2) b 端: 所有数据端均接 1, $D_0 \dots D_{15} = 1$
- 3) c 端: $D_3 = D_5 = D_6 = D_9 = D_{10} = D_{12} = 0$, 其余数据端接 1
- 4) d 端: $D_1 = D_2 = D_4 = D_8 = D_{15} = 0$, 其余数据端接 1
- 5) e 端: $D_1 = D_2 = D_4 = D_7 = D_8 = D_{11} = D_{13} = D_{14} = D_{15} = 0$, 其余数据端接 1
- 6) f 端: $D_0 = D_{15} = 1$, 其余数据端接 0
- 7) g 端: $D_1 = D_2 = D_4 = D_8 = 0$, 其余数据端接 1

4-12

设输出灯亮为 1，灭为 0

真值表如下：

A	B	C	D	F ₁	F ₂	F ₃
0	0	0	0	1	0	0
0	0	0	1	1	0	0
0	0	1	0	1	0	0
0	0	1	1	1	0	0
0	1	0	0	1	0	0
0	1	0	1	0	1	0
0	1	1	0	0	1	0
0	1	1	1	0	1	0
1	0	0	0	0	1	0
1	0	0	1	0	1	0
1	0	1	0	0	0	1
1	0	1	1	0	0	1
1	1	0	0	0	0	1
1	1	0	1	0	0	1
1	1	1	0	0	0	1
1	1	1	1	0	0	1

1) 4-16 线译码器实现

输入 ABCD 分别接 4-16 译码器的地址段 A₃, A₂, A₁, A₀

(1) F₁ 端: $D_0 = D_1 = D_2 = D_3 = D_4 = 1$, 其余数据端接 0

(2) F₂ 端: $D_5 = D_6 = D_7 = D_8 = D_9 = 1$, 其余数据端接 0

(3) F₃ 端: $D_{10} = D_{11} = D_{12} = D_{13} = D_{14} = D_{15} = 1$, 其余数据端接 0

2) 4 位数据比较器实现

用两片数据选择器, 输入端 ABCD 分别接两个比较器的 A₃A₂A₁A₀, 第一片比较器的

B₃B₂B₁B₀=0101, 第二片的 B₃B₂B₁B₀=1001, 两片的级联端 $I_{A=B}=1, I_{A>B}=I_{A<B}=0$, 则:

$$F_1 = I_{A<B}, \quad F_3 = I_{A>B}, \quad F_2 = \overline{F_1} \overline{F_3}$$

4-13

写出真值表

A ₁	A ₀	B ₁	B ₀	F ₃	F ₂	F ₁	F ₀
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1

用 4-16 线译码器实现

输入 A₁A₀B₁B₀ 分别接 4-16 译码器的地址段 A₃,A₂,A₁,A₀

- (1) F₀ 端: $D_5 = D_7 = D_{13} = D_{15} = 1$, 其余数据端接 0
- (2) F₁ 端: $D_6 = D_7 = D_9 = D_{11} = D_{13} = D_{14} = 1$, 其余数据端接 0
- (3) F₂ 端: $D_{10} = D_{11} = D_{14} = 1$, 其余数据端接 0
- (4) F₃ 端: $D_{15} = 1$, 其余数据端接 0

4-14

- 1) 只要把两片的 $I_{A=B}$ 直接相连就可以判断三个输入数据是否相等,

4-15

假定输入为 ABCD 四门课程，及格的为 1，不及格的为 0；输出 F 为能否毕业，能够毕业为 1，不能毕业为 0。

写出真值表

A	B	C	D	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

表达式为： $F = \sum m(7,11,12,13,14,15)$

将输入 A、B 分别接 4 选 1 的地址 A₁,A₀

$D_3 = D_5 = D, D_6 = D_7 = 1, D_0 = D_2 = D_4 = 0$

第6章 习题解答

6-1 指出下列各类型的触发器中那些能组成移位寄存器，哪些不能组成移位寄存器，如果能够，在（ ）内打√，否则打×。

- (1) 基本 RS 触发器 ()；
- (2) 同步 RS 触发器 ()；
- (3) 主从结构触发器 ()；
- (4) 维持阻塞触发器 ()；
- (5) 用 CMOS 传输门的边沿触发器 ()；
- (6) 利用传输延迟时间的边沿触发器 ()。

解答：(1) ×；(2) ×；(3) √；(4) √；(5) √；(6) √；

6-2 试分析图 6-79 所示时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图，并且说明电路能够自启动。

解答：

$$\text{驱动方程： } J_1 = K_1 = \overline{Q_3}； J_2 = K_2 = Q_1； J_3 = Q_1 Q_2、K_3 = Q_3$$

$$\text{状态方程： } Q_1^{n+1} = J_1 \overline{Q_1} + \overline{K_1} Q_1 = \overline{Q_3} \overline{Q_1} + Q_3 Q_1 = Q_1 \odot Q_3$$

$$Q_2^{n+1} = J_2 \overline{Q_2} + \overline{K_2} Q_2 = Q_1 \overline{Q_2} + \overline{Q_1} Q_2 = Q_1 \oplus Q_2$$

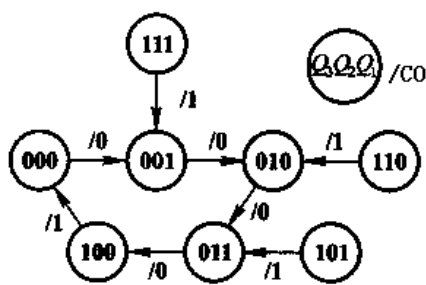
$$Q_3^{n+1} = J_3 \overline{Q_3} + \overline{K_3} Q_3 = Q_1 Q_2 \overline{Q_3} + \overline{Q_3} Q_3 = Q_1 Q_2 \overline{Q_3}$$

$$\text{输出方程： } CO = Q_1 Q_2 \overline{Q_3}$$

状态转换表如下：

脉冲数	初态 $Q_3 Q_2 Q_1$	次态 $Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$	输出 CO
1	000	001	0
2	001	010	0
3	010	011	0
4	011	100	0
5	100	000	1
	101	011	1
	110	010	1
	111	001	1

状态转换图如下：



此电路为能自启动的同步五进制加法计数器。

6-3 试分析图 6-80 所示时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图。A 为输入逻辑变量。

解答：

$$\text{驱动方程: } D_1 = A\overline{Q_2}; \quad D_2 = \overline{A\overline{Q_1}Q_2} = A(Q_1 + Q_2)$$

$$\text{状态方程: } Q_1^{n+1} = D_1 = A\overline{Q_2}$$

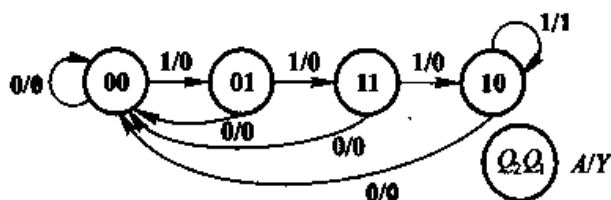
$$Q_2^{n+1} = D_2 = A(Q_1 + Q_2)$$

$$\text{输出方程: } CO = A\overline{Q_1}Q_2$$

状态转换表如下：

脉冲数	A	初态 Q_2Q_1	次态 $Q_2^{n+1}Q_1^{n+1}$	输出 CO
1	0	00	00	0
2	0	01	00	0
3	0	10	00	0
4	0	11	00	0
	1	00	01	0
	1	01	11	0
	1	11	10	1
	1	10	10	1

状态转换图如下：



此电路为串行数据检测器，当输入 4 个或 4 个以上的 1 时输出为 1，其他输入情况下输出为 0。

6-4 试分析图 6-81 所示时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转换图。检查电路能否自启动。

解答：

驱动方程: $J_1 = \overline{Q_2 Q_3}$ 、 $K_1 = 1$; $J_2 = Q_1$ 、 $K_2 = \overline{Q_1} \cdot \overline{Q_3}$; $J_3 = Q_1 Q_2$ 、 $K_3 = Q_2$

状态方程: $Q_1^{n+1} = J_1 \overline{Q_1} + \overline{K_1} Q_1 = \overline{Q_2 Q_3} \overline{Q_1} + 1 \cdot Q_1 = \overline{Q_1} \cdot \overline{Q_2 Q_3} + Q_1 \overline{Q_2 Q_3}$

$$Q_2^{n+1} = J_2 \overline{Q_2} + \overline{K_2} Q_2 = Q_1 \overline{Q_2} + \overline{Q_1} Q_2 \overline{Q_3}$$

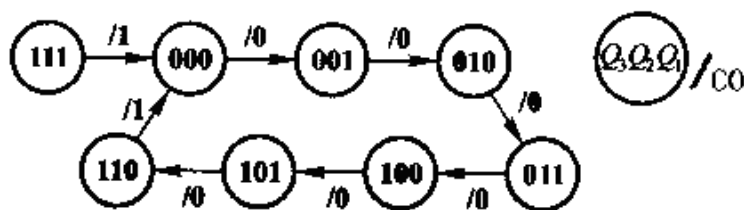
$$Q_3^{n+1} = J_3 \overline{Q_3} + \overline{K_3} Q_3 = Q_1 Q_2 \overline{Q_3} + \overline{Q_2} Q_3$$

输出方程: $CO = Q_2 Q_3$

状态转换表如下:

脉冲数	初态 $Q_3 Q_2 Q_1$	次态 $Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$	输出 CO
1	000	001	0
2	001	010	0
3	010	011	0
4	011	100	0
5	100	101	0
	101	110	0
	110	000	1
	111	000	1

电路的状态转换图如下:



此电路为能自启动的同步七进制加法计数器。

6-5 试分析图 6-82 给出的时序电路, 画出电路的状态转换图, 检查电路能否自启动, 说明电路实现的功能。A 为输入变量。

解答:

驱动方程: $J_1 = K_1 = 1$; $J_2 = K_2 = A \oplus Q_1$;

状态方程: $Q_1^{n+1} = J_1 \overline{Q_1} + \overline{K_1} Q_1 = \overline{Q_1}$

$$Q_2^{n+1} = J_2 \overline{Q_2} + \overline{K_2} Q_2 = A \oplus Q_1 \cdot \overline{Q_2} + \overline{A \oplus Q_1} \cdot Q_2 = A \oplus Q_1 \oplus Q_2$$

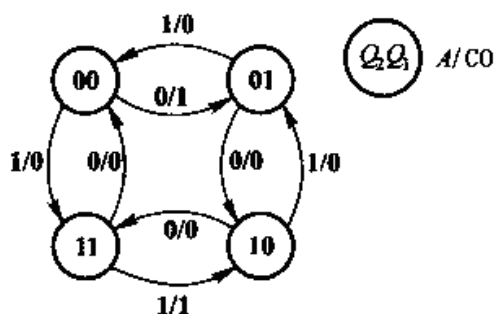
输出方程: $CO = \overline{AQ_1 Q_2} \cdot \overline{AQ_1 Q_2} = AQ_1 Q_2 + \overline{AQ_1 Q_2}$

状态转换表如下:

脉冲数	A	初态 $Q_2 Q_1$	次态 $Q_2^{n+1} Q_1^{n+1}$	输出 CO
-----	---	--------------	--------------------------	---------

1	0	00	01	1
2	0	01	10	0
3	0	10	11	0
4	0	11	00	0
	1	11	10	1
	1	10	01	0
	1	01	00	0
	1	00	11	0

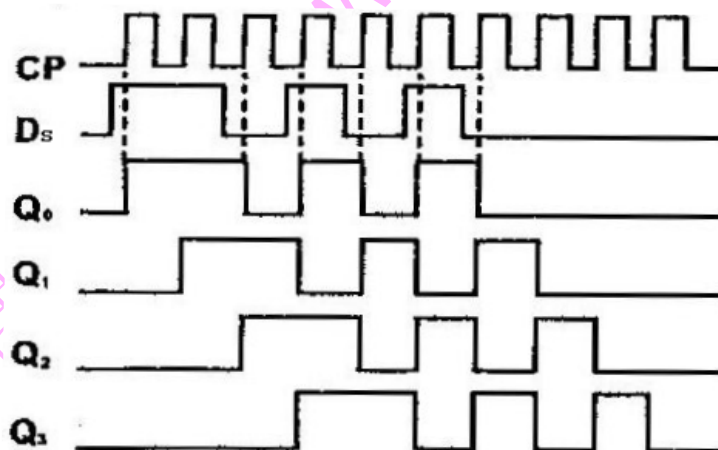
状态转换图如下:



此电路为可逆计数器。当 A 为 0 时实现两位二进制加法计数，输出上升沿为进位信号；当 A 为 1 时实现两位二进制减法计数，输出上升沿为借位信号。

6-6 如在图 6-8a 所示的 4 位移位寄存器 CC4015 的 CP 和 D_S 输入端加上如图 6-83 所示的波形，设各个触发器的初态均为 0，试画出个触发器相应的输出波形。

解答：各触发器相应的输出波形如下：



6-7 在图 6-84 中，若两个移位寄存器中原存放的数据分别为 $A_3A_2A_1A_0=1001$ ， $B_3B_2B_1B_0=0011$ ，试问经过 4 个 CP 脉冲作用后，两个寄存器中的数据各为多少？此电路完成什么功能？

解答：4 个 CP 脉冲作用后，两个寄存器中的数据各为

A: $A_3A_2A_1A_0=1100$, B: $B_3B_2B_1B_0=0000$ 。

此电路为 4 位串行加法器，实现 4 位全加的功能。

6-8 如在图 6-85 所示循环寄存器的数据输入端加高电平，设时钟脉冲 CP 到来之前两个双向

移位寄存器 CT74LS194 的输出 $Q_0 \sim Q_3$ 为 11000110，若基本 RS 触发器的输入分别为：

- (1) $\bar{S}=0$, $\bar{R}=1$; (2) $\bar{S}=1$, $\bar{R}=0$ 。分别在 5 个 CP 脉冲作用之后，试确定寄存器相应的输出 $Q_0 \sim Q_3$ 为何状态？

解答：

- (1) 11111110
(2) 00110110

6-9 回答下列问题：

- (1) 欲将一个存放在移位寄存器中的二进制数乘以 16，需要多少个移位脉冲？
(2) 若高位在此移位寄存器的右边，要完成上述功能应左移还是右移？
(3) 如果时钟频率是 50kHz，要完成此动作需要多少时间？

解答：

- (1) 需要 4 个移位脉冲；
(2) 右移；

$$(3) T = \frac{4}{50 \times 10^3} = 80 \mu s$$

6-10 分析图 6-86 所示电路，写出电路的驱动方程、状态方程和输出方程，画出状态转换图和时序图，确定其逻辑功能。

解答：

$$\text{驱动方程: } T_0=1, T_1=Q_0, T_2=Q_1Q_0, T_3=Q_2Q_1Q_0$$

$$\text{状态方程: } Q_0^{n+1} = \bar{Q}_0$$

$$Q_1^{n+1} = \bar{Q}_1Q_0 + Q_1\bar{Q}_0$$

$$Q_2^{n+1} = \bar{Q}_2Q_1Q_0 + Q_2\bar{Q}_1Q_0$$

$$Q_3^{n+1} = \bar{Q}_3Q_2Q_1Q_0 + Q_3\bar{Q}_2Q_1Q_0$$

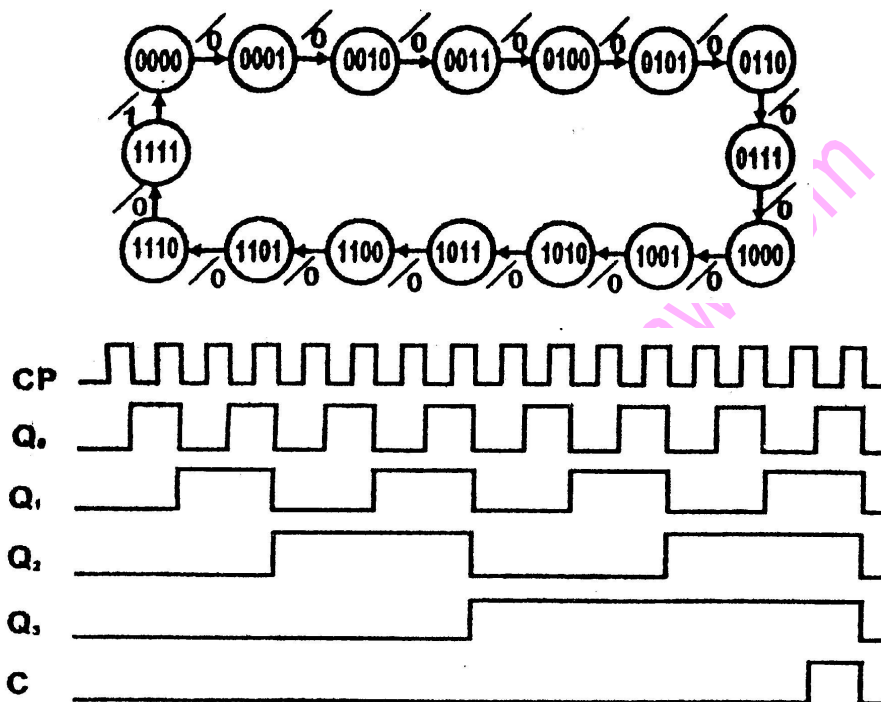
$$\text{输出方程: } CO = Q_3Q_2Q_1Q_0$$

状态转换表如下：

脉冲数	初态 $Q_3Q_2Q_1Q_0$	次态 $Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$	输出 CO
1	0000	0001	0
2	0001	0010	0
3	0010	0011	0
4	0011	0100	0
5	0100	0101	0
6	0101	0110	0
7	0110	0111	0
8	0111	1000	0

9	1000	1001	0
10	1001	1010	0
11	1010	1011	0
12	1011	1100	0
13	1100	1101	0
14	1101	1110	0
15	1110	1111	1
16	1111	0000	0

状态转换图及时序图如下：



此电路为同步十六进制（或4位二进制）加法计数器。

6-11 回答下列问题：

(1) 7个T'触发器级联构成计数器，若输入脉冲频率 $f = 512\text{kHz}$ ，则计数器最高位触发器输出的脉冲频率。

(2) 若需要每输入1024个脉冲，分频器能输出一个脉冲，则此分频器需要多少个触发器连接而成？

解答：

(1) 7个T'触发器级联构成128进制计数器，所以最高位触发器输出脉冲频率为

$$f = \frac{512\text{ kHz}}{128} = 4\text{ kHz}$$

(2) 若要每输入1024个脉冲，分频器能输出一个脉冲，即要实现1024进制计数器，需要用10个触发器连接而成。

6-12 分析图6-87所示电路的逻辑功能。

解答：

本电路为异步时序电路。

时钟方程: $CP_0 = CP_0$, $CP_1 = \overline{Q_0}$, $CP_2 = \overline{Q_1}$, $CP_3 = \overline{Q_0}$

驱动方程: $J_0 = K_0 = 1$,

$$J_0 = \overline{Q_3} \cdot \overline{Q_2} = Q_3 + Q_2, \quad K_1 = 1,$$

$$J_2 = K_2 = 1,$$

$$J_3 = \overline{Q_2} \cdot \overline{Q_1}, \quad K_3 = 1$$

状态方程: $Q_0^{n+1} = \overline{Q_0}$ ($CP \downarrow$)

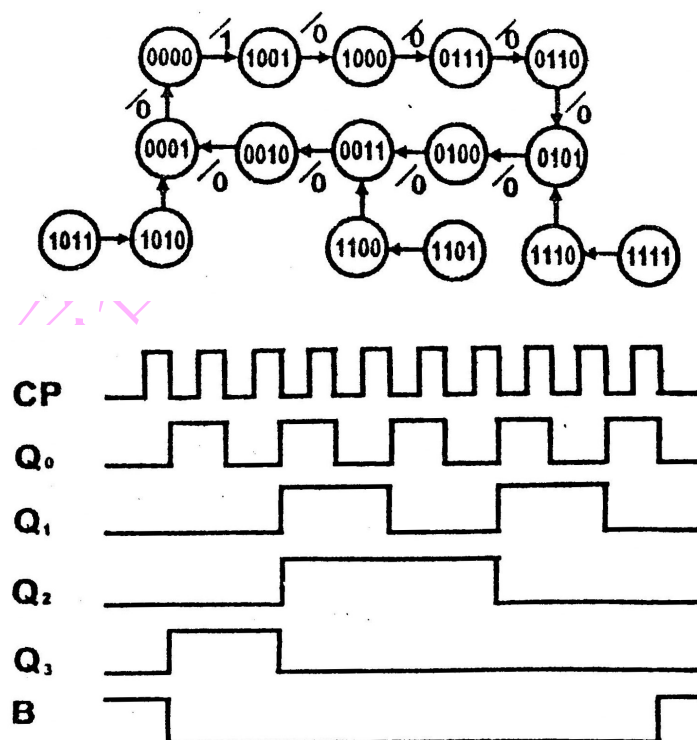
$$Q_1^{n+1} = (Q_3 + Q_2) \overline{Q_1} \quad (\overline{Q_0} \downarrow)$$

$$Q_2^{n+1} = \overline{Q_2} \quad (\overline{Q_1} \downarrow)$$

$$Q_3^{n+1} = \overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1} \quad (\overline{Q_0} \downarrow)$$

输出方程: $CO = \overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1} \cdot \overline{Q_0}$

状态转换图和时序图如下:



此电路为能自启动的异步十进制减法计数器。

6-13 分析图 6-88 所示电路的逻辑功能。

解答:

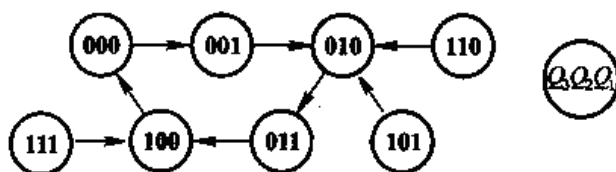
驱动方程: $D_1 = \overline{Q_3} \cdot \overline{Q_1}$, $D_2 = \overline{Q_2} \oplus \overline{Q_1}$, $D_3 = Q_2 Q_1$

状态方程: $Q_1^{n+1} = \overline{Q_3} \cdot \overline{Q_1}$, $Q_2^{n+1} = \overline{Q_2} \oplus \overline{Q_1} = Q_2 \overline{Q_1} + \overline{Q_2} Q_1$, $Q_3^{n+1} = Q_2 Q_1$

状态转换表如下:

脉冲数	初态 $Q_3 Q_2 Q_1$	次态 $Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$
1	000	001
2	001	010
3	010	011
4	011	100
5	100	000
	101	010
	110	010
	111	100

状态转换图如下:

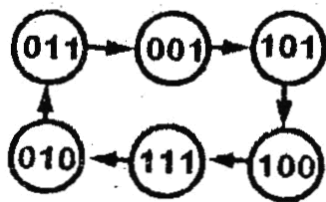


此电路为能自启动的同步五进制加法计数器。

6-14 已知计数器的输出波形如图 6-89 所示, 试确定该计数器有几个独立状态。并画出状态转换图。

解答:

由图可知, 计数器有 6 个独立的状态, 状态转换图如下:



6-15 分析图 6-90 的计数器电路, 说明这是多少进制的计数器。

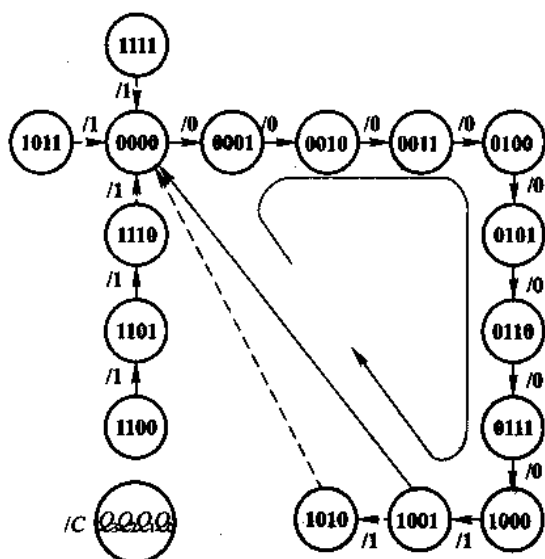
解答:

分析电路, 160 为十进制计数器, 采用预置数, 1001 的下一个状态置为 0011, 所以该电路为七进制计数器。

6-16 CT74161 为 4 位二进制加法计数器, 除计数进制外, 其功能与 CT74160 相同, 见表 6-13 所示。分析图 6-91 的计数器电路, 画出电路的状态转换图, 说明这是多少进制的计数器。

解答:

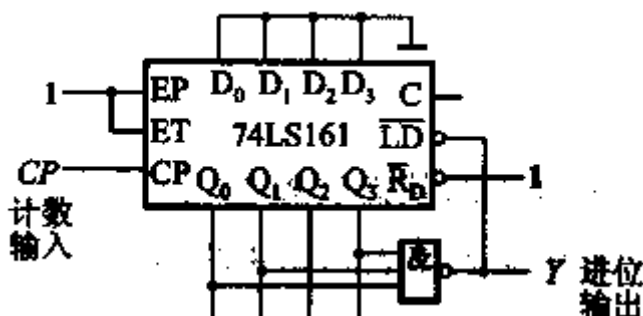
分析电路, 采用异步清零工作模式, 1010 状态时异步清零, 所以 1010 为暂态, 电路有 0000->1001 共 10 个状态, 为十进制计数器。状态转换图如下:



6-17 试用 4 位同步二进制计数器 CT74161 接成十二进制计数器, 标出输入、输出端。可以附加必要的门电路。

解答:

可采用预置数模式, 1011 时预置数为 0000, 将预置数端作为进位输出端, 即可实现十二进制计数功能。如图所示。



6-18 试分析图 6-92 的计数器在 A=1 和 A=0 时各为几进制。

解答:

电路采用预置数方式, 1001 时预置数。

当 A=1 时预置数为 0100, 电路为六进制计数器;

当 A=0 时预置数为 0010, 电路为八进制计数器。

6-19 图 6-93 电路是可变进制计数器。试分析当控制变量 A 为 1 和 0 时电路各为几进制计数器。

解答:

电路采用预置数方式, 预置数为 0000。

当 A=1 时, 1011 时进行预置, 电路为十二进制计数器;

当 $A=0$ 时, 1001 时进行预置, 电路为十进制计数器。

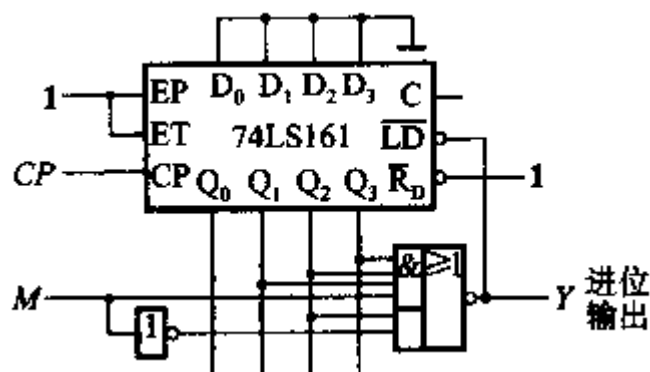
6-20 试用 CT74161 及必要的门电路设计一个可控进制的计数器。当输入控制变量 $M=0$ 时工作在 5 进制, $M=1$ 时工作在 15 进制。请标出计数输入端和仅为输出端。

解答:

可以采用预置数方式, 预置数为 0000。

当 $M=0$ 时计数到 0100 时进行预置数, 构成五进制计数器;

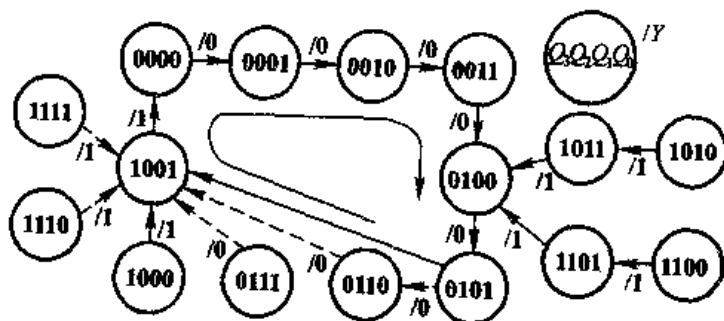
当 $M=1$ 时计数到 1110 时进行预置数, 构成十五进制计数器。



6-21 分析图 6-94 给出的计数器电路。画出电路的状态转换图, 说明这是几进制计数器。

解答:

290 接成 8421 码形式, 计数到 0110 时进行置数到 1001, 由于 290 置数端为异步置数, 所以构成七进制计数器。状态转换图如图所示。



6-22 试分析图 6-95 计数器电路的分频 K (即 CO 与 CP 的频率之比)。

解答:

两片 161 之间采用串行进位方式, 两片分别独立进行预置数, 低位片 (I) 计数到 1111 时预置数为 1001, 实现七进制计数; 高位片 (II) 计数到 1111 时预置数为 0111, 实现九进制计数。所以, 整体构成六十三进制计数器, 电路实现六十三分频, 故 $K=63$, CO 与 CP 的频率之比为 1: 63。

6-23 图 6-96 电路是由两片同步十进制计数器 CT74160 组成的计数器, 试分析这是多少进制的计数器, 两片之间是几进制。

解答:

两片 160 采取并行进位方式, 低位片 (I) 实现十进制计数, 高位片 (II) 采用预置数

方式，计数到 1001 时预置数 0111，实现三进制计数，两片之间为十进制，整体构成三十进制计数器。

6-24 分析图 6-97 给出的电路，说明这是多少进制的计数器。

解答 1:

在信号 $\overline{LD}=0$ 以前，两片 74LS161 均按十六进制计数。第一片到第二片为十六进制。

当第一片计为 2，第二片计为 5 时，产生 $\overline{LD}=0$ 信号，总的进制为

$5 \times 16 + 2 + 1 = 83$ ，为八十三进制计数器。

解答 2:

两片 161 采用并行进位方式，进行整体置数，当计数到 01010010 时进行预置数，置数为 0， $2^6 + 2^4 + 2 = 83$ ，所以整体构成十三进制计数器。

6-25 分析图 6-98 所示电路，列出其状态转换表，说明其逻辑功能。

解答:

a) 290 采用 8421 接法，计数到 1000 时异步清零，所以实现八进制计数，状态依次为：0000->0001->0010->0011->0100->0101->0110->0111 (->1000) ->0000

b) 290 采用 5421 接法，计数到 1010 时异步清零，所以实现七进制计数，状态依次为：0000->0001->0010->0011->0100->1000->1001 (->1010) ->0000

状态转换表分别如下：

脉冲数	$Q_3Q_2Q_1Q_0$	脉冲数	$Q_3Q_2Q_1Q_0$
1	0000	1	0000
2	0001	2	0001
3	0010	3	0010
4	0011	4	0011
5	0100	5	0100
6	0101	6	1000
7	0110	7	1001
8	0111	8	1010
9	1000		

6-26 图 6-99 是用两片 74290 组成的技术电路，试分析此电路是多少进制的计数器。

解答:

两片 290 都采用 8421 接法，低位片 (I) 接成九进制计数器，高位片 (II) 接成了六进制计数器，两片构成 $9 \times 6 = 54$ 进制计数器。

6-27 分析图 6-100 所示电路。列出其状态转换表，说明其逻辑功能。

解答:

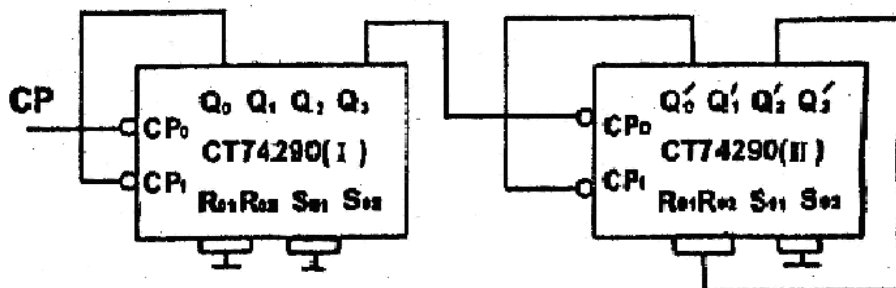
160 采用预置数，当计数到 0100 时预置数 1001，为六进制计数器。

状态为：0000->0001->0010->0011->0100->1001->0000

6-28 试采用 CT74290 及必要的门电路以级连方式构成四十进制计数器。

解答:

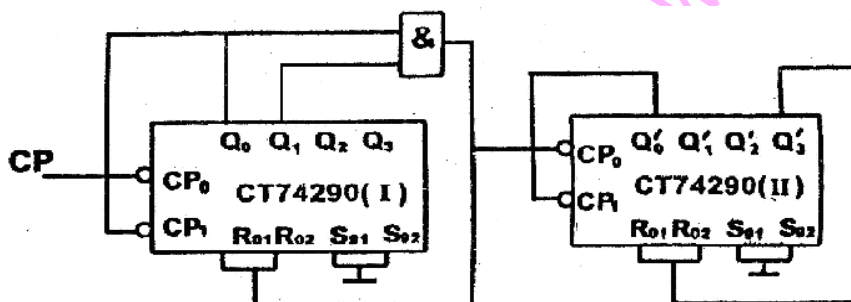
$40=10 \times 4$ 。两片 290 分别接成十进制和四进制计数器, 采用串行进位方式级连。如图所示。也可以采用计数到 40 时进行整体清零的方式, 图略。



6-29 试采用 CT74290 及必要的门电路构成 8421BCD 码的二十四进制计数器。

解答:

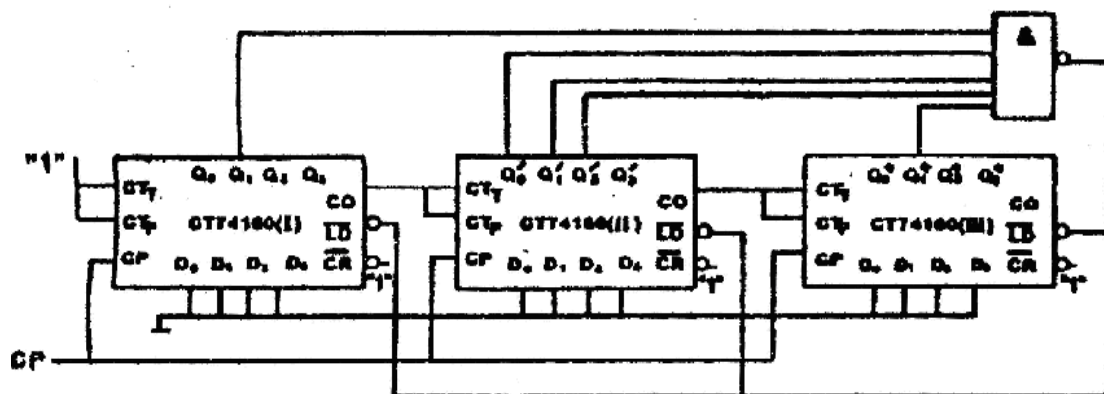
$24=3 \times 8$ 。两片 290 分别接成 8421 码三进制和八进制计数器, 采用串行进位方式级连。如图所示。也可以采用计数到 24 时进行整体清零的方式, 图略。



6-30 试用中规模集成同步十进制加法计数器 CT74160, 并附加必要的门电路, 设计一个二百七十三进制的计数器。

解答:

使用三片 160 采用并行进位方式, 计数到 272 时整体置数为 0。电路如图所示。



6-31 图 6-101 是由二--十进制优先权编码器 CT74147 和同步十进制加法计数器 CT74160 组成的可控分频器, 试说明当输入控制信号 $\overline{I}_1, \overline{I}_2, \overline{I}_3, \overline{I}_4, \overline{I}_5, \overline{I}_6, \overline{I}_7, \overline{I}_8$ 和 \overline{I}_9

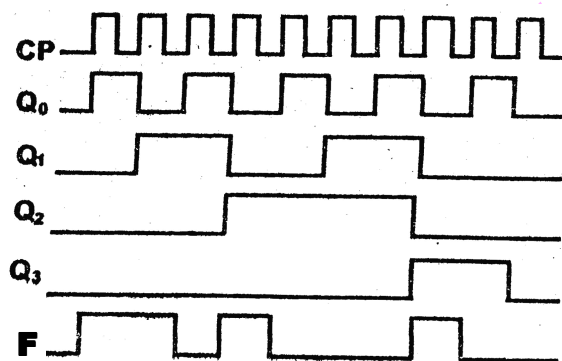
分别为低电平, 并假定 CP 脉冲的频率为 f_0 时, 由 F 端输出的脉冲频率各是多少?
解答:

如表所示。

接低电平 的输入端	\bar{I}_1	\bar{I}_2	\bar{I}_3	\bar{I}_4	\bar{I}_5	\bar{I}_6	\bar{I}_7	\bar{I}_8	\bar{I}_9
$D_3 D_2 D_1 D_0$	0001	0010	0011	0100	0101	0110	0111	1000	1001
$f_F : f_{CP}$	1/9	1/8	1/7	1/6	1/5	1/4	1/3	1/2	0
f_F	$0.111f_0$	$0.125f_0$	$0.143f_0$	$0.167f_0$	$0.2f_0$	$0.25f_0$	$0.333f_0$	$0.5f_0$	0

6-32 在图 6-102 中, CT74160 为同步十进制加法计数器, CT7442 为 4 线-10 线译码器, 设计数器的初始状态为 0000。试画出与 CP 脉冲对应的 Q_3 、 Q_2 、 Q_1 、 Q_0 及与非门 G 的输出 F 的波形图。

解答:



6-33 CT74161 是可预置的 4 位二进制同步加法计数器, 它与 CT74160 相比, 除计数进制不同外, 其他功能均相同。试分析图 6-103 所示计数器的输出 CO 与时钟脉冲 CP 的频率之比。

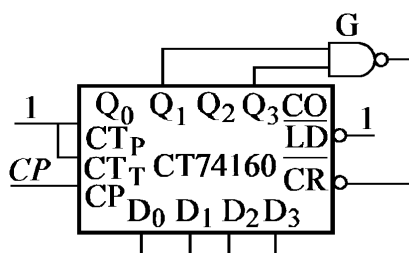
解答:

两片 161 之间采用串行进位方式, 低位片 (I) 计数到 1111 时预置数为 0111, 实现 9 进制计数器, 高位片 (II) 计数到 1111 时预置数为 1100, 实现 4 进制计数。整体实现 36 进制计数, 频率之比为 1: 36。

6-34 试用 4 位二进制同步加法计数器 CT74161 构成十进制加法计数器。

解答:

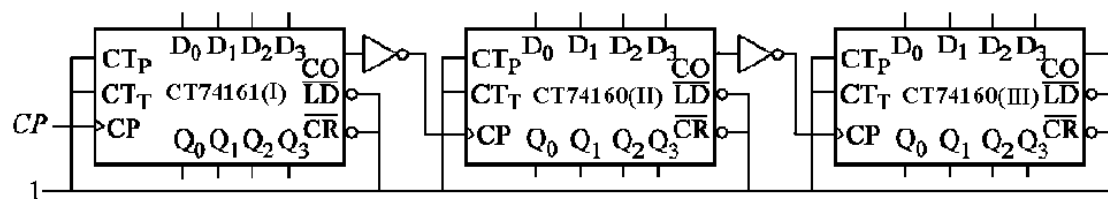
可采用异步清零方式, 计数到 1010 时清零, 即可实现十进制加法计数器。



6-35 已知时钟脉冲的频率为 96kHz，试用中规模集成计数器及必要的门电路组成分频器，将时钟脉冲的频率降低为 60Hz。试画出该分频器电路的接线图。

解答：

$96\text{kHz} \div 60\text{Hz} = 1600 = 16 \times 10 \times 10$ ，即需要实现 1600 分频，可采用 1 片 CT74161 和 2 片 CT74160 通过级联方式实现分频功能。



6-36 图 6-104 是用 CC4516 构成的两级可编程分频器。

- (1) 试求该电路的分频系数；
- (2) 设 N 为预置数，试求输出频率 f_o 与输入频率 f_i 之间的关系。

解答：

- (1) $1 \times 16 + 5 = 21$ ，分频系数为 21。

$$(2) f_o = \frac{1}{N} f_i$$

6-37 图 6-105a、b 为双向移位寄存器 CT74LS194 构成的分频器。

- (1) 列出状态转换表；
- (2) 总结出扭环形计数器改接成奇数分频器的规律。

解答：

- (1) a 为五进制计数器，b 为七进制计数器。状态转换表分别如图所示。

Q_0	Q_1	Q_2	Q_3
0	0	0	ϕ
1	0	0	ϕ
1	1	0	ϕ
1	1	1	ϕ
0	1	1	ϕ
0	0	1	ϕ

a

Q_0	Q_1	Q_2	Q_3
0	0	0	0
1	0	0	0
1	1	0	0
1	1	1	1
0	1	1	1
0	0	1	1
0	0	0	1

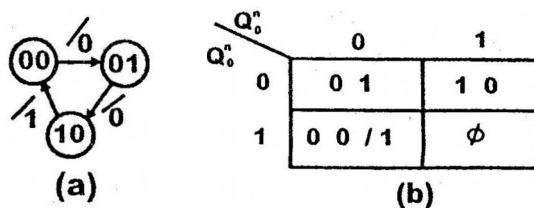
b

(2) CT74LS194 构成扭环形计数器时，从 Q_0 、 Q_1 、 Q_2 、 Q_3 取反馈分别构成 2、4、6、8 分频，即 $M=2n$ 。如果将两个相邻触发器输出端加到与非门输入端共同作为反馈信号，就可使计数器的模 M 由 $2n$ 变为 $2n-1$ 。

6-38 试用 JK 触发器设计一个时序电路，要求该电路的输出 F 与 CP 之间的关系应满足图 6-106 所示的波形图。

解答：

用两个 JK 触发器构成三进制计数器。

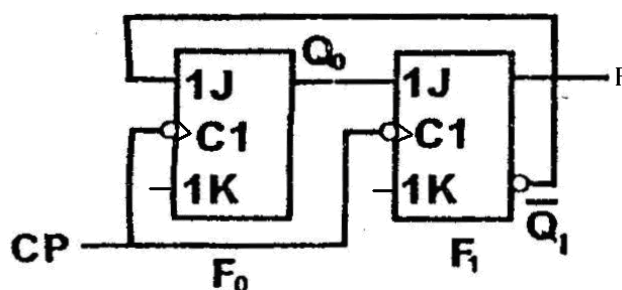


$$Q_1^{n+1} = Q_0^n \bar{Q}_1^n \quad Q_0^{n+1} = \bar{Q}_1^n \bar{Q}_0^n \quad F = Q_1^n$$

$$J_1 = Q_0^n \quad K_1 = 1$$

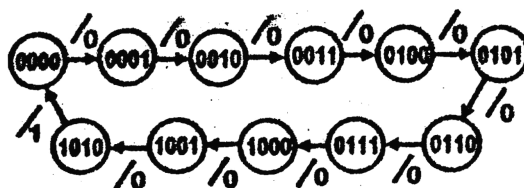
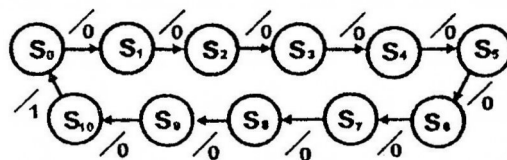
$$J_0 = \bar{Q}_1^n \quad K_0 = 1$$

11→00 能自启动。



6-39 试用小规模集成电路设计一个有进位输出的同步十一进制加法计数器。

解答:



$Q_3^n \backslash Q_2^n Q_1^n Q_0^n$	00	01	11	10
00	0001	0010	1000	0011
01	0101	0110	1000	0111
11	ϕ	ϕ	ϕ	ϕ
10	1001	1010	ϕ	0000/1

$$C = Q_2^n \bar{Q}_1^n$$

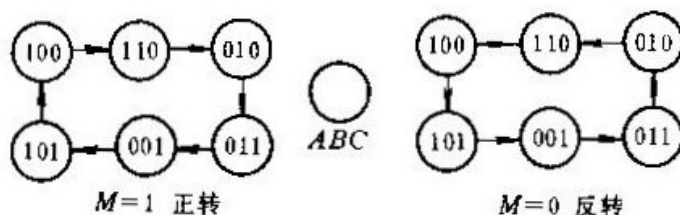
$$Q_2^{n+1} = Q_1^n \bar{Q}_2^n + Q_1^n Q_2^n \quad J_2 = Q_1^n, \quad K_2 = \bar{Q}_1^n$$

$$Q_1^{n+1} = \bar{Q}_2^n \bar{Q}_1^n + Q_2^n Q_1^n \quad J_1 = \bar{Q}_2^n, \quad K_1 = Q_2^n$$

$$Q_0^{n+1} = \bar{Q}_0^n + Q_2^n Q_0^n \quad J_0 = 1, \quad K_0 = Q_2^n$$

001→101, 010→000, 100→011, 能自启动。图略。

6-41 设计一个控制步进电动机用的三相六状态工作的逻辑电路。如果用 1 表示线圈通电, 0 表示线圈断电, 设正转时控制输入端 A=1, 反转时 A=0, 则三个线圈 ABC 的状态转换图应如图 6-108 所示。



解答:

$Q_2 Q_3$		$(Q_1^{n+1} Q_2^{n+1} Q_3^{n+1})$			
$M Q_1$		00	01	11	10
	00	xxx	011	010	110
	01	101	001	xxx	100
	11	110	100	xxx	010
	10	xxx	101	001	011

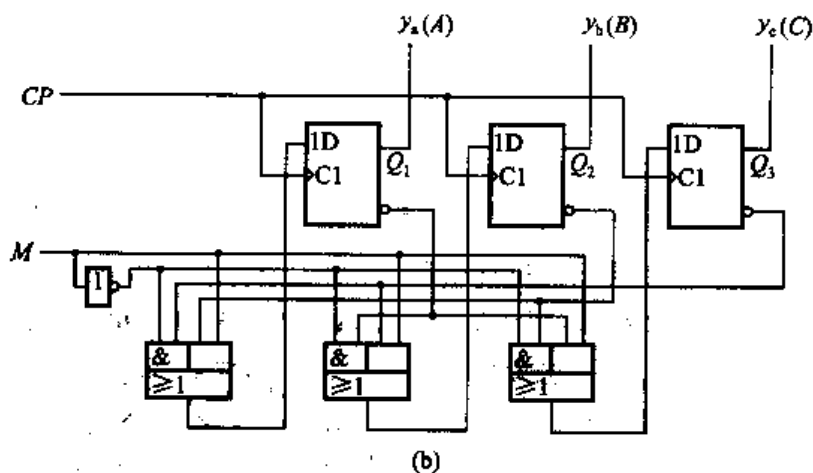
(a)

$$\begin{cases} Q_1^{n+1} = M \bar{Q}_2 + \bar{M} \bar{Q}_3 \\ Q_2^{n+1} = M \bar{Q}_3 + \bar{M} \bar{Q}_1 \\ Q_3^{n+1} = M \bar{Q}_1 + \bar{M} \bar{Q}_2 \end{cases}$$

若采用 D 触发器, 则根据 $Q^{n+1} = D$, 即得到:

$$\begin{cases} D_1 = M \bar{Q}_2 + \bar{M} \bar{Q}_3 \\ D_2 = M \bar{Q}_3 + \bar{M} \bar{Q}_1 \\ D_3 = M \bar{Q}_1 + \bar{M} \bar{Q}_2 \end{cases}$$

电路图如图所示。



6-42 设计一个灯光控制逻辑电路。要求红、绿、黄三种颜色的灯在时钟信号作用下按表 6-21 规定的顺序转换状态。表中 1 表示“亮”，0 表示“灭”。要求电路能自启动，并尽可能采用中规模集成电路芯片。

CP 顺序	红	黄	绿
0	0	0	0
1	1	0	0
2	0	1	0
3	0	0	1
4	1	1	1
5	0	0	1
6	0	1	0
7	1	0	0
8	0	0	0

解答：

因为输出为八个状态循环，所以用 74LS161 的低三位作为八进制计数器。若以 R、Y、G 分别表示红、黄、绿三个输出，则可得计数器输出状态 $Q_2Q_1Q_0$ 与 R、Y、G 关系的真值表：

Q_2	Q_1	Q_0	R	Y	G
0	0	0	0	0	0
0	0	1	1	0	0
0	1	0	0	1	0
0	1	1	0	0	1
1	0	0	1	1	1
1	0	1	0	0	1
1	1	0	0	1	0
1	1	1	1	0	0

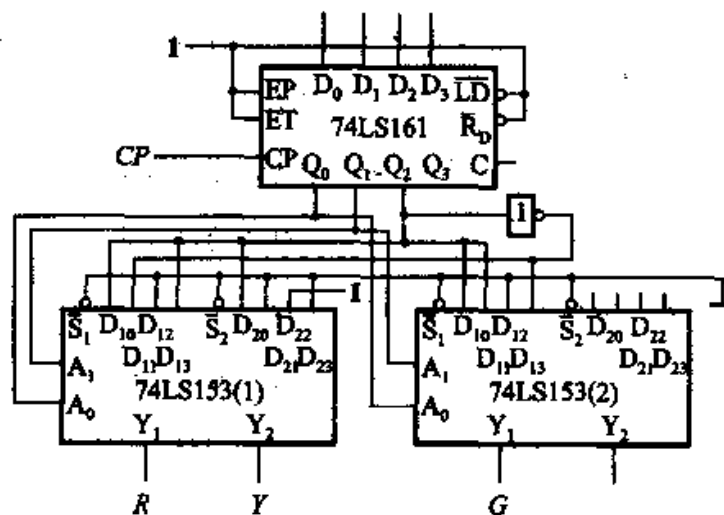
选两片双 4 选 1 数据选择器 74LS153 作通用函数发生器使用，产生 R、Y、G。由真值表写出的逻辑式 R、Y、G，并化成与数据选择器的输出逻辑式相对应的形式

$$R = Q_2(\bar{Q}_1 \bar{Q}_0) + \bar{Q}_2(\bar{Q}_1 Q_0) + 0 \cdot (Q_1 \bar{Q}_0) + Q_2(Q_1 Q_0)$$

$$Y = Q_2(\bar{Q}_1\bar{Q}_0) + 0 \cdot (\bar{Q}_1Q_0) + 1 \cdot (Q_1\bar{Q}_0) + 0 \cdot (Q_1Q_0)$$

$$G = Q_2(\bar{Q}_1 \bar{Q}_0) + Q_2(\bar{Q}_1 Q_0) + 0 \cdot (Q_1 \bar{Q}_0) + \bar{Q}_2(Q_1 Q_0)$$

电路图如下:



6-43 用 JK 触发器和门电路设计一个 4 位循环码计数器, 其状态转换表如图 6-22 所示。

计数顺序	电路状态				进位输出 C
	Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	1	0
3	0	0	1	0	0
4	0	1	1	0	0
5	0	1	1	1	0
6	0	1	0	1	0
7	0	1	0	0	0
8	1	1	0	0	0
9	1	1	0	1	0
10	1	1	1	1	0
11	1	1	1	0	0
12	1	0	1	0	0
13	1	0	1	1	0
14	1	0	0	1	0
15	1	0	0	0	1
16	0	0	0	0	0

解答:

按照表的计数顺序, 得到次态卡诺图, 写出状态方程, 得到驱动方程。

$Q_3 Q_2$		$(Q_3^{*+1} Q_2^{*+1} Q_1^{*+1} Q_0^{*+1})$			
		00	01	11	10
$Q_1 Q_0$	00	0001	0011	0010	0110
	01	1100	0100	0101	0111
	11	1101	1111	1110	1010
	10	0000	1000	1001	1011

$$\begin{aligned}
 Q_3^{*+1} &= Q_3 Q_1 + Q_3 Q_0 + Q_2 \bar{Q}_1 \bar{Q}_0 \\
 &= Q_3 Q_1 + Q_3 Q_0 + Q_2 \bar{Q}_1 \bar{Q}_0 (Q_3 + \bar{Q}_3) \\
 &= (Q_2 \bar{Q}_1 \bar{Q}_0) \bar{Q}_3 + (\bar{Q}_2 \bar{Q}_1 \bar{Q}_0) Q_3
 \end{aligned}$$

$$\begin{aligned}
 Q_2^{*+1} &= Q_2 \bar{Q}_1 + Q_2 Q_0 + \bar{Q}_3 Q_1 \bar{Q}_0 \\
 &= Q_2 \bar{Q}_1 + Q_2 Q_0 + \bar{Q}_3 Q_1 \bar{Q}_0 (Q_2 + \bar{Q}_2) \\
 &= (\bar{Q}_3 Q_1 \bar{Q}_0) \bar{Q}_2 + (\bar{Q}_3 Q_1 \bar{Q}_0) Q_2
 \end{aligned}$$

$$\begin{aligned}
 Q_1^{*+1} &= Q_1 \bar{Q}_0 + \bar{Q}_3 \bar{Q}_2 Q_0 + Q_3 Q_2 Q_0 \\
 &= Q_1 \bar{Q}_0 + (\bar{Q}_3 \bar{Q}_2 Q_0 + Q_3 Q_2 Q_0) (Q_1 + \bar{Q}_1) \\
 &= (\bar{Q}_2 \oplus Q_3 \cdot Q_0) \bar{Q}_1 + \bar{Q}_0 \cdot (Q_3 \oplus Q_2) \cdot Q_1
 \end{aligned}$$

$$\begin{aligned}
 Q_0^{*+1} &= \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 + \bar{Q}_3 Q_2 Q_1 + Q_3 Q_2 \bar{Q}_1 + Q_3 \bar{Q}_2 Q_1 \\
 &= \bar{Q}_3 \oplus Q_2 \oplus Q_1 \\
 &= \bar{Q}_3 \oplus Q_2 \oplus Q_1 (Q_0 + \bar{Q}_0) \\
 &= \bar{Q}_3 \oplus Q_2 \oplus Q_1 \bar{Q}_0 + \bar{Q}_3 \oplus Q_2 \oplus Q_1 Q_0
 \end{aligned}$$

$$J_3 = Q_2 \bar{Q}_1 \bar{Q}_0; K_3 = \bar{Q}_2 \bar{Q}_1 \bar{Q}_0$$

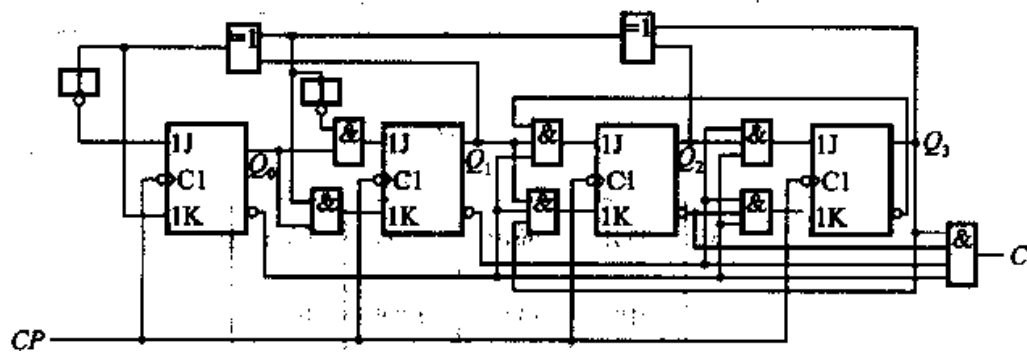
$$J_2 = \bar{Q}_3 Q_1 \bar{Q}_0; K_2 = Q_3 Q_1 \bar{Q}_0$$

$$J_1 = \bar{Q}_3 \oplus Q_2 \cdot Q_0; K_1 = (Q_3 \oplus Q_2) \cdot Q_0$$

$$J_0 = \bar{Q}_3 \oplus Q_2 \oplus Q_1; K_0 = Q_3 \oplus Q_2 \oplus Q_1$$

$$\text{进位输出信号为 } C = Q_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0$$

逻辑电路图如图所示。



6-44 用 D 触发器和门电路设计一个十一进制计数器，并检查设计的电路能否自启动。

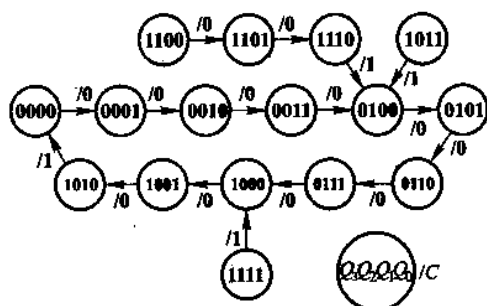
解答：

计数 顺序	电路状态				进位 C	计数 顺序	电路状态				进位 C
	Q_3	Q_2	Q_1	Q_0			Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0	6	0	1	1	0	0
1	0	0	0	1	0	7	0	1	1	1	0
2	0	0	1	0	0	8	1	0	0	0	0
3	0	0	1	1	0	9	1	0	0	1	0
4	0	1	0	0	0	10	1	0	1	0	1
5	0	1	0	1	0	11	0	0	0	0	0

$Q_3 Q_2$		$(Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1})$			
		00	01	11	10
00	00	0001	0010	0100	0011
01	01	0101	0110	1000	0111
11	11	XXXX	XXXX	XXXX	XXXX
10	10	1001	1010	XXXX	0000

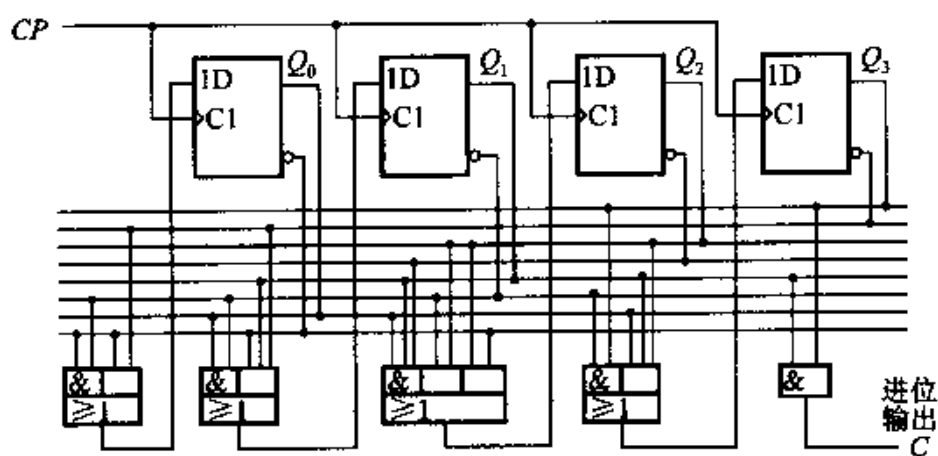
$$\begin{cases} Q_3^{n+1} = Q_3 \bar{Q}_1 + Q_2 Q_1 Q_0 \\ Q_2^{n+1} = Q_2 \bar{Q}_1 + Q_2 \bar{Q}_0 + \bar{Q}_2 Q_1 Q_0 \\ Q_1^{n+1} = \bar{Q}_1 Q_0 + \bar{Q}_3 Q_1 \bar{Q}_0 \\ Q_0^{n+1} = \bar{Q}_3 \bar{Q}_0 + \bar{Q}_1 \bar{Q}_0 \end{cases}$$

$$C = Q_3 Q_1$$



电路能够自启动。

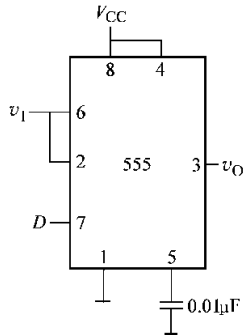
由于 D 触发器 $Q^{n+1} = D$ ，于是得到如下所示的电路图。



第7章 波形的产生与整形

7-2

解答：(1) 施密特触发器



(2) 由于 $V_{CC}=15V$ ，所以回差电压 $\Delta V_T=5V$ 。（波形省略）

(3) （波形省略）

7-3

解答：

(1) $C=0.1\mu F$ ， $t_w=1.1RC=1\sim 10ms$ ，所以 $R=9k\Omega\sim 90k\Omega$

(2) 要标输入信号的宽度要小于单脉冲输出波形的脉冲宽度 t_w ，否则输出波形的脉宽 t_w 的宽度不再只与电路自身参数有关。相邻两次触发脉冲的时间间隔应大于 t_w+t_{rs} 。

7-5

解答：(1)

$$T_1 = (R_1 + R_2)C \ln \frac{V_{CC} - \frac{1}{2}V_{CO}}{V_{CC} - V_{CO}}$$

$$T_2 = R_2C \ln \frac{0 - V_{CO}}{0 - \frac{1}{2}V_{CO}} = R_2C \ln 2$$

$$f = \frac{1}{T_1 + T_2} = \frac{1}{(R_1 + R_2)C \ln \frac{V_{CC} - \frac{1}{2}V_{CO}}{V_{CC} - V_{CO}} + R_2C \ln 2}$$

(2) 根据输出频度表达式，可以看出此电路是一个压控频率计。

7-8

解答：1. 左边一片 555 构成多谐振荡器，右边一片 555 构成单稳压触发器。多谐振荡器输出 v_{O1} 作为单稳压触发器的触发脉冲，使 v_{O2} 输出单稳态脉冲。（??????波形）

2. $f = \frac{1}{T} = \frac{1}{(R_1' + R_2 + 2R_3)C \ln 2}$ ，由于 R_1' 取值为 $0 \sim R_1$ ，

因此 f 的取值范围为 $\left[\frac{1}{(R_2 + 2R_3)C \ln 2}, \frac{1}{(R_1 + R_2 + 2R_3)C \ln 2} \right]$ 。

另外，输出脉宽为 $t_w = 1.1(R_4' + R_5)C$ ，由于 R_4' 取值为 $0 \sim R_4$ ，

因此 v_{O2} 的取值范围为 $[1.1R_5C, 1.1(R_4 + R_5)C]$ 。

3. 参数要求： $R_3C \ln 2 < 1.1(R_4 + R_5)C$

4. f 的取值范围为 $\left[\frac{1}{(R_2 + 2R_3)C \ln 2}, \frac{1}{(R_1 + R_2 + 2R_3)C \ln 2} \right] = [100, 200] \text{Hz}$ 。

另外，输出脉宽的取值范围为 $[1.1R_5C, 1.1(R_4 + R_5)C] = [2, 8] \text{ms}$ 。

第 8 章 半导体存储器和可编程逻辑器件

8-1 存储器按读写功能以及信息的可保存性分别分为哪几类？并简述各自的特点。

解答：存储器按读写功能可分为只读存储器（ROM）和随机存储器（RAM）。随机存取存储器在工作过程中，既可从其任意单元读出信息，又可以把外部信息写入任意单元。因此，它具有读、写方便的优点，但由于具有易失性，所以不利于数据的长期保存。只读存储器在正常工作时其存储的数据固定不变，只能读出，不能随时写入。ROM 为非易失性器件，当器件断电时，所存储的数据不会丢失。

存储器按信息的可保存性可分为易失性存储器和非易失性存储器。易失性存储器在系统关闭时会失去存储的信息，它需要持续的电源供应以维持数据。非易失存储器在系统关闭或无电源供应时仍能保持数据信息。

8-2 什么是 SRAM？什么是 DRAM？它们在工作原理、电路结构和读/写操作上有何特点？

解答：SRAM（Static Random Access Memory）为静态随机存储器，其存储单元是在静态触发器的基础上附加控制电路构成的。DRAM（Dynamic Random Access Memory）为动态随机存储器，常利用 MOS 管栅极电容的电荷存储效应来组成动态存储器，为了避免存储信息的丢失，必须定时地对电路进行动态刷新。

SRAM 的数据由触发器记忆，只要不断电，数据就能保存，但其存储单元所用的管子数目多，因此功耗大，集成度受到限制。DRAM 一般采用 MOS 管的栅极电容来存储信息，由于电荷保存时间有限，为避免存储数据的丢失，必须由刷新电路定期刷新，但其存储单元所用的管子数目少，因此功耗小，集成度高。SRAM 速度非常快，但其价格较贵；DRAM 的速度比 SRAM 慢，不过它比 ROM 快。

8-3 若 RAM 的存储矩阵为 256 字×4 位，试问其地址线 and 数据线各为多少条？

解答：存储矩阵为 256 字×4 位的 RAM 地址线为 8 根，数据线为 4 根。

8-4 某仪器的存储器有 16 位地址线，8 位数据线，试计算其最大存储容量是多少？

解答：最大存储容量为 $2^{16} \times 8 = 524288 = 512\text{k bit}$ （位）

8-5 用多少片 256×4 位的 RAM 可以组成一片 $2\text{K} \times 8$ 位的 RAM？试画出其逻辑图。

解答：用 16 片 256×4 位的 RAM 可以组成一片 $2\text{K} \times 8$ 位的 RAM。

一般 256×4 位的 RAM 的逻辑符号如图 T8-5-1 所示，用此 RAM 实现 $2\text{K} \times 8$ 位的 RAM 逻辑电路如图 8-5-2 所示。

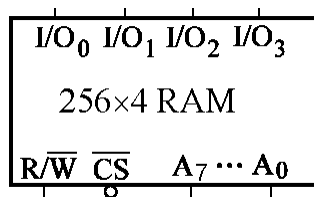


图 T8-5-1

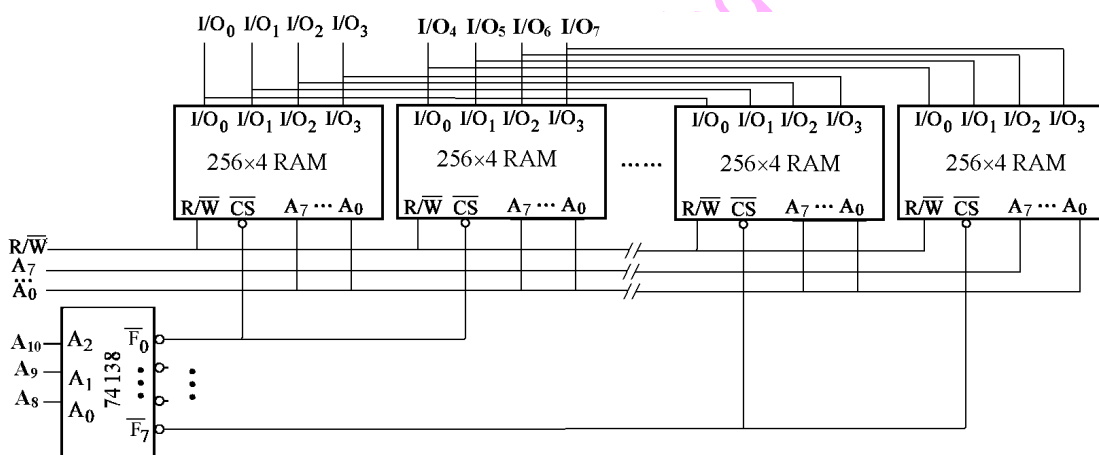


图 8-5-2

8-6 ROM 有哪些种类？它们之间有何异同？

解答：只读存储器 ROM 按数据的写入方式分为固定 ROM、可编程 ROM（PROM）和可擦除可编程 ROM（EPROM）。

上述几类 ROM 都是存储固定信息的存储器件，在正常工作时 ROM 存储的数据固定不变，只能读出，不能随时写入。ROM 为非易失性器件。

固定 ROM 所存储的数据已由生产厂家在制造时用掩模板确定，用户无法进行更改，所以也称掩模编程 ROM。可编程 ROM 在出厂时，存储内容全为 1 或全为 0，用户根据自己的需要进行编程，但只能写入一次，一旦写入则不能再修

改。可擦除可编程 ROM 具有较强的灵活性，它存储的内容既可按用户需要写入，也可以擦除后重新写入，EPROM 包括用紫外线擦除的 PROM（UVEPROM）、电信号擦除 PROM（E²PROM）和快闪存储器。

8-7 RAM 和 ROM 的电路结构和工作原理上有何不同？

解答：RAM 电路通常由存储矩阵、地址译码器和读/写控制电路 3 部分组成，在译码器和读/写控制电路的控制下，进行读/写操作。ROM 一般由存储矩阵、地址译码器和输出缓冲器 3 部分组成，在译码器及片选等信号的控制下在线进行读操作。构成 RAM 和 ROM 的存储矩阵的存储单元有所不同。

8-8 图 8-9 所示的 2764EPROM 的存储容量为多大？用该器件设计 1 片 16K×16 位的 EPROM，共需多少片 2764？画出其实现逻辑图。

解答：2764EPROM 的存储容量 $2^{13} \times 8 = 65536 = 64\text{k bit}$ （位）

用 2764 设计 1 片 16K×16 位的 EPROM，共需多 4 片；实现电路如图 T8-8 所示。

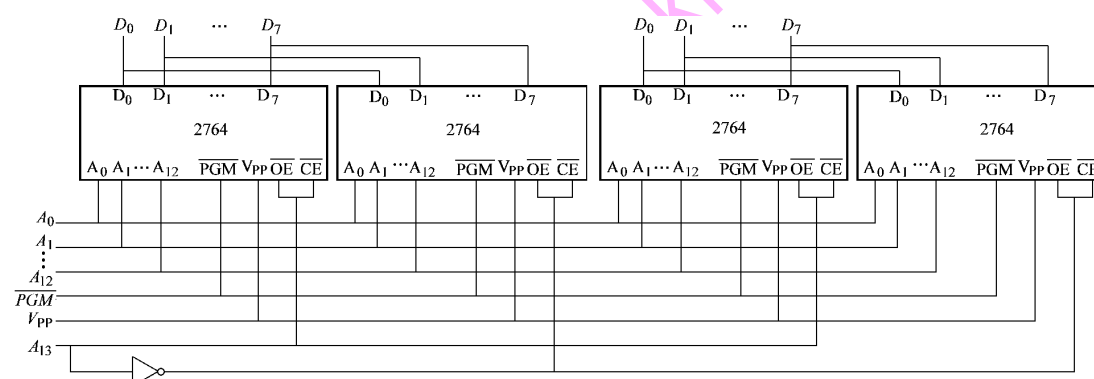


图 T8-8

8-9 用图 8-23 所示的 4×4 位 PROM 实现以下组合电路，并画出点阵图。

$$\begin{cases} Y_1 = A + B \\ Y_2 = A \oplus B \end{cases}$$

解答：题中所设计组合电路的真值表如表 T8-9 所示。

A	B	$A + B$	$A \oplus B$
0	0	0	0
0	1	1	1
1	0	1	1

1	1	0	0
---	---	---	---

存储矩阵的点阵图如图 T8-9 所示。

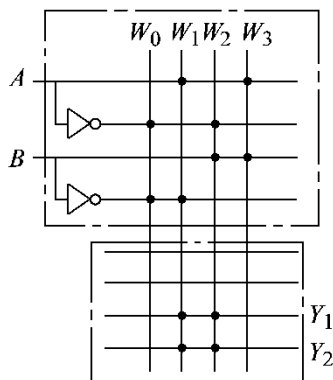


图 T8-9

8-10 用 ROM 实现下列代码转换，并画出存储矩阵的点阵图。

- (1) 将余 3 码转换为 8421BCD 码。
- (2) 将余 3 循环码转换为余 3 码。
- (3) 将 8421BCD 码转换为格雷码。

解答：ROM 实现代码转换时，由于有 4 位输入变量 (A,B,C,D)，4 位变量 (Y₃,Y₂,Y₁,Y₀)，因此选用 2⁴×4 的 ROM 合适。

- (1) 将余 3 码转换为 8421BCD 码的真值表如表 T8-10-1 所示。

表 T8-10-1

余 3 码				8421BCD 码			
A	B	C	D	Y ₃	Y ₂	Y ₁	Y ₀
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	1
0	1	0	1	0	0	1	0
0	1	1	0	0	0	1	1
0	1	1	1	0	1	0	0
1	0	0	0	0	1	0	1
1	0	0	1	0	1	1	0
1	0	1	0	0	1	1	1
1	0	1	1	1	0	0	0

1	1	0	0	1	0	0	1
---	---	---	---	---	---	---	---

存储矩阵的点阵图如图 T8-10-1 所示。

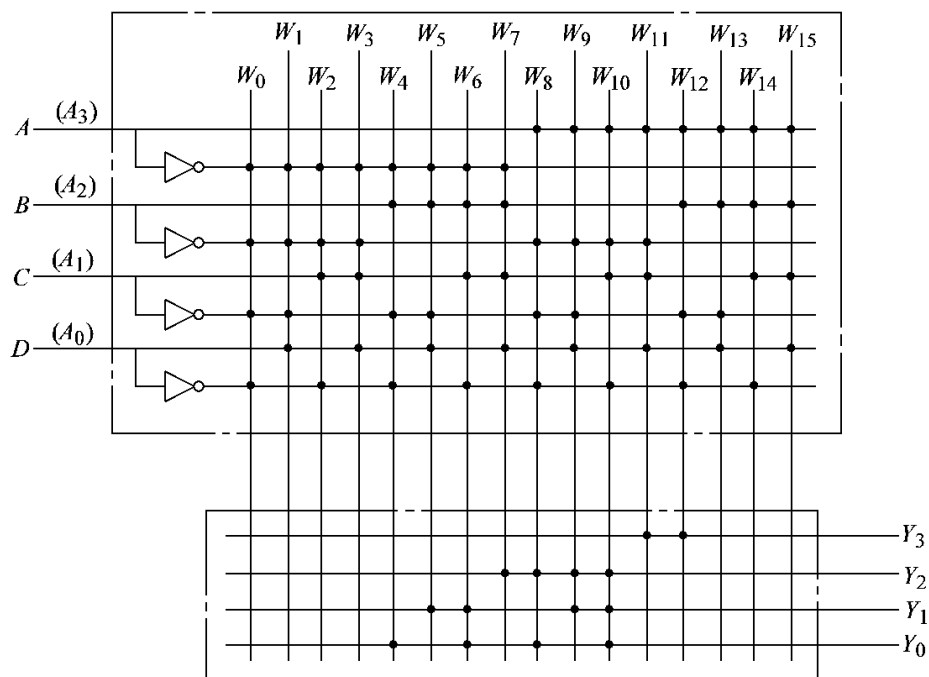


图 T8-10-1

(2) 将余 3 循环码转换为余 3 码的真值表如表 T8-10-2 所示。

余 3 循环码				余 3 码			
A	B	C	D	Y ₃	Y ₂	Y ₁	Y ₀
0	0	1	0	0	0	1	1
0	1	1	0	0	1	0	0
0	1	1	1	0	1	0	1
0	1	0	1	0	1	1	0
0	1	0	0	0	1	1	1
1	1	0	0	1	0	0	0
1	1	0	1	1	0	0	1
1	1	1	1	1	0	1	0
1	1	1	0	1	0	1	1
1	0	1	0	1	1	0	0

存储矩阵的点阵图如图 T8-10-2 所示。

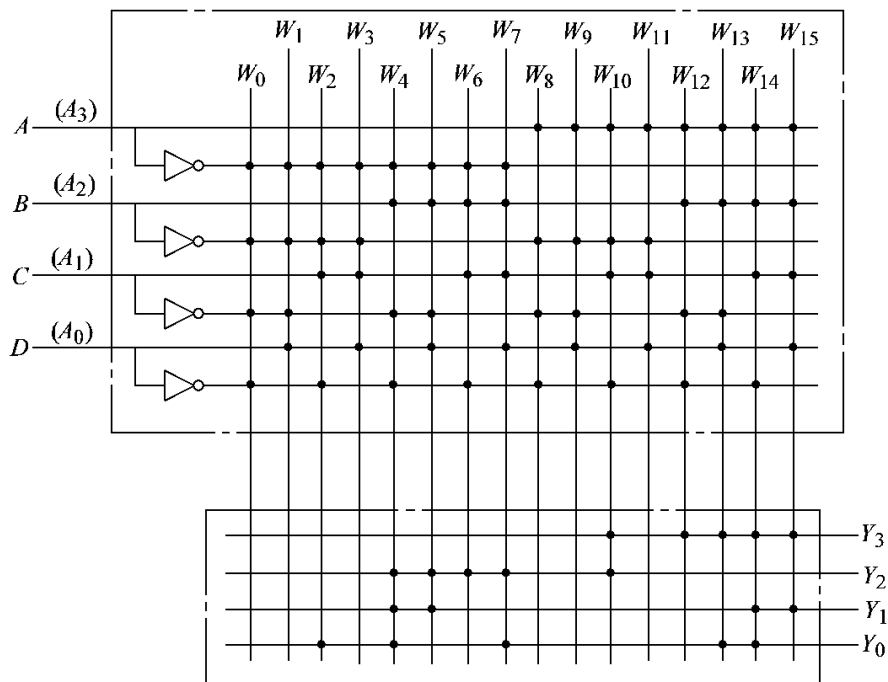


图 T8-10-2

(3) 将 8421BCD 码转换为格雷码的真值表如表 T8-10-3 所示。

8421BCD 码				格雷码			
A	B	C	D	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1

存储矩阵的点阵图如图 T8-10-3 所示。

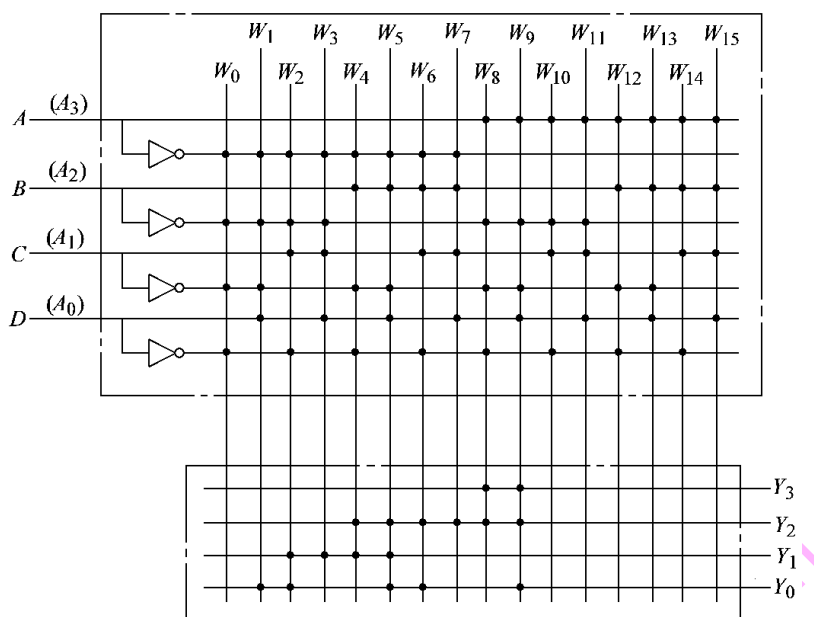


图 T8-10-3

8-11 试列出将 8421BCD 码转换为七段数字显示译码电路的真值表，并用 ROM 实现之。

解答：8421BCD 码转换为七段数字显示译码电路的真值表如表 T8-11 所示。

表 T8-11

输 入				输 出							显示数字
<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>g</i>	
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	2
0	0	1	1	1	1	1	1	0	0	1	3
0	1	0	0	0	1	1	0	0	1	1	4
0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	0	1	1	1	1	1	6
0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	1	1	1	1	0	1	1	9

根据真值表可知，此电路具有 4 个输入变量，7 个输出变量，因此选用 $2^4 \times 8$ 的 ROM 比较合适。并且表中输出变量取 ‘0’ 的数目多于取 ‘1’ 的数目，因此

在输出前增加了一个反相器，不利用约束项得到的存储矩阵点阵图如图 T8-11 所示。

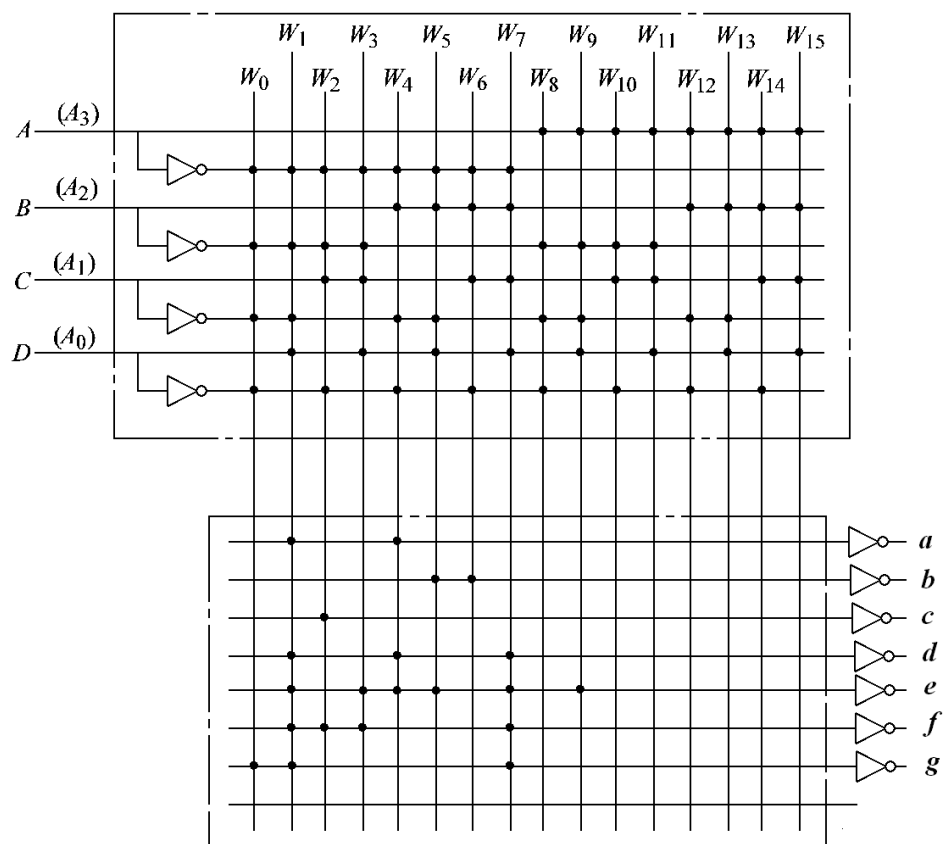


图 T8-11

8-12 用 ROM 设计一个组合逻辑电路，用来产生下列一组逻辑函数，并画出存储矩阵的点阵图。

$$\begin{cases} Y_1 = \overline{A}BCD + \overline{A}BC\overline{D} + A\overline{C}D + \overline{B}\overline{C} \\ Y_2 = \overline{A}B\overline{C} + \overline{A}B\overline{C}D + \overline{A}B\overline{D} \\ Y_3 = \overline{A}BCD + \overline{A}BCD + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} \end{cases}$$

解答：根据题意，所设计函数的真值表如表 T8-12 所示。

A	B	C	D	Y_3	Y_2	Y_1
0	0	0	0	0	0	1
0	0	0	1	0	0	1
0	0	1	0	0	0	0
0	0	1	1	0	0	0
0	1	0	0	0	1	0

0	1	0	1	0	1	0
0	1	1	0	0	1	1
0	1	1	1	1	0	0
1	0	0	0	0	1	1
1	0	0	1	0	1	1
1	0	1	0	0	0	0
1	0	1	1	1	0	0
1	1	0	0	0	0	1
1	1	0	1	1	0	1
1	1	1	0	1	0	0
1	1	1	1	0	0	0

根据真值表可知，此电路具有 4 个输入变量，3 个输出变量，因此选用 $2^4 \times 4$ 的 ROM 比较合适。存储矩阵的点阵图如图 T8-12 所示。

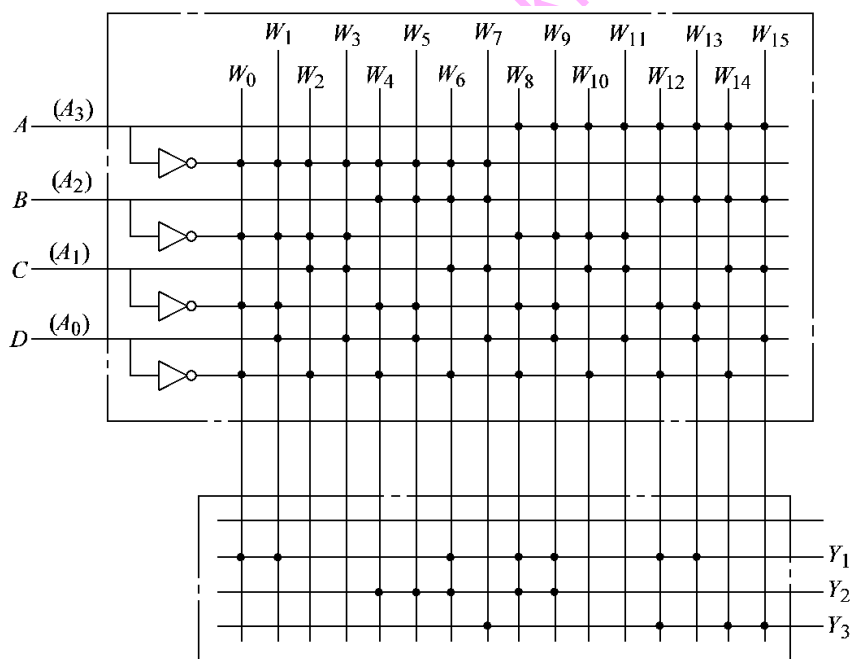


图 T8-12

8-13 试将图 8-24 所示的 $1K \times 4$ 位的 RAM 芯片扩展成 $1K \times 8$ 的存储器。

解答：用 $1K \times 4$ RAM 扩展得到 $1K \times 8$ RAM，共需求片，实现电路如图 T8-13 所示。

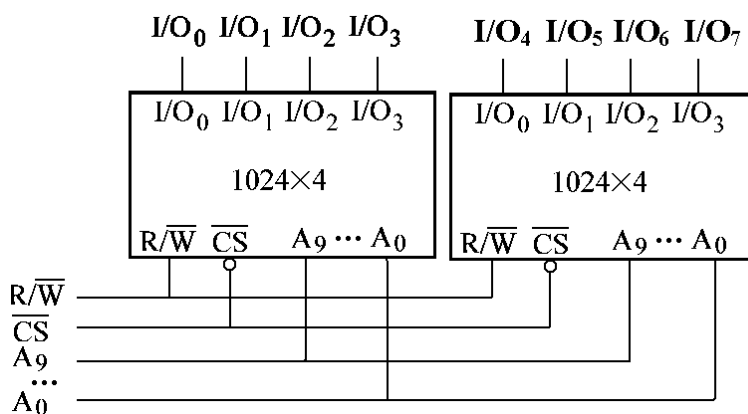


图 T8-13

8-14 简述 ispLSI 的电路结构特点，并说明 ispLSI1016 的主要组成。

解答：ispLSI (in system programmable Large Scale Intergration) 器件为高密度在线可编程逻辑器件。ispLSI 除了具有可编程逻辑器件的高性能和易用性以外，还具有高密度（集成度多达 25000 个可编程逻辑门）、高速度（系统速度可达 180MHz）和在系统可编程性，用户具有在自己设计的目标系统中或印制电路板上为重构逻辑而对器件编程或反复改写的能力。

ispLSI1016 是由 16 个通用逻辑块 (GLB)、32 个输入输出单元 (IOC)、集总布线区 (GRP)、2 个可编程输出布线区 (ORP) 和编程控制电路组成。

8-15 简述 ISP 编程技术的特点和对数字系统设计的意义。

解答：ISP (In System Programmable) 为在系统可编程。在系统可编程逻辑器件 (ispPLD) 芯片内部包含编程器的写入和擦除控制电路以及高压脉冲发生电路，这样编程时就不需要编程器，只需要一根连接芯片和计算机的电缆，通过计算机软件，就可以把熔丝图文件写入芯片。

数字系统设计采用 ispPLD 器件时，即使芯片在印制电路板上，也不需要将芯片取下，只需连接上电缆就可以编程，从而实现在系统编程，这样与之前将芯片取下并进行擦写、编程来说要方便很多，从而也缩短了产品的上市周期。

8-16 FPGA 的电路结构特点和主要组成是什么？

解答：现场可编程门阵列 FPGA 是一种高密度的可编程逻辑器件，其集成密度达 1000 万门/片以上，系统速度可达 300MHz。FPGA 器件具有集成度高、编程速度快、设计灵活及可再配置等特点。

FPGA 由可配置逻辑块 (CLB)、输入/输出模块 (IOB) 和互连资源 (IR) 3

部分组成。

8-17 如何选择 CPLD 和 FPGA？

解答：选择 CPLD 和 FPGA 时一般考虑如下问题：芯片速度的要求、器件功耗的要求、产品规模的不同、使用方便角度和加密要求等方面进行选择。

课后答案网 www.khdaw.com

第 9 章 A/D 转换与 D/A 转换

9-1 一个 8 位 D/A 转换器的分辨率为多少？

解答：n 位 D/A 转换器的分辨率为 $\frac{1}{2^n - 1}$ ，因此 8 位 D/A 转换器的分辨率为 $\frac{1}{2^8 - 1} \approx 4\%$ 。

9-2 图 9-27 所示电路为 3 位 T 形电阻 D/A 转换器。

(1) 试分析其工作原理，求出 v_o 的表达式；

(2) 如果已知 $n=8$ 位的 D/A 转换器中， $V_{REF}=-10V$ ， $R_f=3R$ ，输入 $D=11010100$ 时，输出电压 $v_o=?$

(3) 如果 $R_f=2R$ ，对应 (2) 中的输出电压 v_o 又是多少？

解答：(1) S_3 、 S_2 、 S_1 、 S_0 为模拟开关，分别受输入代码 d_3 、 d_2 、 d_1 、 d_0 的状态控制，也就是说输入代码的高低电平状态可控制流入集成运放 A 反相输入端的电流，也就控制了输出电压的大小。从而使得输出电压与输入的数字代码成比例关系。

$$\begin{aligned} v_o &= -\frac{V_{REF}}{2^4 \cdot 3R} (d_3 \times 2^3 + d_2 \times 2^2 + d_1 \times 2^1 + d_0 \times 2^0) \cdot 3R \\ \text{输出电压表达式为:} \quad &= -\frac{V_{REF}}{2^4} (d_3 \times 2^3 + d_2 \times 2^2 + d_1 \times 2^1 + d_0 \times 2^0) = -\frac{V_{REF}}{2^4} D \end{aligned}$$

(2) 如果已知 $n=8$ 位的 D/A 转换器中， $V_{REF}=-10V$ ， $R_f=3R$ ，输入 $D=11010100$ 时，同理可推出 $n=8$ 位的 D/A 转换器的输出电压 $v_o = -\frac{V_{REF}}{2^8} D$ ，即 $v_o \approx 8.3V$ 。

(3) 如果 $R_f=2R$ ，对应 (2) 中的输出电压为 $v_o = -\frac{V_{REF}}{2^8 \cdot 3R} D \cdot 2R = -\frac{2V_{REF}}{3 \cdot 2^8} D$ 。

9-3 在图 9-8 所示的倒 T 形电阻 D/A 转换器 5G7520 的应用电路中，若 $n=10$ ， $V_{REF}=-10V$ ， $R_f=R$ ，输入 $D=0110111001$ 时，输出电压 $v_o=?$

$$\text{解答：输出电压为 } v_o = -\frac{mV_{REF}}{2^n} D = \frac{1 \cdot (-10)}{1024} \times 441V \approx -4.31V$$

9-4 一个 8 位 D/A 转换器的最小输出电压增量 V_{LSB} 为 0.02V，当输入代码为 01001101 时，输出电压 v_o 为多少？

$$\text{解答：输出电压为 } v_o = V_{LSB} \cdot D = 0.02 \times 77V = 1.54V$$

9-5 不经过采样、保持可以直接进行 A/D 转换吗？为什么？在采样保持电路，选择保持电容 C_h 时，应考虑哪些因素？

解答：A/D 转换时，由于输入的模拟信号在时间上是连续的，而输出的数字信号是离散的，因此 A/D 转换一般要经过采样、保持、量化及编码 4 个过程。采样就是把连续变化的模拟信号在一段时间内的信号用选定的瞬间点对应的值来表示，此值经量化/编码，便得到其对应的数字代码；采样的值是瞬时的，在下一个采样时刻到来之前这个值必须保持，否则对其操作的控制器来说则读不到转换器的输出值。因此不经过采样、保持不可以直接进行 A/D 转换。

保持电容是保证输出电压保持不变的关键，其容量的大小将影响输出电压的下降率，容量越大，输出电压下降率越低。然而加大电容量会使获取时间变长，所以在选择 C_h 时，其容量大小应兼顾输出电压下降率与获取时间两方面的要求。

9-6 逐次渐近型 A/D 转换器中的 8 位 D/A 转换器的 $v_{Omax} = 10.2V$ ，若输入 $v_i = 4.4V$ ，则转换后的数字输出 D 为多少？

解答：
$$D = \frac{2^8 - 1}{v_{Omax}} v_i = \frac{255}{10.2} \times 4.4 = 110$$

9-7 一个原理同图 9-16 所示的 10 位逐次渐近型 A/D 转换器，若时钟频率为 100kHz，试计算完成一次转换所需的时间。

解答：10 位逐次渐近型 A/D 转换完成一次转换所需的时钟周期数为 $10+1+1=12$ 。若时钟频率为 100kHz，则完成一次转换所需的时间为 0.12ms。

9-8 在双积分型 A/D 转换器中，若 $|v_i| > |v_R|$ ，试问转换过程中将产生什么现象？

解答：双积分型 A/D 转换器中，若 $|v_i| > |v_R|$ ，则根据第二阶段积分计数器的值 $N_2 = \frac{2^n}{V_R} V_i$ 可知， N_2 将达到计数器的最大值，对大于 $|v_R|$ 的输入来说，其输出都为计数器的最大值，因此转换结果失效。

9-9 已知双积分型 A/D 转换器中，计数器由 8 位二进制组成，时钟脉冲频率 $f_c = 10kHz$ ，求完成一次转换最长需要多少时间？

解答：双积分型 A/D 转换器中第二阶段积分使得计数器达到最大值时需要

的转换时间最长。并且，对于 n 位转换器来说，第一阶段积分时间为 $T_1 = 2^n T_C$ ；

第二阶段积分时间为 $T_2 = \frac{2^n T_C}{V_R} V_1$ ，计数器达到最大值对应 $T_2 = (2^n - 1) T_C$ 。完成一

次转换最长时间为 $T = T_1 + T_2 = 2^n T_C + (2^n - 1) T_C$ ，对于时钟脉冲频率 $f_c = 10\text{kHz}$ 的

8 位 A/D 转换器来说 $T = (2^{8+1} - 1) T_C = 51.1\text{ms}$

9-10 若双积分型 A/D 转换器中的计数器由 4 片十进制计数器 CT54290 组成，附加位触发器由一个 T 触发器构成，时钟脉冲频率 $f_c = 50\text{kHz}$ ，积分器 $R = 100\text{k}\Omega$ ， $C = 1\mu\text{F}$ ，输入电压范围 $v_i = (0 \sim 5)\text{V}$ ，试求：

- (1) 第一次积分时间 T_1 。
- (2) 积分器的最大输出电压。
- (3) 若 $V_R = -10\text{V}$ ，当计数器的计数值 $N_2 = 2610$ 时，表示输入电压 v_i 为多大？

解答：(1) 第一次积分时间 $T_1 = 10^4 / 50\text{kHz} = 200\text{ms}$ 。

(2) 积分器的最大输出电压

$$v_{O1}(t) = -\frac{T_1}{RC} v_i = -\frac{200 \times 10^{-3}}{100 \times 10^3 \times 1 \times 10^{-6}} \times 5 = -10\text{V}$$

$$(3) v_i = \frac{N_2}{10^4} V_R = \frac{2610}{10^4} \times (-10\text{V}) = -2.61\text{V}。$$

9-11 图 9-28 所示电路中，CB7520 倒 T 形 D/A 转换器和 CT7555 定时器构成频率可编程的多谐振荡器，各器件参数如图 9-28 所示。

(1) 当输入 $d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0 = 0000000000$ 和

$d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0 = 1111111111$ 时，分别计算其对应的 v_{O1} 电压值。

(2) 试计算输出频率的范围。

解答：(1) v_{O1} 电压表达式为： $v_{O1} = -\frac{m V_{REF}}{2^n} D$ ，其中 $n=10$ ， $m=2$ ， $V_{REF} = -4\text{V}$ ，

所以当输入 $d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0 = 0000000000$ ， $v_{O1} = 0\text{V}$ ；当输入

$d_9 d_8 d_7 d_6 d_5 d_4 d_3 d_2 d_1 d_0 = 1111111111$ 时， $v_{O1} \approx 8\text{V}$ 。

(2) 由于图中 CT7555 定时器构成多谐振荡器，并且控制电压 v_{CO} 接入外部

电压，因此多谐振荡器振荡频率与 v_{CO} 有关。产生矩形波高电平时间为

$$T_1 = (R_1 + R_2)C \ln \frac{V_{DD} - \frac{1}{2}v_{CO}}{V_{DD} - v_{CO}}, \text{ 低电平时间为 } T_2 = R_2C \ln \frac{0 - v_{CO}}{0 - \frac{1}{2}v_{CO}} = R_2C \ln 2, \text{ 振}$$

$$\text{荡周期为 } T = T_1 + T_2 = (R_1 + R_2)C \ln \frac{V_{DD} - \frac{1}{2}v_{CO}}{V_{DD} - v_{CO}} + R_2C \ln 2。 \text{ 当输入}$$

$$d_9d_8d_7d_6d_5d_4d_3d_2d_1d_0 = 0000000000 \text{ 和 } d_9d_8d_7d_6d_5d_4d_3d_2d_1d_0 = 1111111111 \text{ 时,}$$

$$v_{CO1} = 0V \text{ 和 } v_{CO2} \approx 8V, \text{ 对应的频率分别为 } f_1 \approx 1.4kHz, \quad f_2 \approx 346Hz。$$