

2006 级数字电子技术基础 A 试题 (A 卷)

注: 试题答案必须写在答题纸上, 在试卷和草稿纸上答题无效

班级_____学号_____姓名_____成绩_____

一、(10 分) 将下列各式化简为最简与或式, 方法不限。

1. $Y_1 = A \cdot \bar{B} \cdot D + \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot D + \bar{B} \cdot C \cdot D + (\overline{A \cdot \bar{B} + C}) \cdot (B + D)$

2. $Y_2(A, B, C, D) = \sum m(3, 4, 5, 7, 9, 10, 11)$ 约束条件: $\sum m(0, 1, 2, 13, 14, 15) = 0$

二、综合题 (20 分)

1、已知图 2 中 (1) (2) (3) 为 TTL 门电路, (4) (5) 为 CMOS 门电路, 分别写出各电路的输出状态 (0、1 或高阻) 或表达式。

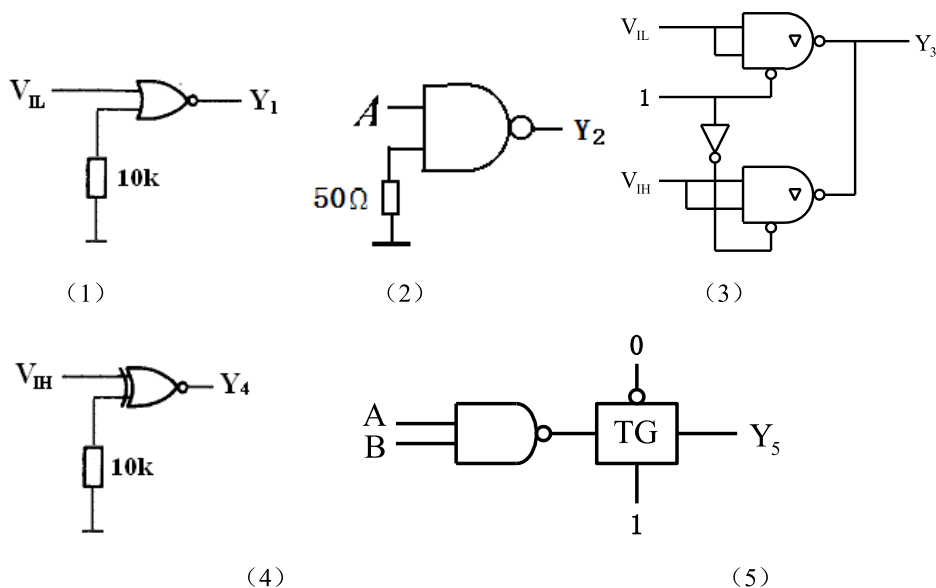


图 2-1

2、四位并行加法器 74LS283 接法如图 2-4 所示, 输出端 $S_3S_2S_1S_0$ 的状态为_____, 进位输出端 CO 的状态为_____。

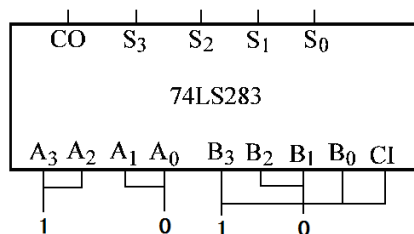


图 2-2

3、一个 8 位 D/A 转换器的最小输出电压 $V_{LSB}=0.02V$ ，当输入码为 00010010 时，输出电压 $v_o = \underline{\hspace{2cm}} V$ ；

4、存储容量为 $2K \times 8$ 位的随机存储器，需要 $\underline{\hspace{2cm}}$ 根地址线；若用 $1K \times 4$ 位的 RAM 来实现上述存储容量，需要 $\underline{\hspace{2cm}}$ 片。

三、(12 分) 写出图 3 所示电路中 Z_1 逻辑函数表达式，列出真值表，确定电路的逻辑功能。

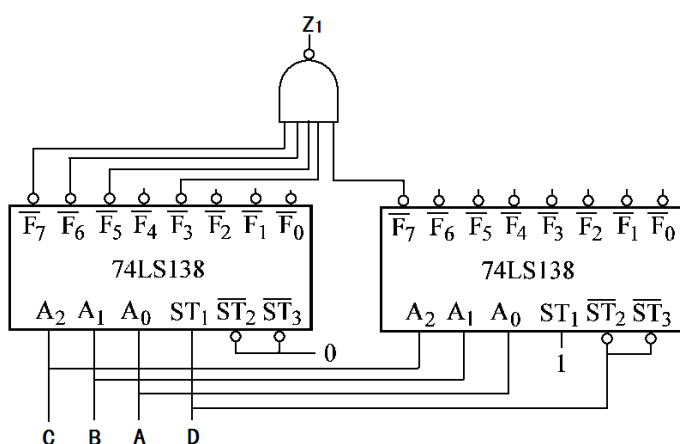


图 3

四、(12 分) 已知四位二进制加法计数器 74LS161 的功能表见表 4-1，八选一数据选择器 74LS151 的功能表见表 4-2。用计数器和数据选择器构成图 4 所示的电路。试列出在时钟脉冲 CP 作用下输出 Y 及 $Q_3 Q_2 Q_1 Q_0$ 的状态转换表。

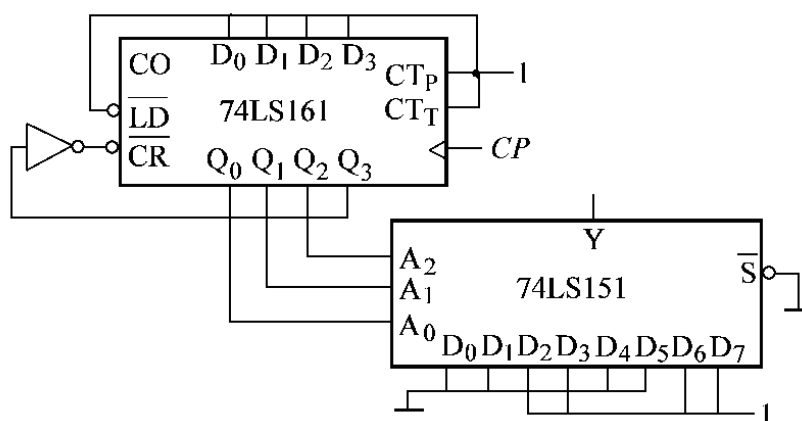


图 4

表 4-1 74LS161的功能表

CP	\overline{CR}	\overline{LD}	ET_p	ET_T	工作状态
X	0	X	X	X	置零
	1	0	X	X	预置数
X	1	1	0	1	保持
X	1	1	X	0	保持 (但CO=0)
	1	1	1	1	计数

其中: $CO = CT_T \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0$

表 4-2 74LS151 的功能表

\overline{S}	A_2	A_1	A_0	Y
1	X	X	X	0
0	0	0	0	D_0
0	0	0	1	D_1
0	0	1	0	D_2
0	0	1	1	D_3
0	1	0	0	D_4
0	1	0	1	D_5
0	1	1	0	D_6
0	1	1	1	D_7

五、(8 分) 图 5 所示电路, 设各触发器的初始状态均为 0, 试画出 Q_1 、 Q_2 与时钟信号 CP 的对应波形图。

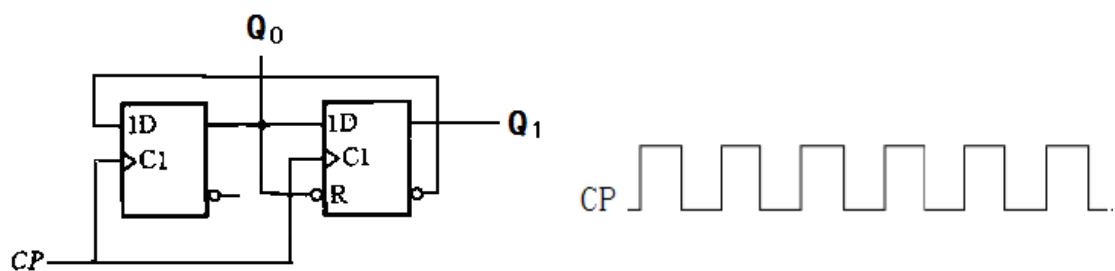


图 5

六、(16 分) 电路如图 6 所示, 其中 $R_1=2.2K\Omega$, $R_2=1K\Omega$, $C = 0.047\mu F$ 。

1. 说明 555 定时器构成电路的名称。计算输出 V_o 的频率 $f_o = ? \Omega$
2. 分析由 JK 触发器 FF0、FF1、FF2 构成时序电路的功能。要求写出驱动方程、状态方程, 画出完整的状态转换图, 检查电路能否自启动。

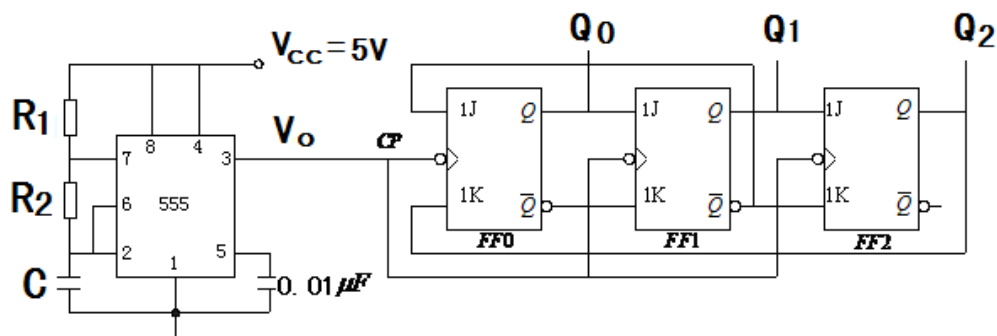
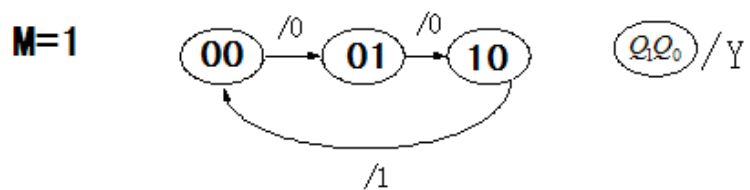


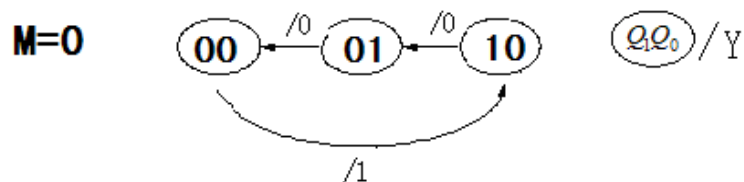
图 6

七、(10 分) 已知四位二进制加法计数器 74LS161 的功能表见表 4-1 所示, 用 74LS161 设计一个 39 进制计数器。

八、(12 分) 用 JK 触发器设计一个可控进制计数器, 要求满足如图 8 所示的状态转换图。要求写出设计步骤, 画出逻辑电路图。



M=1 时的状态转换图



M=0 时的状态转换图

图 8