

数字电子技术基础 B 期末试题 (B 卷)

注: 试题答案必须写在答题纸上, 在试卷和草稿纸上答题无效

班级_____学号_____姓名_____成绩_____

一、(10 分) 判断以下各题正确性, 正确画“√”, 错误画“×”。

- 1) 要实现四变量的逻辑函数表达式, 需采用 3-8 线译码器。()
- 2) 设计 9 进制减法计数器, 需要 3 个 JK 触发器。()
- 3) 多谐振荡器有 2 个稳定状态。()
- 4) 在组合逻辑电路中, 门电路两个输入信号同时向相反的逻辑电平跳变的现象叫做竞争, 所有的竞争都会产生冒险现象。()
- 5) 时钟脉冲的频率为 100kHz, 经过 10 进制计数器可以获得 2kHz 的矩形波。()
- 6) 单稳态触发器的输出脉冲宽度取决于输入触发脉冲的宽度。()
- 7) N 位环形计数器是 2N 进制计数器。()
- 8) 时序逻辑电路中一定包含有存储电路。()
- 9) 4 位移位寄存器可以存放 8 位二进制信息。()
- 10) OC 门电路可以将输出端并联使用。()

二、(10 分) 将下列各式化简为最简与或式, 方法不限。

$$1. Y = \overline{(\overline{A} + \overline{B})D} + (\overline{A}\overline{B} + BD)\overline{C} + \overline{A}\overline{C}BD + \overline{D}$$

$$2. Y(A, B, C, D) = \sum(m_0, m_1, m_3, m_4, m_5, m_8, m_9, m_{14})$$

$$\text{给定约束条件为: } m_2 + m_{10} + m_{11} + m_{12} = 0$$

三、(24 分) 综合题:

1、已知图 3-1 中 (1) (2) (3) 为 CMOS 门电路, (4) (5) TTL 为门电路, 分别写出各电路的输出状态 (0、1 或高阻) 或表达式。(10 分)

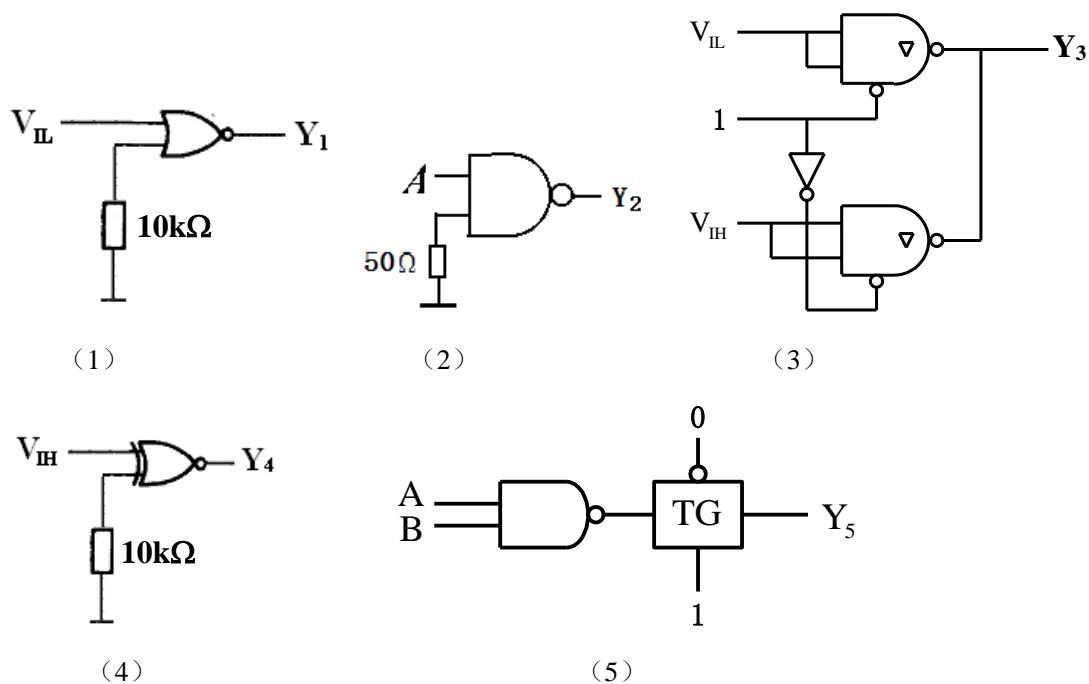


图 3-1

2、图 3-2 是由计数器和输出电路组成的序列脉冲发生器，写出 F_1 和 F_2 在 CP 脉冲作用下的输出数值。（6 分）

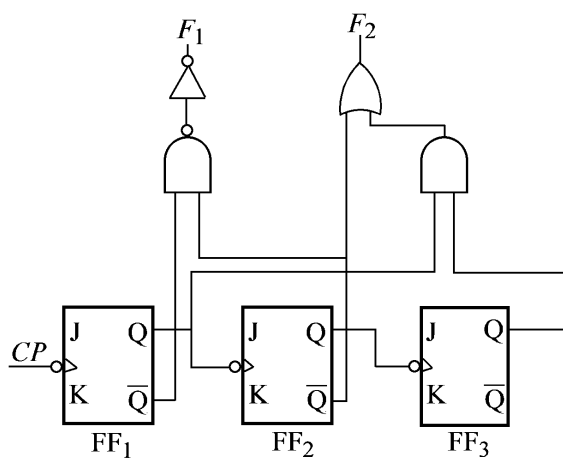


图 3-2

3、分析图 3-3 由 4 位全加器组成的组合逻辑电路，列出真值表，说明电路的功能。（8 分）

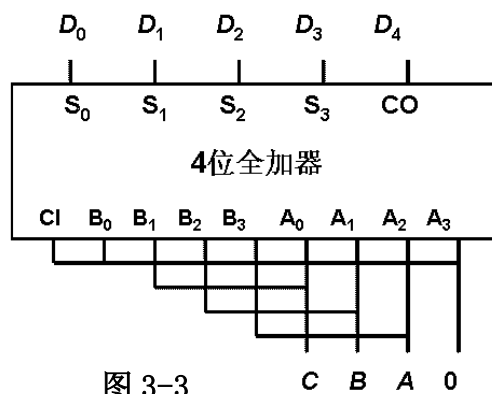


图 3-3

四、(15 分) 用 8 选 1 数据选择器 CC4512 设计一检码电路，输入为 4 位二进制代码，当其能被 4 或 5 整除时，输出为高电平，否则输出为低电平。写出真值表，并画出芯片的接线图。CC4512 的功能表和逻辑框图分别如表 4 和图 4 所示。

表 4 CC4512 功能表

DIS	INH	A2	A1	A0	Y
0	0	0	0	0	D0
0	0	0	0	1	D1
0	0	0	1	0	D2
0	0	0	1	1	D3
0	0	1	0	0	D4
0	0	1	0	1	D5
0	0	1	1	0	D6
0	0	1	1	1	D7
1	0	X	X	X	0

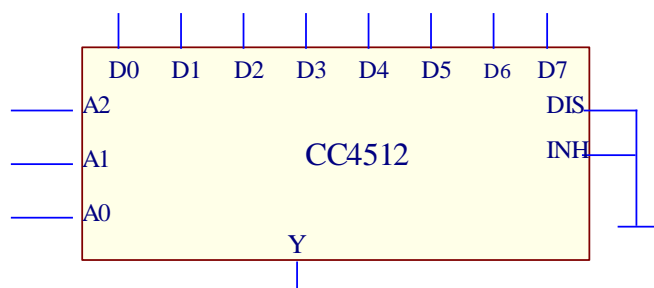


图 4

五、(15 分) 分析图 5 时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，画出电路的状态转化图，说明电路能否自启动。

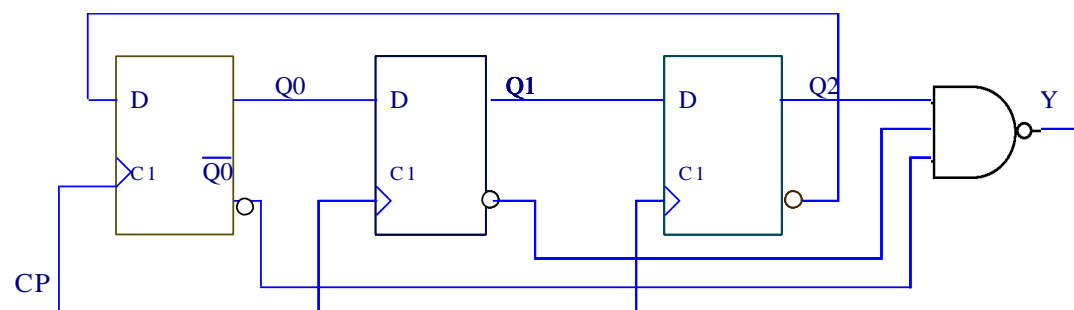


图 5

六、(12 分) 已知同步四位二进制加法计数器 CT74161 功能如表 6，分析图 6 所示电路。

1. 分别说明图 6 中电路 (1) 和电路 (2) 的名称。
2. 定性画出 V_A 、 V_B 和 V_C 各点的波形。

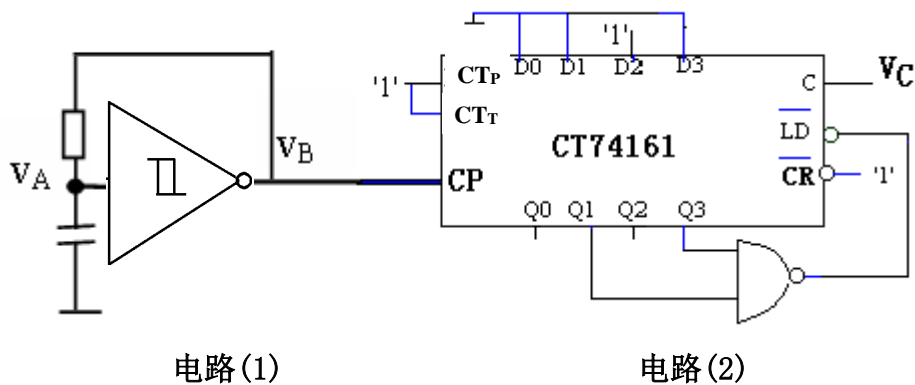


图 6

表 6 CT74161 的功能表

CP	\overline{CR}	\overline{LD}	CT_P	CT_T	工作状态
\times	0	\times	\times	\times	置零
\uparrow	1	0	\times	\times	预置数
\times	1	1	0	1	保持
\times	1	1	\times	0	保持 (但 $CO=0$)
\uparrow	1	1	1	1	计数

$$CO = CT_T \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0$$

七、(15 分) 某时序电路的状态转换图如图 7 所示，试用 D 型触发器设计该电路，画出电路原理图，要求有设计过程。

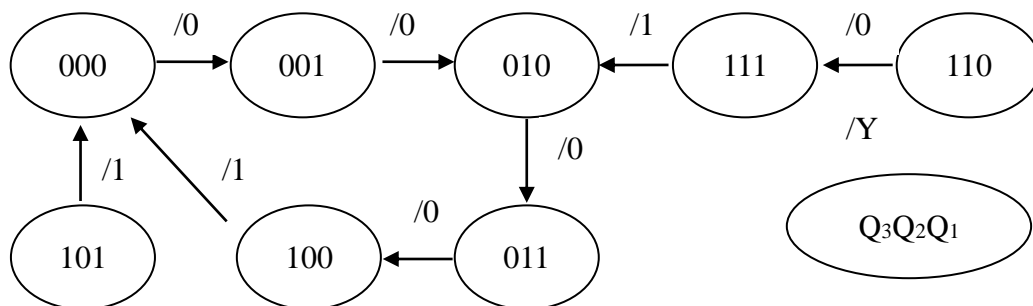


图 7