

## 2020 级《微机原理与接口技术》线上考试考题 A 卷

注：所有题目均手写答在空白答题纸上，按顺序抄题号，不会的题目写（空答），每页均写清：班级、学号、姓名、页码。上传答卷时，合并为一个 PDF 格式文件，文件名为“学号姓名”。（要求：PDF 文件的每一页为手写答题纸的一页）

### 一、简单填空题（26 空，每空 1 分，共 26 分）

1. 8088/8086 有两个外部中断输入信号，在这两种硬件(外部)中断中，采用固定中断类型码的是\_\_\_\_\_中断。
2. 指令 JNZ 使用的标志位是\_\_\_\_\_，其跳转的范围是\_\_\_\_\_。
3. 8088/8086 的 1M 存储器空间采用分段管理，逻辑地址 610AH:1CE2H 对应的 20 位物理地址是\_\_\_\_\_H。
4. 8088/8086 汇编程序中，设 SS=3000H，SP=2000H，执行指令 PUSH AX 后，SP 的值是\_\_\_\_\_。
5. 设计简单输入输出接口时，输入接口器件必须具有控制（缓冲/三态）功能，输出接口器件需要具有\_\_\_\_\_功能。
6. 8086/8088 将整个存储空间划分为许多逻辑段，每个逻辑段容量在\_\_\_\_\_以内，各个逻辑段\_\_\_\_\_（可以/不可以）相互重叠。
7. 已知(BP)=0100H，(DS)=7000H，(SS)=8000H，(80100H)=24H，(80101H)=5AH，(70100H)=01H，(70101H)=02H，指令 MOV BX, [BP]执行后，(BX)=\_\_\_\_\_。
8. 某 SRAM 存储器的容量为 128KB，起始地址为 80000H，则其末地址是\_\_\_\_\_H。若用其组成 512KB 存储器则需进行\_\_\_\_\_扩展。
9. 8086/8088 汇编程序访问外部 I/O 端口用\_\_\_\_\_指令，80C51 单片机汇编程序访问外部 I/O 端口用\_\_\_\_\_指令。
10. 8088/8086 系统中，某中断服务程序在中断向量表中的地址为 0:70H，则该中断的中断类型码应是\_\_\_\_\_。
11. 并行接口 8255A 中既可以作方式 0 数据输入、输出，又可以为工作在方式 1 或方式 2 下的其它端口提供控制或状态信息的端口是\_\_\_口。
12. 8088 汇编指令 MOV AX,[BX+SI]中，源操作数的类型是\_\_\_\_\_，寻址方式是\_\_\_\_\_，物理地址是由\_\_\_\_\_组成。

13. 计算机中广泛使用的 RS232C 是一种\_\_\_\_\_（串行/并行）通信标准，采用\_\_\_\_\_（正逻辑/负逻辑）电平。
14. 在外部中断源的中断服务程序结束时，一般应向 8259A 发送中断结束命令，是让\_\_\_\_\_（IRR/ISR/IMR）的相应位清零。
15. 8088/8086 微型计算机中，5 片 8259A 组成的可编程中断管理系统最多可以管理\_\_\_\_\_个中断源。
16. 8088/8086 CPU 由\_\_\_\_\_两部分组成，后者负责总线访问，二者通过\_\_\_\_\_形成一条两工位流水线结构。
17. 动态 RAM（即 DRAM）的典型特点是容量大，单位成本低，但需要\_\_\_\_\_。而高速 CACHE 通常采用成本较高的\_\_\_\_\_存储器实现。

## 二、 简答/简述/简要分析题（6 小题，每小题 4 分，共 24 分）

1. 简要说明 8088/8086 微型计算机系统中堆栈的工作原理、所在存储器区类型及其主要应用场合。
2. 简要说明主机与外设间进行数据传输的四种主要输入输出方式及其各自优缺点。
3. 什么是总线？按传送信息的类型划分，可将总线分为哪三种？总线一般由多条线组成，称为总线的宽度，试列举 8088 中这三种总线中任意一种的总线宽度。
4. 简要分析 8088/8086 微型计算机系统的存储器及 I/O 系统与 80C51 单片机的存储器及 I/O 系统在体系结构、编址方式及指令上的不同。
5. 8088/8086 系统中，已知  $BX=2C09H$ ， $AX=0F8F6H$ ， $CF=1$ ，试分析执行指令  $ADDC\ AX, BX$  之后，标志寄存器  $FLAGS$  中 6 个状态标志位的值。
6. 在异步串行通信数据帧格式中，每一帧的内容通常包括哪几部分位区？其中哪一部分可以没有（省略）？

三、简单应用题（6 小题，每小题 5 分，共 30 分）

1.如果采用 2 片 DAC0832 同步输出 2 路模拟量，则 DAC0832 应工作在哪种工作模式？画出简易设计图，并简述其工作过程。DAC0832 引脚与内部结构见附录 5。

2.读程序，回答问题。

<pre>;主程序 CS:0000  MOV AX, 2000H CS:0003  MOV SS, AX CS:0005  MOV SP, 1000H CS:0008  INT  2AH CS:000A  NOP          ; ② CS:000B  MOV BX, RESULT</pre>	<pre>; 软中断 2AH 的中断服务程序 CS:1000  NOP CS:1001  PUSH  AX CS:1002  MOV AX, 1234H  ; ① CS:1005  ADD AX, 4567H CS:1008  MOV RESULT, AX CS:100B  POP  AX CS:100C  IRET</pre>
---	---

执行主程序，回答下列提问：

- （1） 进入中断服务程序前，被压入堆栈区的 IP 寄存器的值是多少？
- （2） 执行到指令①处时，SP 寄存器的值是多少？
- （3） 执行到指令②处时，SP 寄存器的值是多少？

3. 8255A 的地址译码电路如图 1 所示，写出端口 A、B、C 和控制字寄存器的地址。设 A、B、C 口均工作在方式 0，A 和 C 口上半部设置为输入，B 和 C 口下半部设置为为输出，写出 8255A 的控制字。8255A 的控制字格式见附录 2。

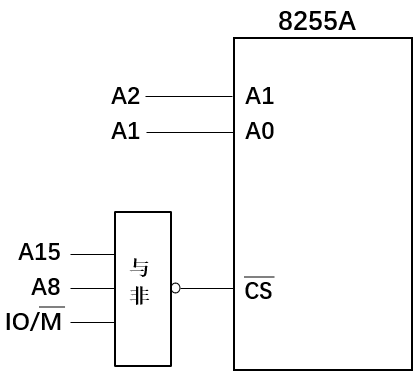


图 1 8255A 的地址译码电路

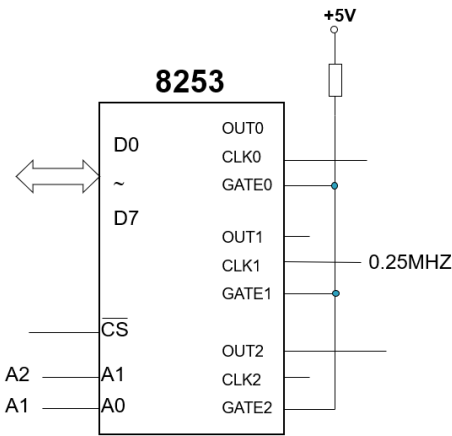


图 2 某 8253 应用系统

4.在某 8253 应用系统（如图 2）中，CLK1 的输入脉冲频率为 0.25MHz。要求使用 OUT1、OUT2、OUT3 中的任一引脚输出方波（方式 3），方波宽度为 2 分钟。试画出实现此功能的连线图，写出相应定时/计数器通道的方式控制字及其计数初值。8253 的控制字格式见附录 1。

5.画图说明下列语句分配的存储空间及初始化的数据值（负数用补码表示）

```
DAT1 DB  'BYTE', 100, 2 DUP(?, 34H)
```

```
DAT2 DW  256H, -50
```

6.（8088 汇编程序）读程序题

```
MOV AX, 2000H
```

```
MOV DS, AX
```

```
MOV BX, 1000H
```

```
MOV CX, 100
```

```
MOV AL, 0
```

```
DISP: CMP AL, [BX]
```

```
JA P1
```

```
MOV AL, [BX]
```

```
P1: INC BX
```

```
LOOP DISP
```

```
HLT
```

此程序段的功能是\_\_\_\_\_。

#### 四、综合应用题 (3 小题, 共 20 分)

1. 现有四片静态随机读写存储器 SRAM（容量为  $2K \times 4$ ）芯片组成存储器系统，要求使用 74LS138 译码器设计其译码电路，使 RAM 地址范围为 20000H~20FFFH，画出该系统存储器与 8088 总线的连接图，并正确标出信号的名称、方向。（注意：只能使用一片 74LS138，可增加其他常用的逻辑门电路，但需要说明是什么门电路，74LS138 真值表见附录 3）

2. 某温度采集系统中，采用定时中断方式实现温度采集。在定时中断服务程序中完成：（1）启动 AD 转换；（2）采用查询方式读取转换结果。若系统中可以包括 8259A、8253、8255A、ADC0809（只采集 IN0）等芯片，试画出它们之间的信号连线图，并简要进行说明。8259A、8253、8255A、ADC0809 的主要引脚信号参见附录。

3. 8255A 应用的部分电路如图 3 所示。该图为由 8255A 控制实现的数码管显示电路。当开关 K 合上时，数码管显示“0”。当开关 K 打开时，数码管显示“1”。0 和 1 的字形码分别是 0C0H、0F9H。设 8255A 的四个地址是 400H~403H。试合理分配 8255A 的 A、B、C 三个端口资源，画出开关、数码管与 8255A 之间的连接图（不需要与 8088 总线连接，不需要设计译码电路），并编写相应完整的汇编语言程序实现上述功能。8255A 的控制字格式见附录 2。

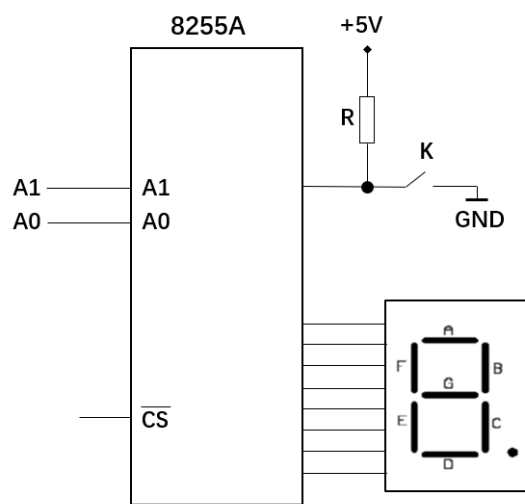
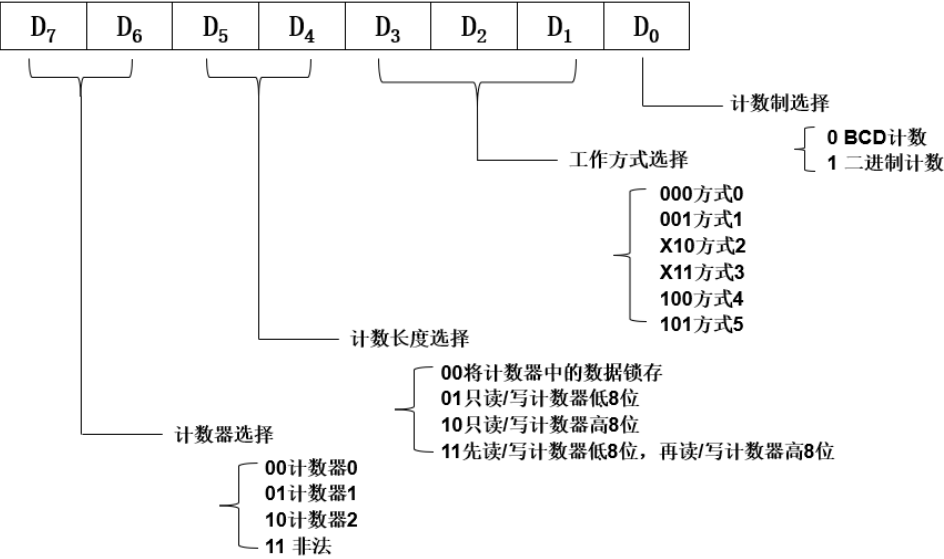


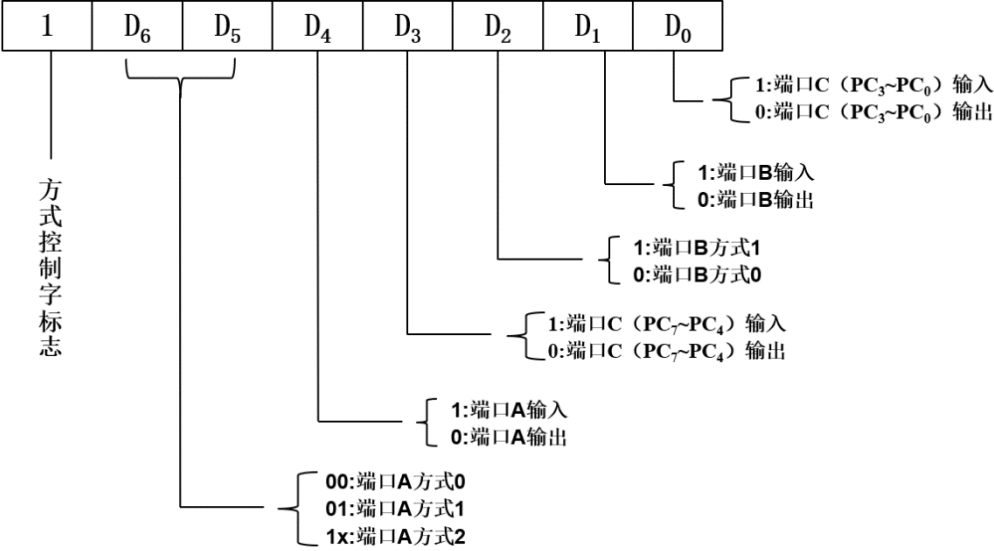
图 3 部分 8255A 应用电路

[illegible]

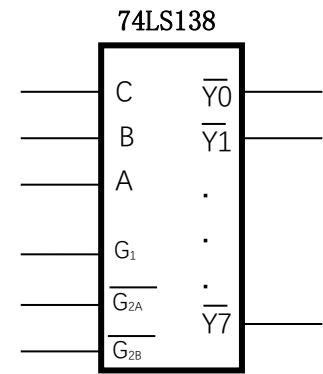
附录 1：8253 控制字



附录 2：8255A 控制字

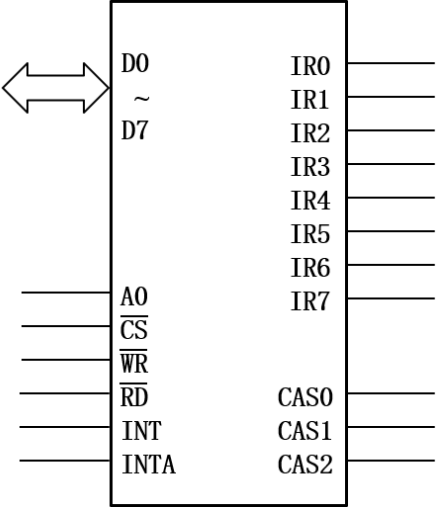


附录 3：74LS138 真值表

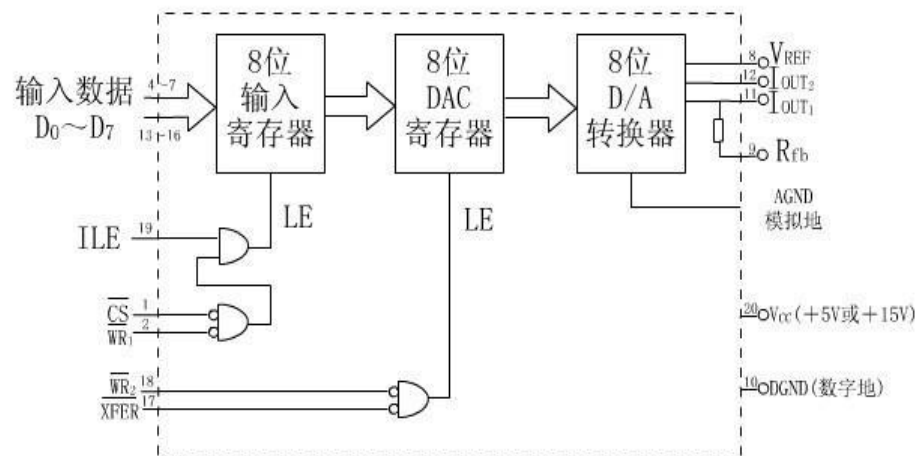


输 入		输 出							
$\overline{G_1}\overline{G_{2A}}\overline{G_{2B}}$	C B A	$\overline{Y_7}$	$\overline{Y_6}$	$\overline{Y_5}$	$\overline{Y_4}$	$\overline{Y_3}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$
1 0 0	0 0 0	1	1	1	1	1	1	1	0
1 0 0	0 0 1	1	1	1	1	1	1	0	1
1 0 0	0 1 0	1	1	1	1	1	0	1	1
1 0 0	0 1 1	1	1	1	1	0	1	1	1
1 0 0	1 0 0	1	1	1	0	1	1	1	1
1 0 0	1 0 1	1	1	0	1	1	1	1	1
1 0 0	1 1 0	1	0	1	1	1	1	1	1
1 0 0	1 1 1	0	1	1	1	1	1	1	1
0 X X	X X X	1	1	1	1	1	1	1	1
X 1 X	X X X	1	1	1	1	1	1	1	1
X X 1	X X X	1	1	1	1	1	1	1	1

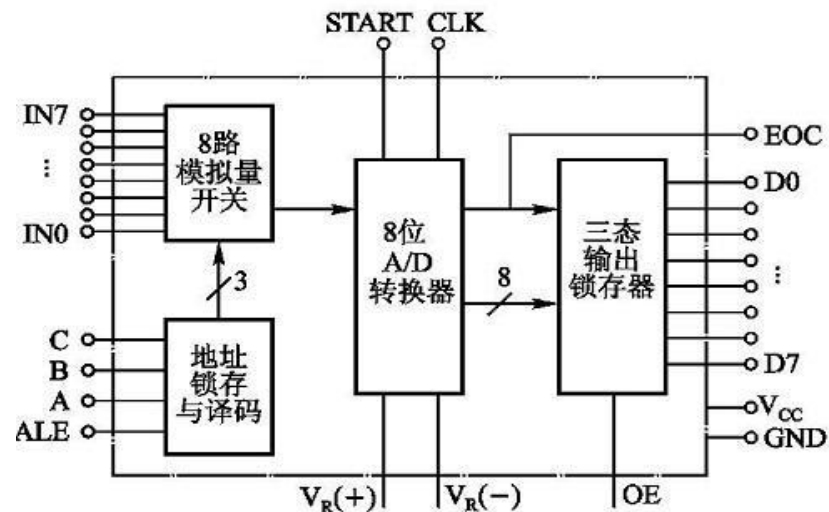
附录 4：8259A 引脚引脚信号



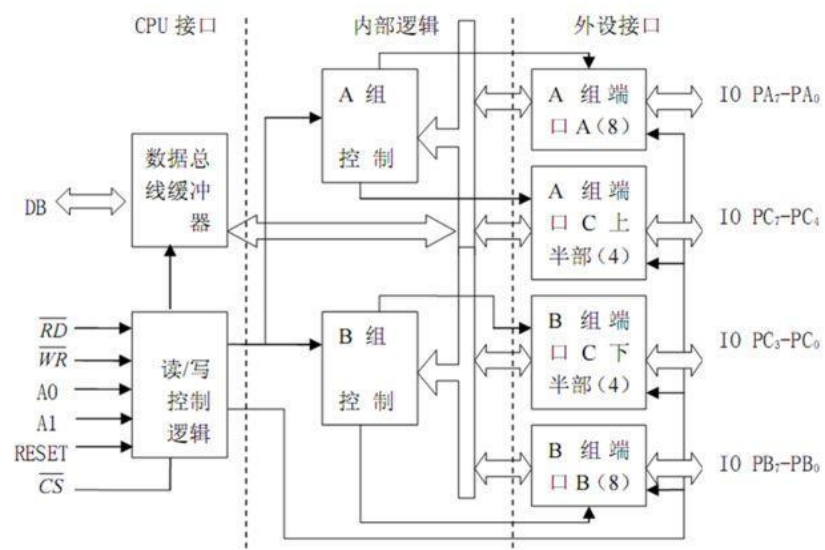
附录 5: DAC0832 引脚与内部结构



附录 6: ADC0809 引脚与内部结构



附录 7: 8255A 内部结构



8255A 内部结构框图 <https://blog.csdn.net/ww7510>

附录 8: 8253 引脚与内部结构

