

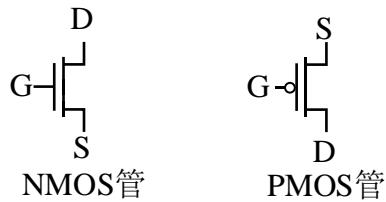
# 数字电路与系统 期末考试试题

试题说明：

本试题共 8 道大题，包括 7 道必做题 1 道选做题。第 1 题至第 7 题为必做题，第 8 题为选做题。7 道必做题的总分为 100 分，选做题的分数为 15 分。最终考试成绩包含所有必做和选做题目的得分总和，若总和超过 100 分，则记 100 分。

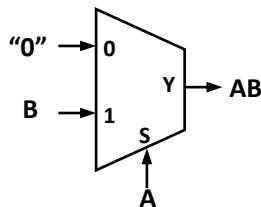
## 1. (共 12 分)

- A. 设计一个 CMOS 门电路实现逻辑函数： $Y = \overline{A + B + (C + D) \cdot E}$ 。MOS 管的符号如下图所示：(6 分)



要求：用上面 MOS 管的符号画出电路图。

- B. 用一个 2-1 MUX 可以实现  $Y=AB$  如下图所示。



要求：用一个 2-1 MUX 实现  $Y=A+B$ ；再用一个 2-1 MUX 实现  $Y=\bar{A}$ 。画出逻辑图，逻辑图中 2-1MUX 的符号需采用上图所示的符号，输入变量只包含原变量。(6 分)

## 2. (共 18 分)

有两个 2 位二进制数分别为  $A_1A_0$  和  $B_1B_0$ ，试设计一个组合逻辑电路实现两个 2 位二进制数的乘法运算，其结果用  $Y_3Y_2Y_1Y_0$  表示。

要求：

- (1) 完成下列真值表（画在答题纸上）；(4 分)

$Y_3, Y_2, Y_1$  和  $Y_0$  的真值表

$A_1$	$A_0$	$B_1$	$B_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0				
0	0	0	1				
0	0	1	0				
0	0	1	1				
0	1	0	0				
0	1	0	1				
0	1	1	0				
0	1	1	1				
1	0	0	0				
1	0	0	1				
1	0	1	0				

1	0	1	1				
1	1	0	0				
1	1	0	1				
1	1	1	0				
1	1	1	1				

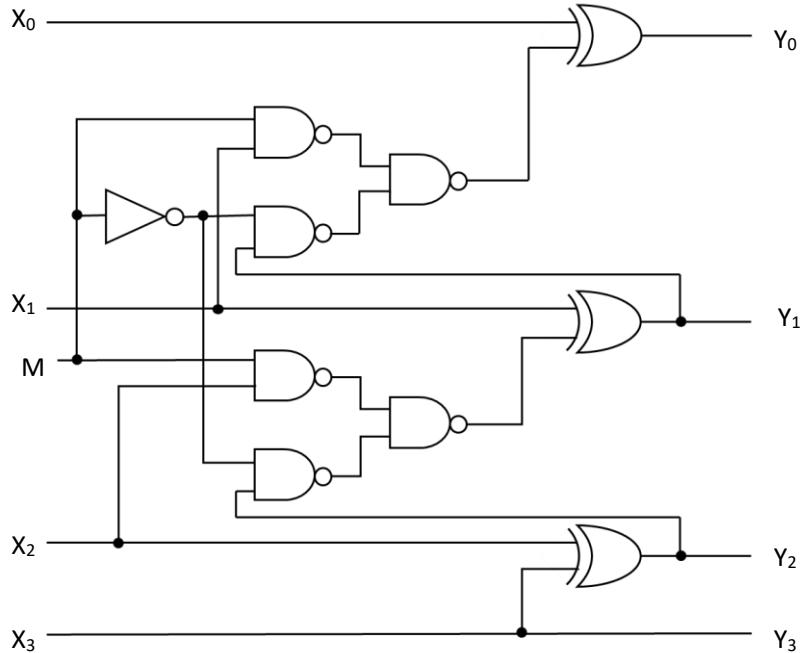
- (2) 写出运算结果  $Y_3$ 、 $Y_2$ 、 $Y_1$ 、 $Y_0$  的“最小项之和”或“最大项之积”(写出项数最少的), 并化简为最简与或式(对应“最小项之和”)或最简或与式(对应“最大项之积”); (8分)
- (3) 仅用 5 个 2-1 数据选择器 (MUX) 实现  $Y_0$ 、 $Y_2$ 、 $Y_3$  (只允许原变量输入), 画出电路图, 逻辑图中 2-1MUX 的符号需采用第 1 题所示的符号。 (6分)

### 3. (共 12 分)

分析电路, 写出表达式, 并指出  $M=1$  和  $M=0$  对应的电路功能是什么?

要求:

- 1) 分别写出  $Y_0$ 、 $Y_1$ 、 $Y_2$  以及  $Y_3$  关于输入变量的逻辑表达式; (8分)
- 2) 分别写出  $M=1$  和  $M=0$  时电路的功能。 (4分)

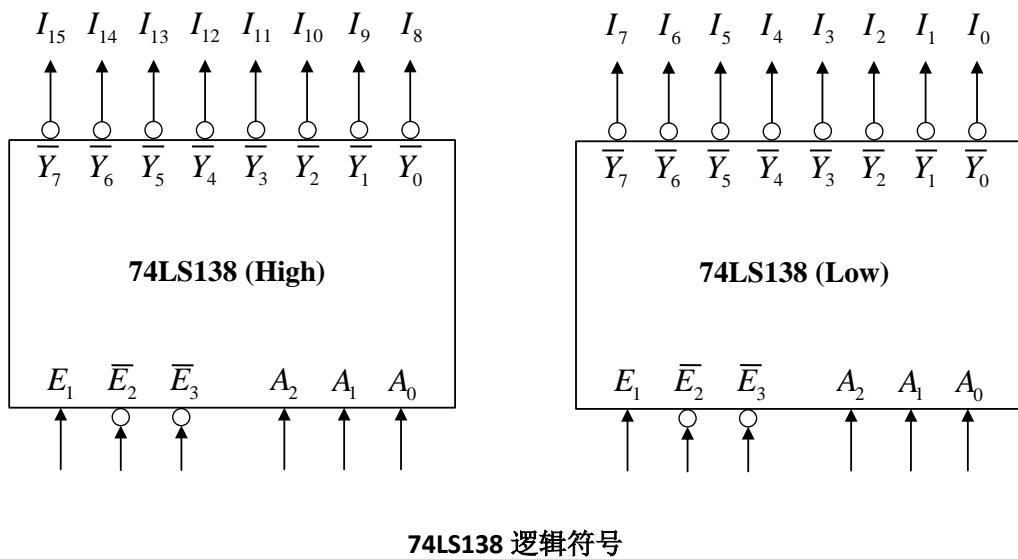


### 4. (共 10 分)

试用两片 3-8 线译码器 74LS138 组成一个 1-16 线数据分配器, 只能附加一个 2 输入与非门。要求: (10分)

- 1) 输入数据 (D) 需与输出数据同相;
- 2) 整个 1-16 线数据分配器需要设计一个高电平有效的使能信号 E。
- 3) 画出逻辑电路图, 在电路图上标出 4 个选择控制输入端:  $S_3$  (MSB)、 $S_2$ 、 $S_1$ 、 $S_0$  (LSB);

注: 74LS138 的逻辑符号和功能表如下所示。



74LS138 功能表

74LS138 功能表

输入					输出							
$E_1$	$\bar{E}_2+\bar{E}_3$	$A_2$	$A_1$	$A_0$	$\bar{Y}_0$	$\bar{Y}_1$	$\bar{Y}_2$	$\bar{Y}_3$	$\bar{Y}_4$	$\bar{Y}_5$	$\bar{Y}_6$	$\bar{Y}_7$
0	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

##### 5. (共 12 分) 电路设计题:

设计一个血型配对指示器。输血前，先输入供血者和受血者的血型编码，供血者血型编码为  $X_1X_0$ ；受血者血型编码为  $Y_1Y_0$ 。血型编码如下表所示：

血型	$X_1X_0$ 或 $Y_1Y_0$ 的编码
A	00
B	01
AB	11
O	10

若二者血型相配，则指示灯亮（对应  $F=1$ ），反之，指示灯灭（对应  $F=0$ ）。血型配对情况如下表所示：

供血者与受血者的血型配对表

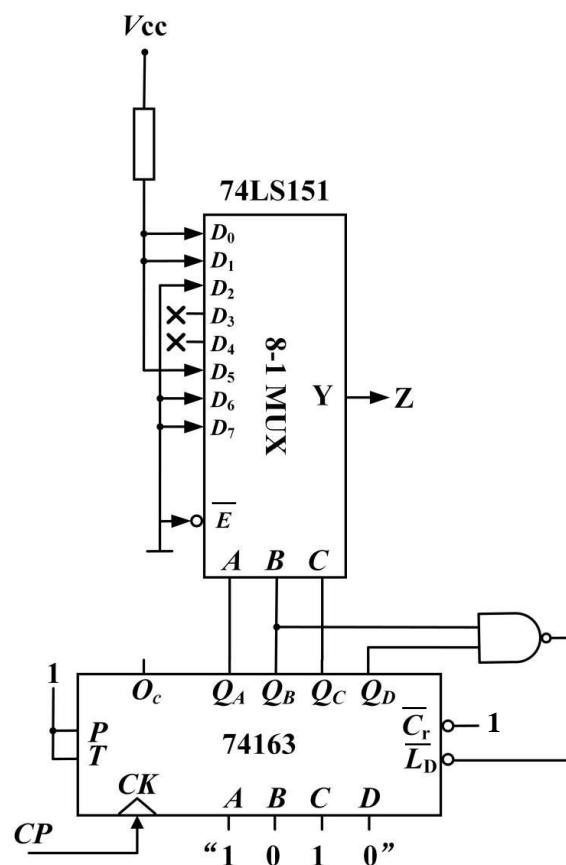
供血者血型	可输血的受血者血型	指示灯 $F(X_1, X_0, Y_1, Y_0)$ 状态
A	A, AB	1
B	B, AB	1
AB	AB	1
O	A, B, AB, O	1

要求：

- 1) 画出  $F(X_1, X_0, Y_1, Y_0)$  的卡诺图。 (6 分)
- 2) 写出逻辑函数  $F(X_1, X_0, Y_1, Y_0)$  的最小项之和。 (4 分)
- 3) 化简  $F(X_1, X_0, Y_1, Y_0)$  为最简或非-或非式。 (2 分)

#### 6. (共 16 分)

用 74163 计数器 ( $Q_D$  为最高有效位输出端) 和 74LS151 (8-1 数据选择器, C 为选择控制输入信号的最高位) 所构成的同步状态机如下图所示，试分析该电路的逻辑功能。



74163 的功能表如下所示：

74163 功能表

$N_0$	清除 $\overline{C_r}$	预置 $\overline{L_D}$	计数允许 $P \quad T$	时钟 $CK$	功 能
1	0	X	X X	X	同步清 0
2	1	0	X X	↑	同步置数
3	1	1	1 1	↑	同步计数
4	1	1	0 1	X	保持
5	1	1	X 0	X	保持 $O_c=0$

要求回答以下问题：

- 1) 图中 74163 的计数器模值被缩短为 M, 请你用 74163, 采用清零法设计一个模为 M 的计数器, 请在答题纸上完成电路的设计, 画出电路图。 (6 分)
- 2) 画出状态机的状态转换图 (只画主循环)。 (4 分)
- 3) 写出 Z 端输出序列的一个周期。 (4 分)
- 4) 如果设计一个状态编码型序列信号发生器产生和 z 一样的序列, 则至少需要几个触发器? (2 分)

### 7. (20 分)

试用下降沿触发的 JK 触发器设计一个同步模 6 计数器, 时钟信号为 CLK。该计数器状态  $Q_2Q_1Q_0$  的转换顺序由你的学号尾号确定。

a) 学号尾号为奇数的同学,  $Q_2Q_1Q_0$  的转换顺序为

$001 \rightarrow 010 \rightarrow 011 \rightarrow 110 \rightarrow 101 \rightarrow 100 \rightarrow 001$ , 无效态 ( $Q_2Q_1Q_0$ ) 000 的次态为 011,  
无效态 ( $Q_2Q_1Q_0$ ) 111 的次态为 101。

b) 学号尾号为偶数的同学,  $Q_2Q_1Q_0$  的转换顺序为

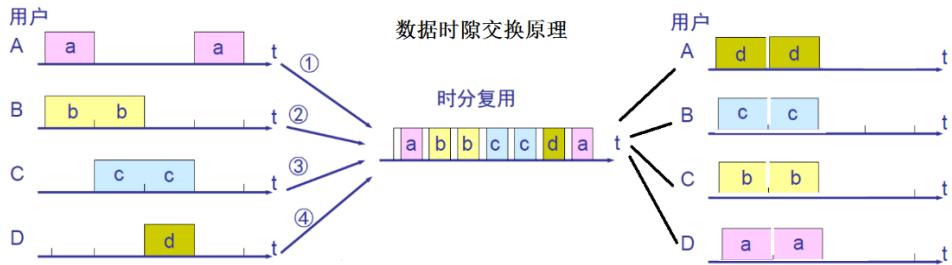
$101 \rightarrow 110 \rightarrow 111 \rightarrow 010 \rightarrow 001 \rightarrow 000 \rightarrow 101$ , 无效态 ( $Q_2Q_1Q_0$ ) 100 的次态为 111,  
无效态 ( $Q_2Q_1Q_0$ ) 011 的次态为 001。

要求:

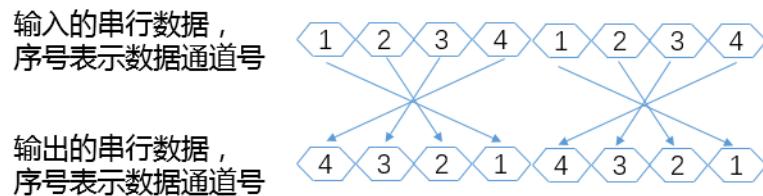
- 1) 写出你的学号尾号; (1 分)
- 2) 导出时序电路的驱动方程(要求化简成最简与或式, 需要写出必要的设计过程); (6 分)
- 3) 画出完整的状态转换图; (5 分)
- 4) 画出你所设计电路的波形图,  $Q_2Q_1Q_0$  的初始态为 001; (5 分)
- 5) 指出哪些状态输出端可用于时钟信号 CLK 的分频, 是几分频。 (3 分)

### 8. 附加题 (选做) (15 分)

我国的程控交换设备在通信业界具有重要的行业地位。程控交换中的时隙交换是把时间划分为若干互不重叠的时隙, 由不同的时隙建立不同的子信道, 通过时隙交换网络完成话音的时隙搬移, 从而实现入线和出线间话音交换的一种交换方式。时分交换的关键在于时隙位置的交换。

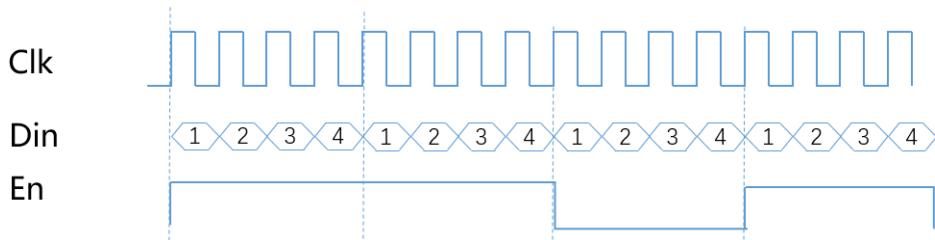


时隙交换的一种实现方式就是通过串行的输入输出完成交换，如下图所示。

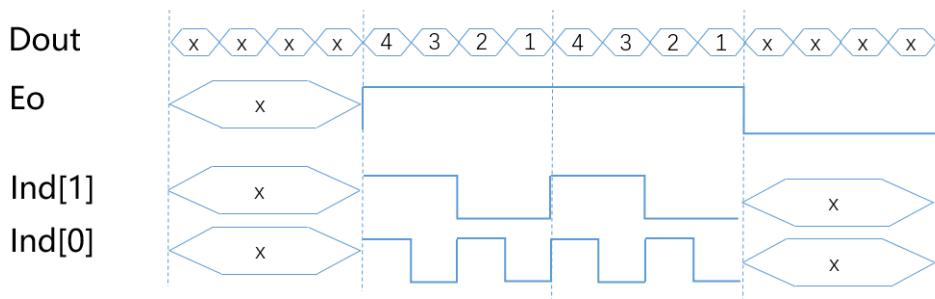


图中 表示一个通道的数据，其中 表示数据变化的边沿

请设计一个串行输入、串行输出的时分数据交换系统。该时分数据输入如下图所示：



针对上述输入信号，现要求给出如下的输出（可以有不超过 8 个时钟延时）：



请给出详细的设计思路、实现步骤、电路原理图，并在给出时序图的基础上说明“将第 1 路数据交换至第 4 路数据输出时”的工作原理。

其中：

时钟端 **Clk**:

电路的工作时钟

**串行输入Din:** 串行输入数据，图中序号表示对应的信道号  
**输入使能端En:** 高有效，表示当前对应的信道需要进行交换  
**串行输出Dout:** 指示交换之后的数据输出  
**输出有效Eo:** 高有效，指示当前输出的Dout数据为有效交换数据  
**信道指示Ind[1:0]:** 指示当前输出Dout数据对应的信道号