

2008 级数字电子技术基础期末试题

班级_____学号_____姓名_____成绩_____

一、(30 分) 填空

1、根据表 T1-1 所示的三种逻辑门的技术参数, _____最适合工作在高噪声环境下, 原因是_____。

逻辑门	A	B	C
输出高电平最小值 $V_{OH\min}$ (V)	2.4	3.5	4.2
输出低电平最大值 $V_{OL\max}$ (V)	0.4	0.2	0.2
输入高电平最小值 $V_{IH\min}$ (V)	2.0	2.5	3.2
输入低电平最大值 $V_{IL\max}$ (V)	0.8	0.6	0.8

表 T1-1

2、A/D 转换器将模拟量转换为数字量, 一般需要经过____、____、____和____四个过程。

3、一个 10 位的 D/A 转换器的分辨率是_____。

4、如图 T1-1 所示 8×2 位的 PROM 实现如下组合电路, 画出点阵图。

$$Y_0 = A \quad B \quad C$$

$$Y_1 = \bar{A}\bar{B}C + A\bar{B}\bar{C} + \bar{A}B\bar{C}$$

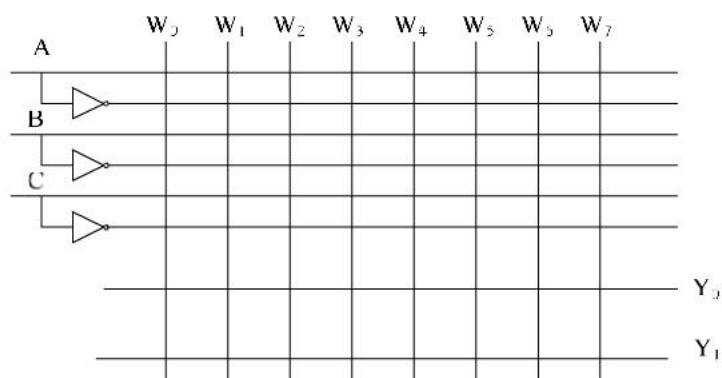


图 T1-1

5、指出下列存储系统具有多少个存储单元, 分别至少需要几根地址线和数据线。

(1) 256×4 (2) 1024×16

6、边沿触发器的动作特点是_____, JK 同步触发器和 JK 边沿触发器的逻辑功能_____ (相同/不同)。

7、555 集成定时器构成的多谐振荡器如图 T1-2 所示，试定性画出输出 v_o 和电容 C 两端电压 v_C 的对应波形。

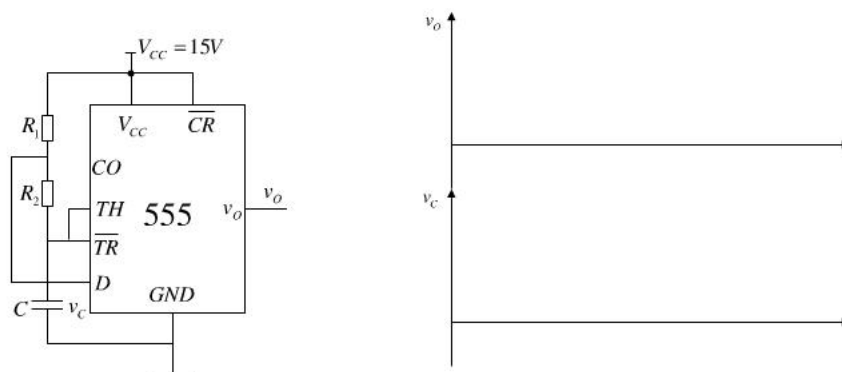


图 1-2

二、(10 分) 对下列逻辑函数进行化简，方法不限。

$$1、F_1(A, B, C, D) = \overline{(A+B)} \overline{(B+C)} + (\overline{A}B + B)C\overline{D}$$

$$\text{无关项 } ACD + BCD = 0$$

$$2、F_2(A, B, C) = (A+B)(A+\overline{A}B)C + \overline{A}(\overline{B+C}) + \overline{A}B + ABC$$

三、(12 分) 图 T3 所示电路 $F_1 \sim F_6$ 的逻辑函数式是否正确，如果不正确，写出正确的表达式；若电路图有问题，修改电路图，但不允许改变门电路的原有类型。

其中图(a) (b) (c) 为 CMOS 门电路，(d) (e) (f) 为 TTL 门电路。

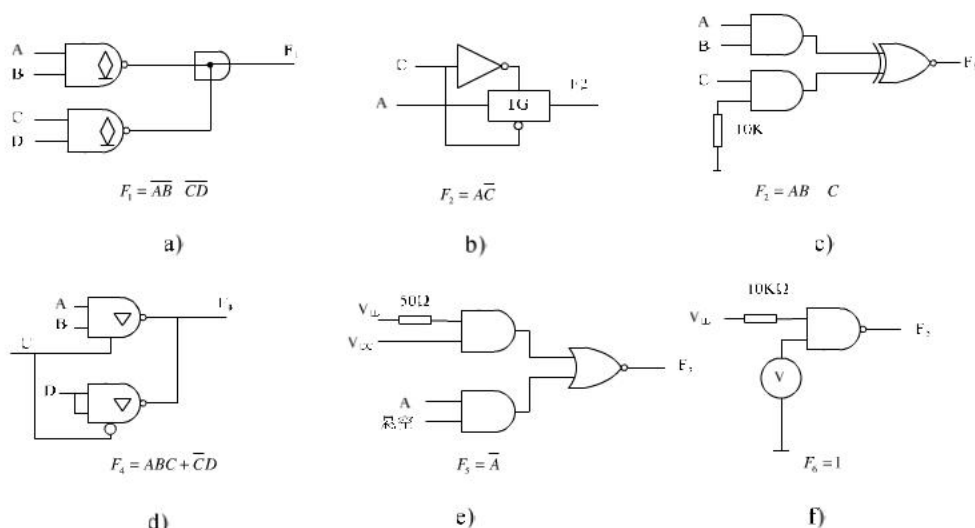


图 T3

四、(10 分) 编码器 74LS148 和同步二进制计数器 74LS161 构成的逻辑电路如图 T4 所示，当输入控制信号 A、B、C、D、E、F、G、H 分别为低电平，并假定输入时钟信号频率为 10KHz 时，输出 Y 端的脉冲频率为多少。（要求写出分析过程）74LS148 和 74LS161 功能表分别如表 T4-1 和 T4-2 所示。

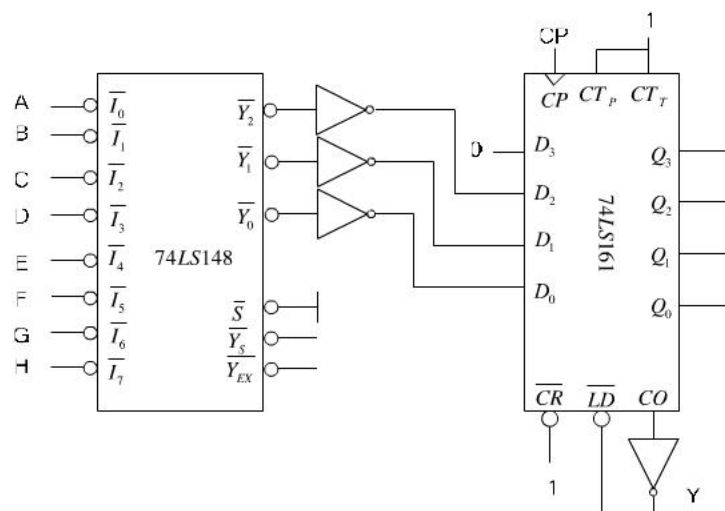


图 T4

表 T4-1 74LS148 功能表

输入									输出				
\bar{S}	\bar{I}_0	\bar{I}_1	\bar{I}_2	\bar{I}_3	\bar{I}_4	\bar{I}_5	\bar{I}_6	\bar{I}_7	\bar{Y}_2	\bar{Y}_1	\bar{Y}_0	\bar{Y}_S	\bar{Y}_{EX}
1	x	x	x	x	x	x	x	x	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	0	1
0	x	x	x	x	x	x	x	0	0	0	0	1	0
0	x	x	x	x	x	x	0	1	0	0	1	1	0
0	x	x	x	x	x	0	1	1	0	1	0	1	0
0	x	x	x	x	0	1	1	1	0	1	1	1	0
0	x	x	x	0	1	1	1	1	1	0	0	1	0
0	x	x	0	1	1	1	1	1	1	0	1	1	0
0	x	0	1	1	1	1	1	1	1	1	0	1	0
0	0	1	1	1	1	1	1	1	1	1	1	1	0

表 T4-2 74LS161 计数器功能表

CP	\overline{CR}	\overline{LD}	CT_T	CT_P	工作状态
x	0	x	x	x	置零
\uparrow	1	0	x	x	预置数
x	1	1	1	0	保持
x	1	1	0	x	保持 (CO=0)
\uparrow	1	1	1	1	计数

$$CO = CT_T \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0$$

五、(8 分) 试用数据选择器 74LS151 和必要的门电路设计一个 4 位二进制码偶校验的校验码产生电路（即输入的 4 位二进制数和输出的校验码共包含偶数个 1）。74LS151 电路图如图 T5 所示，功能表如表 T5 所示。

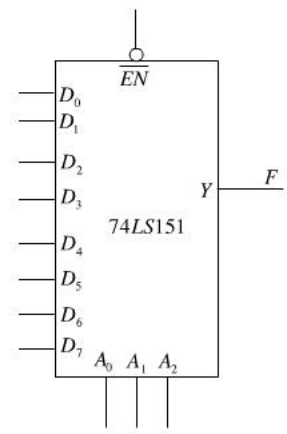


图 T5

输入				输出
\overline{EN}	A_2	A_1	A_0	Y
1	×	×	×	0
0	0	0	0	D0
0	0	0	1	D1
0	0	1	0	D2
0	0	1	1	D3
0	1	0	0	D4
0	1	0	1	D5
0	1	1	0	D6
0	1	1	1	D7

表 T5 74LS151 功能表

六、(10) 电路如图 T6-1 所示，其中 CP、 $\overline{R_d}$ 和 A 的波形如图 T6-2 所示，设触发器的初态 $Q_1 = Q_2 = 1$ ，试画出输出端 Q_1 、 Q_2 的波形图。

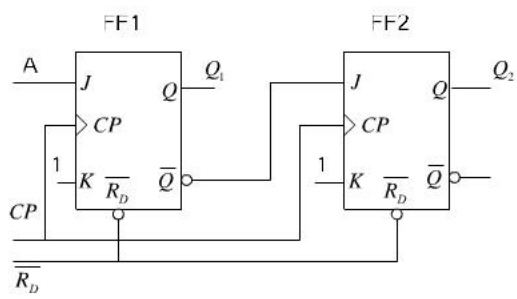


图 T6-1

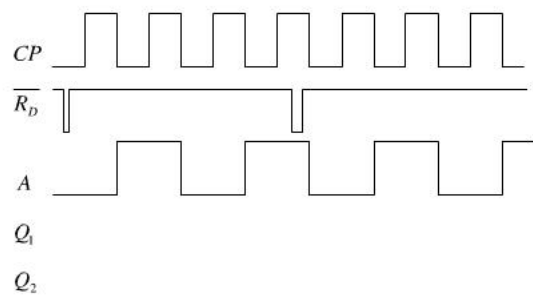


图 T6-2 波形图

七、(10) 分析如图 T7 (a)、(b) 所示电路为分别为多少进制，并画出状态转换图（要求有分析过程）。十进制计数器 74LS160 功能表如表 T7 所示。

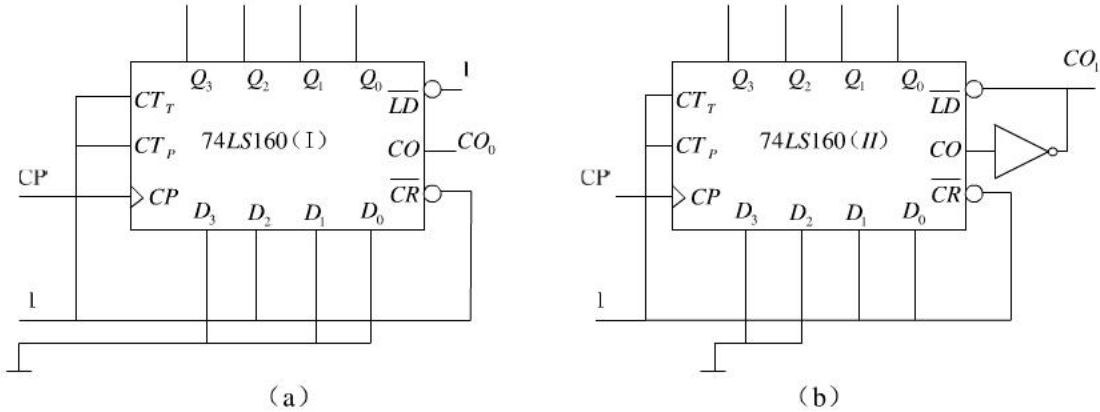


图 T7

表 T7 74LS160 计数器功能表

CP	\overline{CR}	\overline{LD}	CT_T	CT_P	工作状态
\times	0	\times	\times	\times	置零
	1	0	\times	\times	预置数
\times	1	1	1	0	保持
\times	1	1	0	\times	保持 ($CO=0$)
	1	1	1	1	计数

$$CO = CT_T \cdot Q_3 \cdot Q_0$$

八、(10) 某时序电路的状态转换图如图 T8 所示，试用 JK 型触发器设计该电路，画出电路原理图，要求有设计过程。

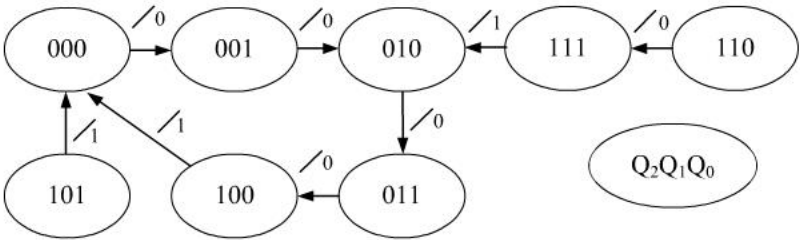


图 T8