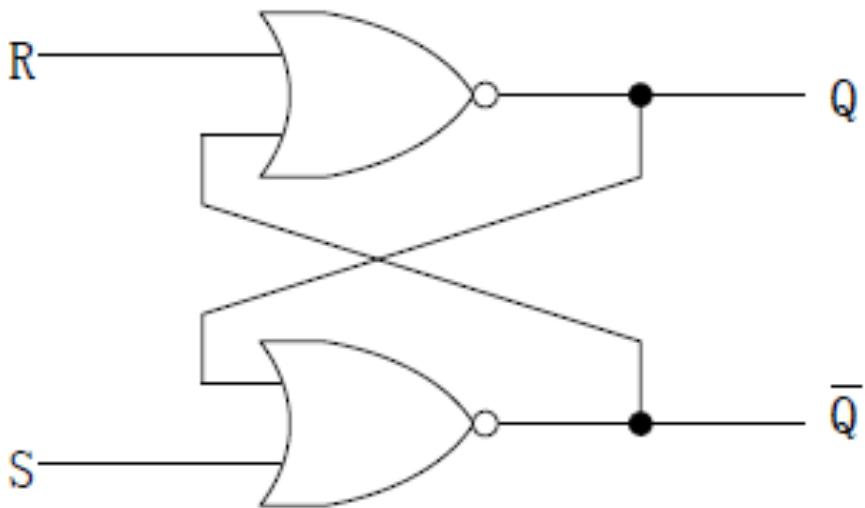


2015 级 A 数电

一. (30 分) 填空题 (每空 1 分)

1. $(53.5)_{10} = (\underline{\hspace{2cm}})_8 = (\underline{\hspace{2cm}})_{16}$ 。
2. 将格雷码转换成二进制码, $(1010)_{\text{格雷}} = (\underline{\hspace{2cm}})_2$ 。
3. 用二进制补码形式表示数值 $(-15.75)_{10}$, 要求整数部分为6位, 小数部分为2位, 表示结果为 $(-15.75)_{10} = (\underline{\hspace{2cm}})_{\text{补}}$ 。
4. 将四位反码表示的数字 $(1011)_{\text{反},4}$ 扩展成8位, $(1011)_{\text{反},4} = (\underline{\hspace{2cm}})_{\text{反},8}$
5. $(0010\ 0001\ 0110)_{8421} + (0011\ 1001\ 0011)_{8421} = (\underline{\hspace{2cm}})_{8421}$
6. 函数 $F(A,B,C) = \prod M(1,3,4)$, 当 $A=1, B=0, C=1$ 时,
 $F(A,B,C) = \underline{\hspace{2cm}}$ 。
7. 函数 $F = AB + BC$ 的对偶函数是 $F' = \underline{\hspace{2cm}}$ 。
8. 函数 $F(A,B,C,D) = \sum m(0,1,2,5,9,13)$, 则其最简与或式为
 $F(A,B,C,D) = \underline{\hspace{2cm}}$ 。
9. 某 TTL 反相器的输出电流 $|I_{OL(\max)}| = 8mA$, $|I_{OH(\max)}| = 0.4mA$, 输入电流 $|I_{IL}| \leq 0.4mA$, $|I_{IH}| \leq 20\mu A$, 则该反相器可以驱动同类反相器的最大个数是 $\underline{\hspace{2cm}}$ 。
10. 某电路的输入电平 $V_{IH} \geq 2.0V$, $V_{IL} \leq 0.8V$, 输出电平 $V_{OH} \geq 2.4V$, $V_{OL} \leq 0.3V$, 则该电路的高电平噪声容限 $V_{NH} = \underline{\hspace{2cm}} V$, 低电平噪声容限 $V_{NL} = \underline{\hspace{2cm}} V$ 。
11. 函数 $F = !AB + A!B + B!C$ 中, 能够引起冒险现象的输入信号是 $\underline{\hspace{2cm}}$, 冒险类型为 $\underline{\hspace{2cm}}$ (0/1)型冒险。
12. 使用 OC 门时必须外接 $\underline{\hspace{2cm}}$ 。
13. 图题一-13 所示的 R-S 锁存器的输入信号约束条件为 $\underline{\hspace{2cm}}$



图题一-13

14.采用脉冲反馈异步复位式加法计数器实现模11计数器时，设计数器的输出状态为 $Q_D Q_C Q_B Q_A$ ，则有毛刺产生的输出信号是_____。

15.设计状态编码型计数器实现序列信号发生器，若产生的序列为11100110，则至少需要_____个触发器实现。

16.5位移位寄存器可产生的m序列的长度为____，其中“1”的个数为_____。

17.单稳态触发器输出脉冲的宽度由_____决定。

18.图题一-18所示为由555定时器组成的施密特触发器，当 U_{CC} 接15V电压时，施密特触发器的上限转换电平 U_{T+} 为____V，下限转换电平 U_{T-} 为____V，回差电压____V。

19.三态门的输出包含3个状态,分别是____、____、____。

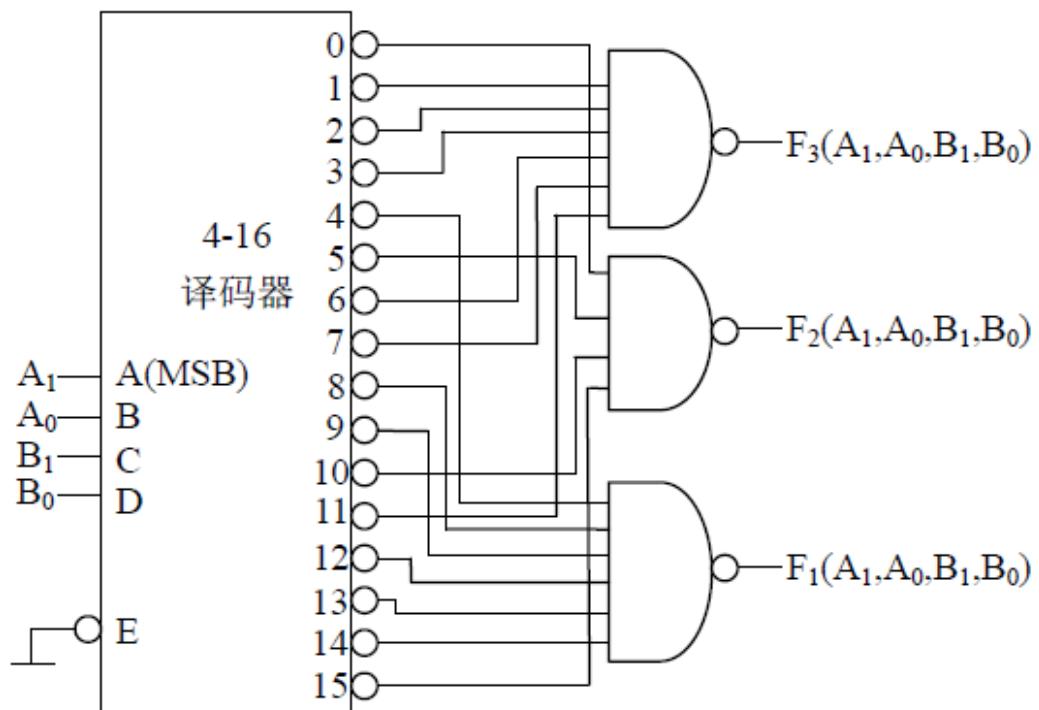
20.设某10位DA变换器的参考电压是5.12V,则其电压分辨率为 $\Delta V=$ ____mV。

21.在你所学的AD转换器中，转换速度最快的是_____。

22.某存储器的容量为 1024×8 位，则该存储器的地址线有____位。

二. (共14分)试分析图题二所示电路的功能。要求：

- (1)写出该电路各输出 $F_1(A_1, A_0, B_1, B_0)$ 、 $F_2(A_1, A_0, B_1, B_0)$ 和 $F_3(A_1, A_0, B_1, B_0)$ 的最
小项之和式（写成 $\sum m(\dots)$ 的形式）；
- (2)将输出函数 $F_1(A_1, A_0, B_1, B_0)$ 化简为最简“与或”式；
- (3)将输出函数 $F_3(A_1, A_0, B_1, B_0)$ 化简为最简“或与”式；
- (4)写出该电路的真值表（直接填写表题二）；
- (5)判断该组合电路的逻辑功能。



表题二

三. (共16分) 试设计一个一位全减器。输入提供0、1、原变量和反变量。设该全减器的输入为被减数A，减数B，低位借位C；输出为向高位的借位X，本位差Y。要求：

列出该电路的真值表（直接填写表题三）

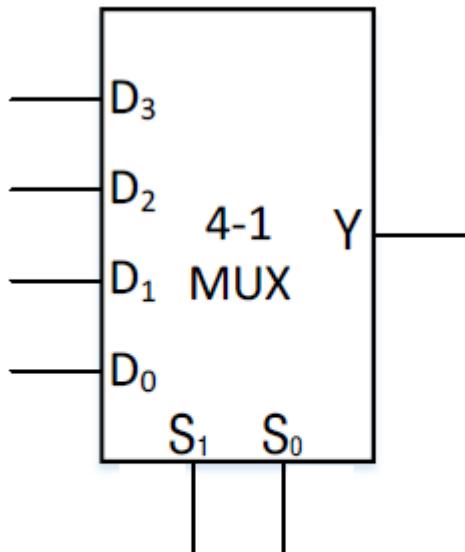
写出输出函数X、Y的最小项之和式

用与非门实现借位输出X（必须有设计过程）：

用异或门实现本位差Y（必须有设计过程）

用四选一实现X（必须有设计过程。结果可直接画在图题三上）

表题三 全减器真值表



图题三

四. (10分) 用米里型同步状态机实现一个不可重叠的“1001”序列检测器。检测过程如下：

输入: 011100010011001010010010010

输出: 000000000010001000010000010

要求：

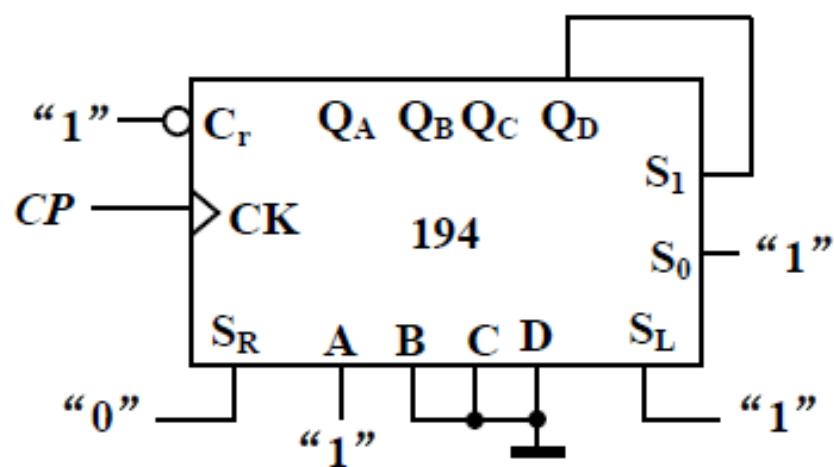
1. 建立原始状态图
 2. 若原始状态图不是最简, 请化简成最简状态图

五. 由74LS194构成的时序逻辑电路如图题五-1所示, 其功能表如表题五所示。

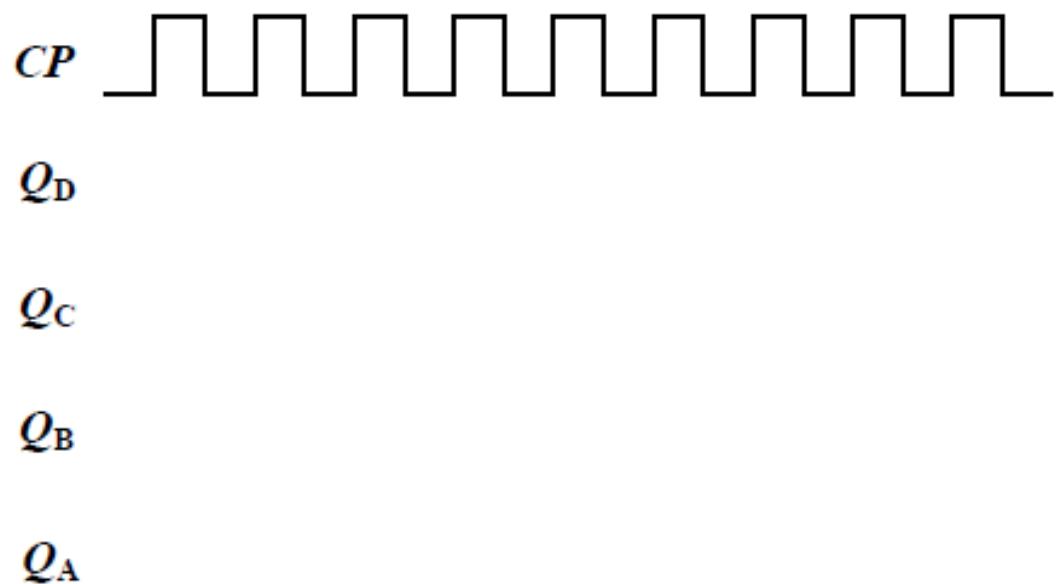
试分析该电路。要求：

1. 画出主循环的状态转换图(要有分析过程)。
 2. 画出 CP , O_p , O_c , O_b , O_A 各点的时序图(直接画在试卷上)

3. 这是一个什么电路?
 4. 这个电路能否自启动? 为什么?



图题五-1



表题五 74LS194 的功能表 (FAIRCHILD SEMI)

CLR	S ₁	S ₀	CP	Inputs		Parallel				Outputs			
				D _{SL}	D _{SR}	A	B	C	D	Q _A	Q _B	Q _C	Q _D
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
H	H	H	↑	X	X	a	b	c	d	a	b	c	d
H	L	H	↑	X	H	X	X	X	X	H	Q _{An}	Q _{Bn}	Q _{Cn}
H	L	H	↑	X	L	X	X	X	X	L	Q _{An}	Q _{Bn}	Q _{Cn}
H	H	L	↑	H	X	X	X	X	X	Q _{Bn}	Q _{Cn}	Q _{Dn}	H
H	H	L	↑	L	X	X	X	X	X	Q _{Bn}	Q _{Cn}	Q _{Dn}	L
H	L	L	X	X	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}

六. 试用下降沿触发的 JK 触发器设计一个同步 6 进制加法计数器(Q_0 为计数输出的最低有效位), 要求所有无效状态在一个时钟周期以后均进入初始状态 0。要求:

- (1) 导出时序电路的输出方程和驱动方程(需要写出必要的设计过程);
- (2) 画出完整的状态转换图
- (3) 画出时钟信号与该电路各状态信号的时序波形图, 并说明电路的哪些状态输出端可以用于分频, 并且是几分频。