

北京理工大学 2010-2011 学年第二学期
2008 级数字电路期末试题 A 卷

班级_____

学号_____

姓名_____

成绩_____

一、填空题 (每空 2 分)

1. $(870.6875)_{10} = (\underline{\hspace{2cm}})_{16}$.

2. $(10011011, 1001)_2 = (\underline{\hspace{2cm}})_{10}$.

3. $(0001, 1010, 1001)_{1000} + (1011, 1010, 1100)_{1000} = (\underline{\hspace{2cm}})_{1000}$.

4. $(10101)_8 = (\underline{\hspace{2cm}})_2$.

5. 设二进制数系统的位数 $n=8$, 则 $(35)_8$ 的二进制补码表示是 _____.

6. 3 位二进制减法计数器的次高位所输出的信号序列 (一个周期) 为 _____.

7. 信息码字“1000011”的偶校验位是 _____.

8. 米里型状态机的特点是 _____.

9. 若 $F(A, B, C, D) = \sum m(0, 2, 4, 5, 9, 10, 12, 15)$,

则 $\bar{F}(A, B, C, D) = \prod M(\underline{\hspace{2cm}})$.

10. 采用异步置位法所构成的任意模减法计数器, 其输出信号中 _____ (一定/可能) 会有“毛刺”出现.

二、分析题

1. 用隐含表法化简“表题 1”所示状态转换表. (8 分)

要求: (1) 画出隐含表; (3 分)

(2) 指出等价状态及理由; (3 分)

(3) 画出最简状态转换表. (2 分)

表题 1 状态转换表

S^n	X	0	1
S_0	$S_1/0$	$S_0/1$	
S_1	$S_2/0$	$S_0/0$	
S_2	$S_2/0$	$S_1/0$	
S_3	$S_4/0$	$S_3/1$	
S_4	$S_2/0$	$S_3/0$	
			S^{n+1}/Z

2. 某同步时序电路有一个输入端 X 和一个输出端 Z 。当此电路检测到输入端 X 出现“01”序列时, 电路的输出端将置位成 $Z=1$ 。在此之后, 输出端只能被一个“00”输入序列所复位。在所有其它情况下, $Z=0$ 。例如:

$$X = 010100100$$

$$Z = 011110110$$

试建立这个同步时序电路的米里型原始状态转换图。(7 分)

要求: (1) 状态设置及简略说明; (3 分)

(2) 画出原始状态图; (3 分)

(3) 是否是最简状态图。(1 分)

三. 某函数发生器的功能表如表题 3 所示。试用图题 3 所给 8-1 数据选择器（A 为选择输入端的高位）实现之。（16 分）

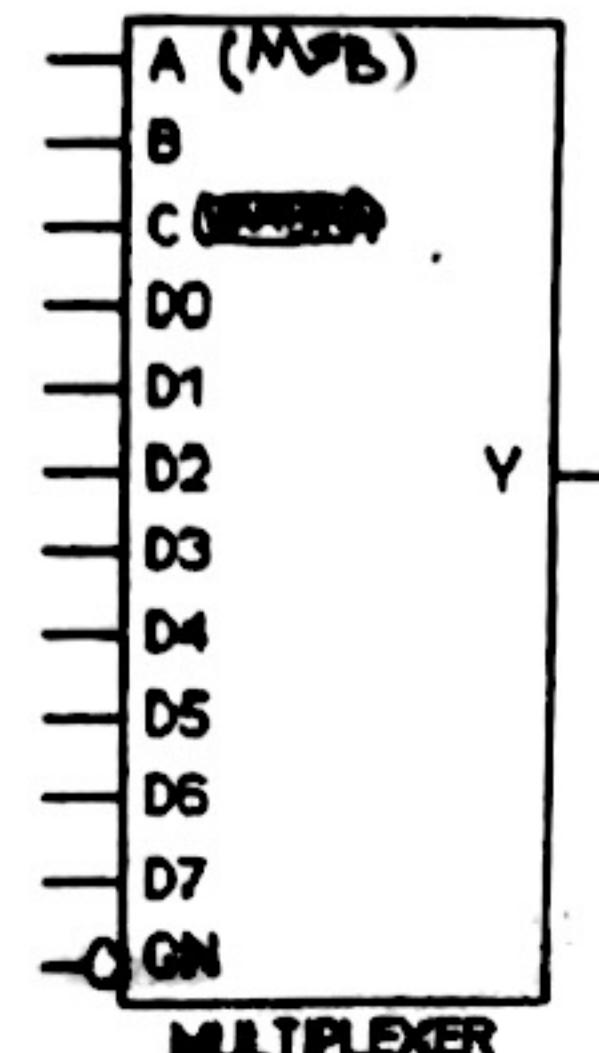
要求：

(1) 从功能表写出逻辑函数的最小项之和表达式：(6 分)

(2) 在 8-1 数据选择器上实现该函数 (注：①要写出必要的设计步骤；②按照功能表给出的顺序 S_1, S_0, A, B ，依次放在选择输入端和数据输入端， S_1 放最高位)。(10 分)

表题 3

S_1	S_0	Y
0	0	AB
0	1	$A+B$
1	0	$A \oplus B$
1	1	\bar{A}

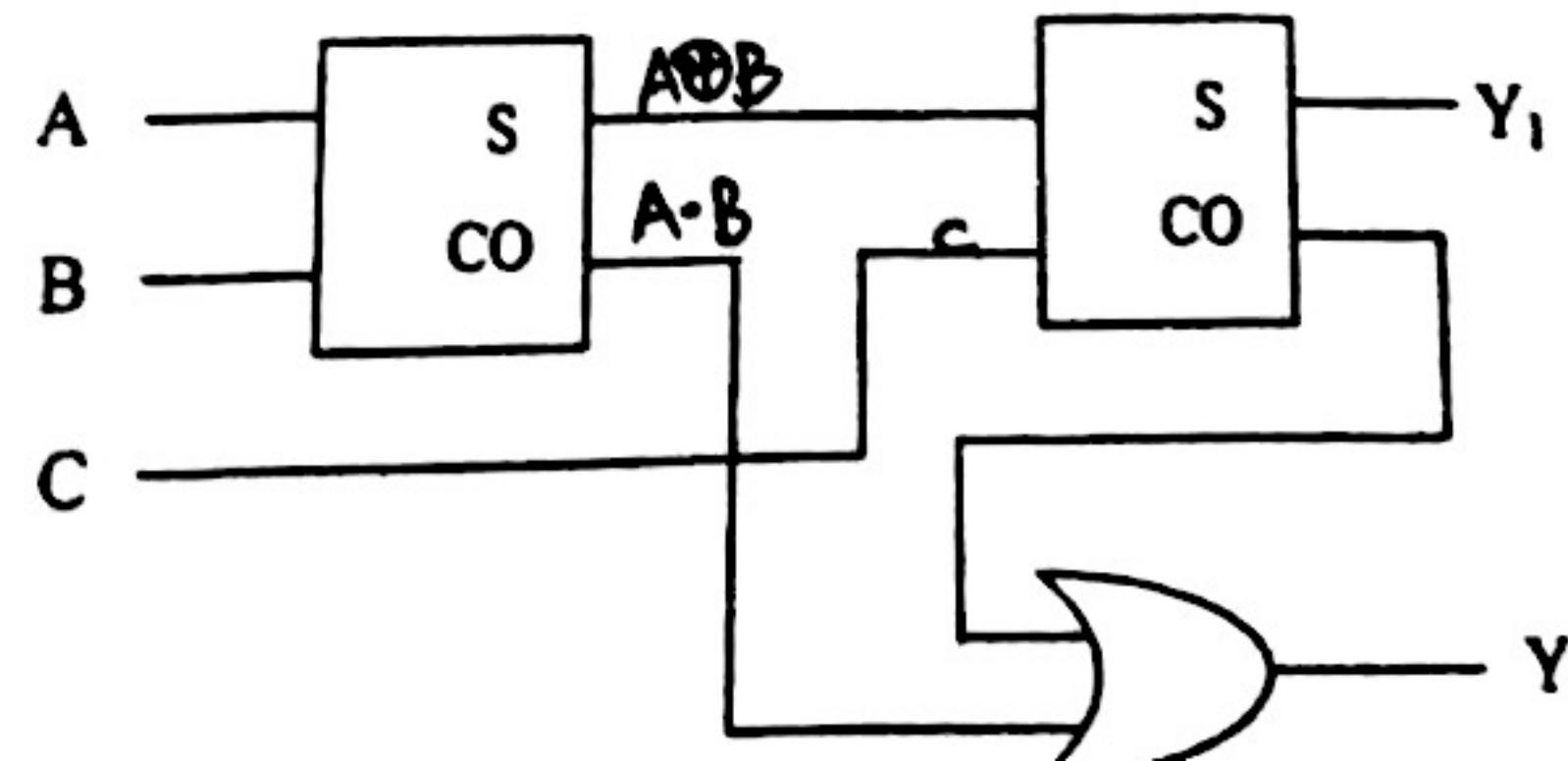


$$\textcircled{1} \quad Y = \bar{S}_1 \bar{S}_0 AB + \bar{S}_1 S_0 (A+B) + S_1 \bar{S}_0 A \oplus B \\ + S_1 S_0 \bar{A}$$

图 3

四. 由半加器组成的逻辑电路如图题 4 所示, 其中 A、B、C 为输入变量, y_1 和 y_2 是输出, (半加器的 S 端为本位和, CO 端是进位输出端)。试分析该电路的逻辑功能。(14 分)

- 要求:
- (1) 写出输出端逻辑函数表达式并化简; (6 分)
 - (2) 根据最简逻辑函数表达式列真值表; (4 分)
 - (3) 分析该逻辑电路的功能。 (4 分)



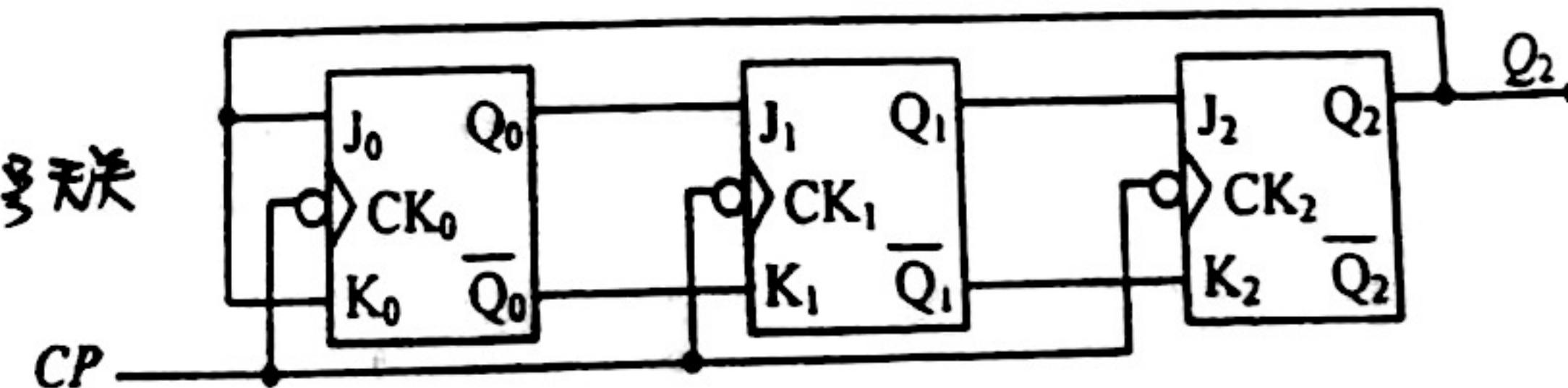
五. 分析图题 5-1 所示的同步状态机。 (18 分)

要求回答以下问题：

- (1) 这是一个什么类型的状态机？为什么？ (2 分)
- (2) 写出各级触发器的 状态方程，说明这是一个什么类型的计数器？为什么？ (5 分)
- (3) 画出 主循环的状态转换图： (5 分)
- (4) Q_2 端输出的是什么序列？它有什么特点？ (4 分)
- (5) 在图题 5-2 中画出该电路各信号的时序波形图 (波形直接画在试卷上)。 (2 分)

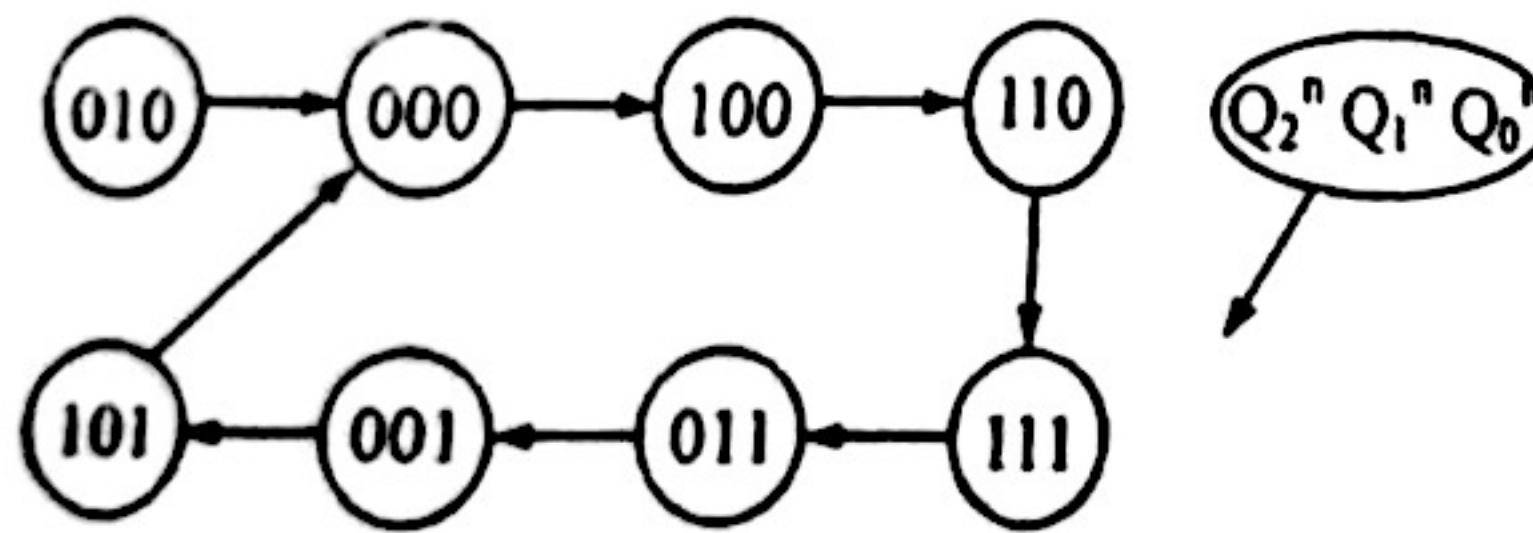
解：① 摩尔型状态机。

因为输出与输入同步
T2B是现态函数

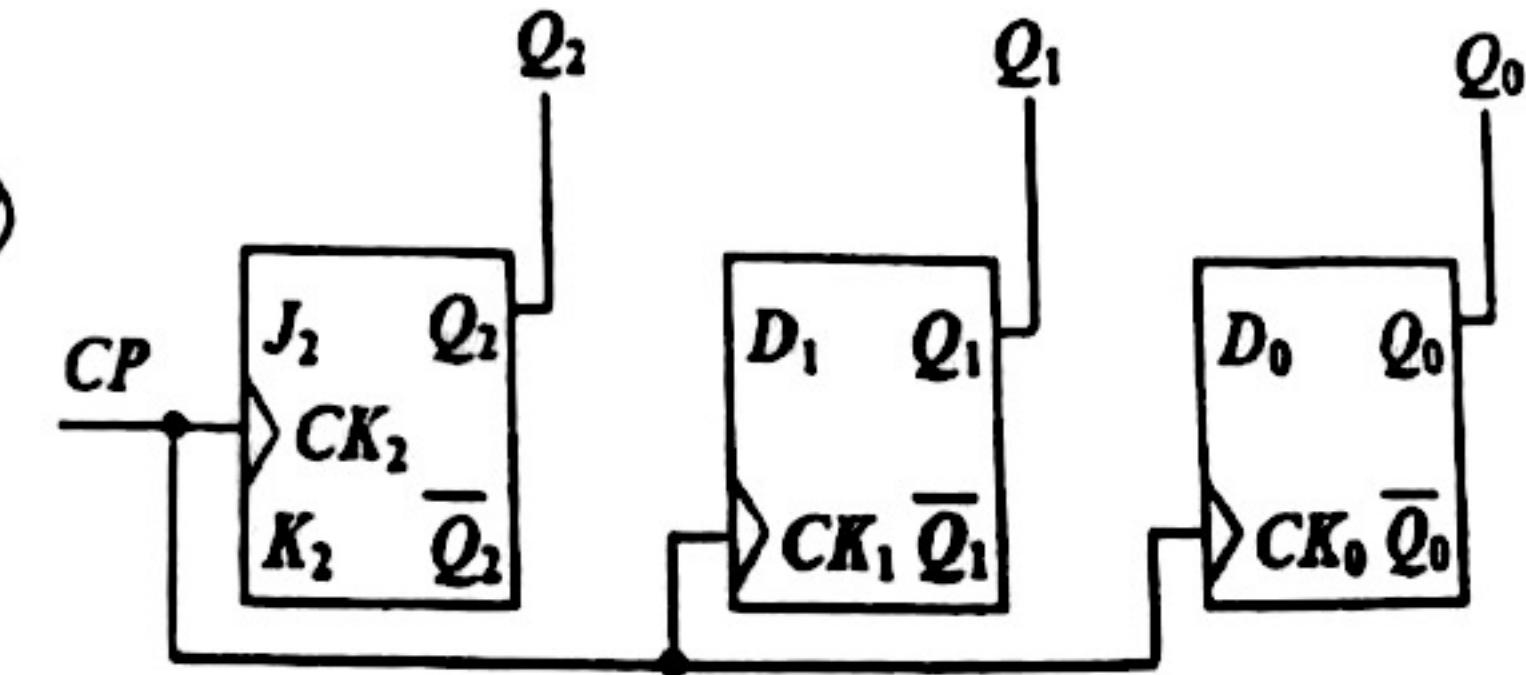


六. 欲用图题 6-1 所示之电路构成一个状态图如图题 6-2 所示的状态机, 试完成之。 (17 分)
要求:

- (1) 导出时序电路的驱动方程(需要写出必要的设计过程); (10 分)
- (2) 分别写出 Q_2 、 Q_1 、 Q_0 端的输出序列 (只写出一个周期); (3 分)
- (3) 画出该电路的时序波形图, 并说明电路的哪些输出端可以用于分频, 并且是几分频。 (4 分)



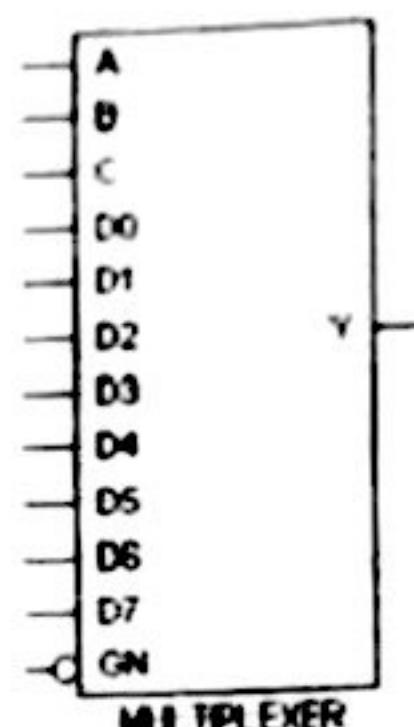
图题 6-2



图题 6-1

逻辑函数 F 的反函数为 $\bar{F} = \overline{ABD} \cdot \overline{(A+B)} \cdot \overline{(C+D)}$ 。试用且仅使用两个输入端子 (即两个输入提供反变量) 实现 \bar{F} (写出过程)。(15 分)

四 图题四所示为 8:1 多路选择器 (A, B, C 为选择输入端, A 为高位; GN 为允许端, 低有效), 试用其实现逻辑函数 $F(A, B, C)$, 该函数为: 输入变量 “1”的个数多于 “0”的个数时, 输出为 “1”, 否则输出为 “0”, 可在图上直接连线, 但必须写出过程 (真值表、表达式)。(15 分)



图题四

五. 试用上升沿触发的 D 触发器设计一个序列信号发生器, 按移存型设计, 其输出序列为 101001。(20 分)

要求:

(1) 导出时序电路的输出方程和驱动方程(需要写清楚必要的设计过程)。(6 分)

(2) 画出完整的状态转换图。(6 分)

(3) 画出该电路的逻辑图。(4 分)

(4) 画出该电路的时序波形图, 并说明电路的哪些输出端可以用于分频, 并且是几分频。(4 分)

六、由 74161 构成的同步计数器如图 6-1 所示，表 6-1 是 74161 的功能表。试分析该电路的逻辑功能。(15 分)

要求：

- (1) 列出电路的状态转换表(需要写清楚必要的分析过程) (5 分)
- (2) 画出计数器的完整状态转换图(画在试卷上)； (4 分)
- (3) 在图 6-2 中画出该电路的时序波形图，并说明电路中各输出端的波形有什么特点； (4 分)
- (4) 指出电路的功能。 (2 分)

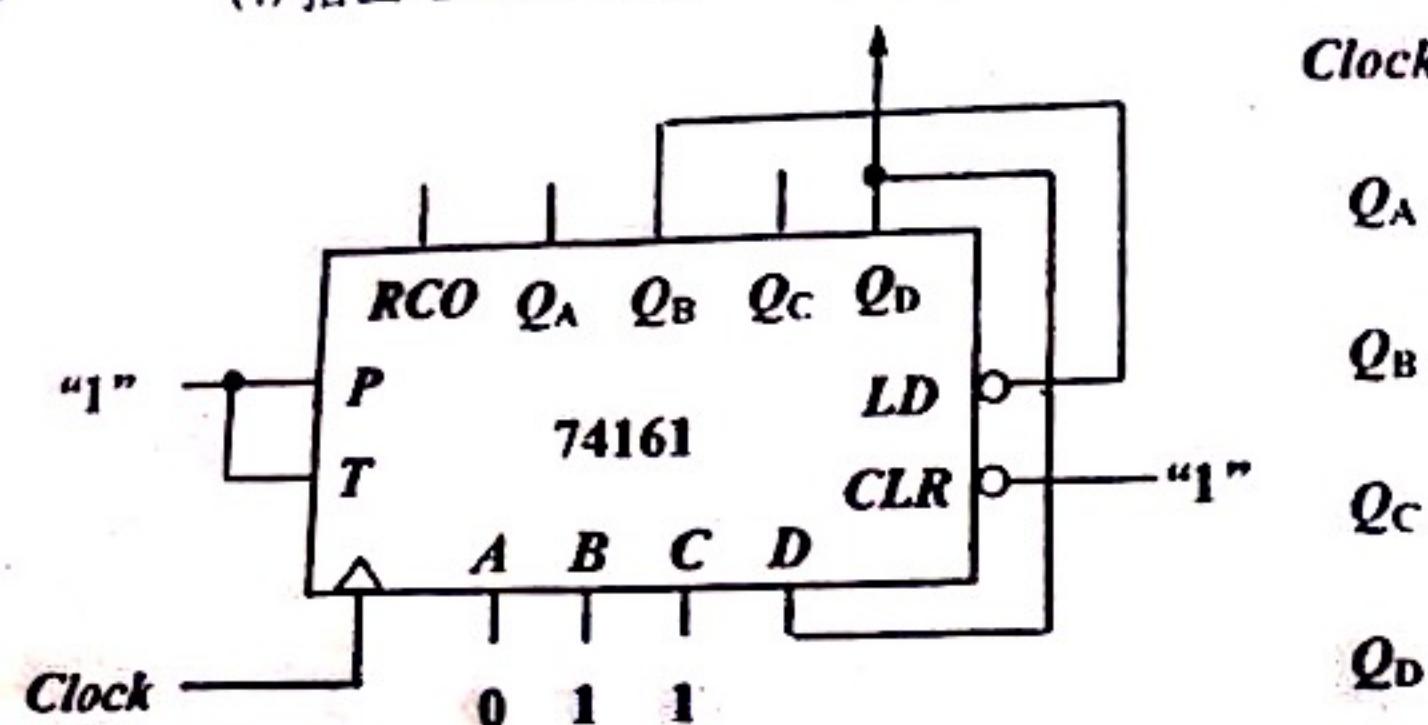


图 6-1



图 6-2

表 6-1 74161 功能表

N_0	清除 CLR	预置 LD	计数允许 P T	时钟 CK	功 能
1	0	×	× ×	×	异步清 0
2	1	0	× ×	↑	同步置数
3	1	1	1 1	↑	同步计数
4	1	1	0 1	×	保持
5	1	1	× 0	×	保持 $RCO=0$