

2011 级电子信息类计算机原理与应用试卷 (B)

班级 _____ 学号 _____ 姓名 _____ 成绩 _____

题号:	一	二	三	四 (1)	四 (2)	四 (3)	四 (4)
得分:							

一、 简要回答问题: (每小题 5 分, 共 20 分)

1. 系统总线

2. 简述 DMA 方式的特点, DMA 传输的握手联络经过哪几个阶段?

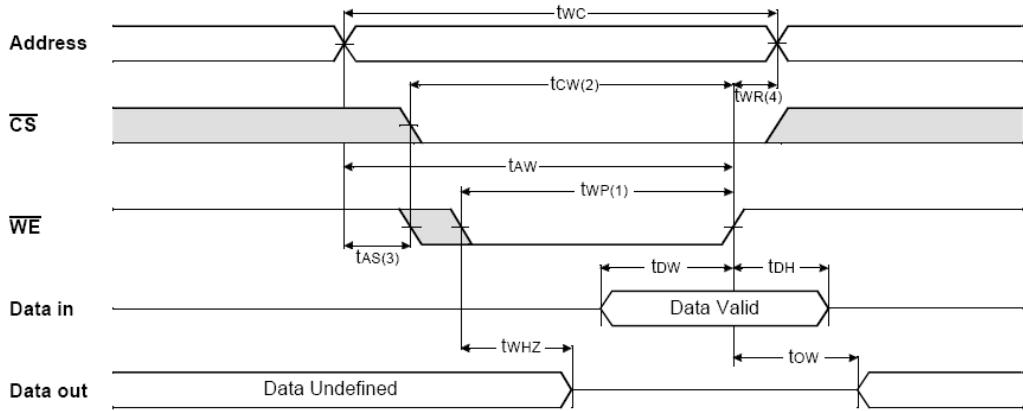
答: DMA 方式的特点是 DMA 控制器在获得总线控制权后, 能够控制系统总线, 用硬件逻辑电路产生地址和读写信号, 不需要 CPU 执行输入输出指令来控制数据交换。

DMA 传输的握手联络经过以下 4 个阶段: (1) 当外设要求以 DMA 方式为它服务时, 发 DMA 请求信号 DREQ 到 DMAC; (2) DMAC 检查该信号是否被屏蔽及其优先权, 如确认该信号有效则向 CPU 发送总线请求信号 HRQ(连到 CPU 的 HOLD); (3) CPU 检测 HOLD, 如为高电平, 则响应 HOLD 请求进入保持态, 使三态总线 CPU 侧呈高阻状态, 并以总线保持响应信号 HLDA 通知 DMAC; (4) DMAC 接管总线, 并以 DACK 信号通知外设, 使之成为 DMA 传送时被选中的设备。

3. 简述中断响应过程。

答: (1) 中断检测; CPU 在每条指令执行的最后一个时钟周期检测是否有中断请求; (2) 获取中断类型码; (3) 保护断点; 系统自动将标志寄存器压入堆栈, 清除 TF 和 IF, 并将断点处的 CS 和 IP 压入堆栈; (4) 得到中断向量; (5) 中断服务处理; (6) 中断返回。

4. 画出静态存储器 (SRAM) 的写操作时序示意图，包括地址线 Addr、写信号 WE#和数据线 Data。



二、填空题：（每空 1 分，共 20 分）

1. 80386 CPU 内部由指令预取部件(IPU)、指令译码部件(IDU)、执行部件(EU)、分段部件(SU)、分页部件(PU)和总线接口部件(BIU)组成。
2. 微处理器中标志寄存器中 IF、ZF 标志位的含义分别是：IF _____、ZF _____。
3. 设异步串行通信协议为：波特率=4800BPS，数据位 7 位，奇校验，停止位 1 位，则每秒钟最多传输的字符个数是_____。
4. 2K×8 的 SRAM 芯片数据引线的条数是_____, 地址引线的条数是_____.
5. 动态存储器是基于_____原理存储信息的，为保证其存储数据不丢失，需要定期对其_____。
6. CALL 指令执行时向堆栈中入栈 3 个字数据，分别是_____，_____和_____。

7. 8086 CPU 可以访问的 I/O 端口数量是_____, 它使用的 I/O 端口指令包括: 输入_____, 输出_____。
8. 某 8086 系统中采用 8259 管理中断, 其中断向量寄存器 ICW2 初始化为 48H, 则当 8259 IR3 上有中断请求时, 中断类型码为_____。

三、单项选择题 (将正确的序号填在括号内, 每小题 2 分, 共 10 分)

1. 关于 PCI 总线的描述, 错误的是 ()
 - A. PCI 支持即插即用;
 - B. PCI 的地址线与数据线是复用的;
 - C. PCI 是一个 16 位宽的总线;
 - D. PCI 是一种独立于处理器的总线标准, 可以支持多种处理器
2. 80386 微处理器外部数据总线为 D₀~D₃₁, 地址总线为 A₂~A₃₁, 字节允许信号 BE₀#~BE₃#, 则其可直接访问的存储空间是 () 字节。
 - A. 1M;
 - B. 4M;
 - C. 1G;
 - D. 4G
3. EEPROM 是 () 存储器。
 - A. 随机存储器;
 - B. 动态存储器;
 - C. 电可擦写存储器;
 - D. 掩膜存储器
4. 80386 CPU 工作在虚拟 8086 方式时, 每个任务的寻址空间是 ()。
 - A. 64KB;
 - B. 1MB;
 - C. 64MB;
 - D. 64TB;
5. 8253 可编程定时器编程为二进制计数方式, 其计数值最大时计数初值应为: ()
 - A. FFFF H
 - B. 9999 H
 - C. 9999
 - D. 0000

四、综合题

1. 某系统中使用 8253 作为定时器, 端口地址为 280H, 外部提供时钟频

率 $f=1\text{MHz}$, 要求产生 1 0 毫秒的时间延迟信号。编写初始化 8253 的汇编程序段。 (5 分)

2. 利用 8250A 异步通信接口实现双机通信, 数据传输率为 9600 bit/s, 波特率因子为 000CH, 偶校验, 2 位停止位, 7 位数据位, 串行通信的端口地址为 3F8H。要求:

- ✓ 编写完整的发送程序, 将存储在缓冲区 BUFFER 中的 1000 个数据采用, 查询方式; (10 分)
- ✓ 若发出数据为 5DH, 请画出该帧数据格式 (5 分)

3. 存储子空间设计。对于 CPU 为 8086 的 PC 机, 采用 62256 (32KB) 做 RAM, 地址为 A0000H-AFFFFH, 读写信号 MEMR, MEMW;。要求:

- ✓ 请分析需要几片 6264。 (3 分)
- ✓ 画出存储系统的结构框图; (5 分)
- ✓ 用文字简单解释原理。 (2 分)

4. 采用并行接口芯片 8255A 实现 4X4 十六进制数字键盘, 输入显示在一个七段码上, 设 8255A 的地址为 280H, 七段码的地址为 220H。要求:

- ✓ 画出数字键盘原理图 (含显示); (8 分)
- ✓ 画出七段码的片选地址译码图; (5 分)
- ✓ 编写在七段码上显示数字的程序段。 (7 分)