

## 2005 级电子类数字电路期末试题 A 卷

班级 \_\_\_\_\_ 学号 \_\_\_\_\_ 姓名 \_\_\_\_\_ 成绩 \_\_\_\_\_

题号	第一题	第二题	第三题	第四题	第五题	第六题	总分
得分							

注意事项： 1. 答题内容一律写在试卷上，否则无效！！！

2. 试卷背面可用作草稿纸，不再另发。

## 一、填空（共 30 分）：

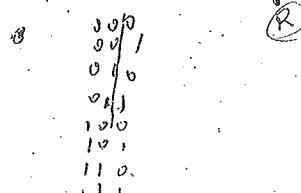
(以下每空 1 分)

1.  $(0.375)_{10} = (0.011)_2 = (0.3)_8 = (0.6)_{16}$  二进制化
2.  $(625)_{10} = (11000100)_2 = (1100 0010)_8 = (1100 0101)_16$  BCD
3. 某系统使用偶校验，则发送字符‘B’(42H)时，发送码 P1000010 中的 P= 0。
4. 如果  $F = AB + \overline{CD}$ ，则  $F$  的对偶  $\bar{F} = (\overline{A} + \overline{B})(\overline{C} + \overline{D})$ ， $F$  的反函数  $\bar{F} = \overline{AB \cdot CD}$ 。 $\overline{AB + \overline{CD}}$   $\overline{AB \cdot CD}$   $\overline{AB}$

5. 设某 A/D 转换器的最大输入电压为 1.000 V，要求其分辨率要优于 1mV。则 A/D 转换器的数字输出位数应为 10。如果该转换器的输出数字量为 (512)<sub>10</sub>，则其对应的输入电压为 0.512 V。式是 0.5V

(以下每空 2 分)

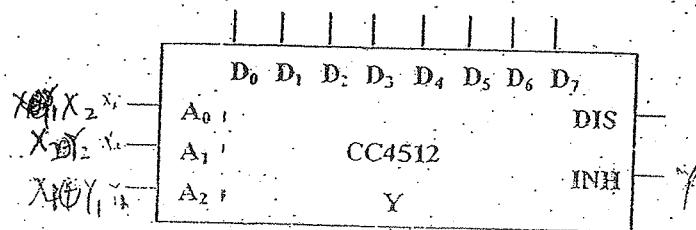
6. 米里型状态机与摩尔型状态机的差别在于他们的 输出 函数。
7. CMOS 门电路的电源电压  $V_{DD} = 15V$ ，则它的  $U_{L(max)} = \underline{\quad} V$ ， $U_{TH} = \underline{\quad} V$ 。
8. 在多变量“同或”运算中，若 两个输入数相等，则运算结果为 1；若 两个输入数不等，则运算结果为 0。
9. 3 位二进制加法计数器的次高位所输出的信号序列（一个周期）为 001，最低有效位所输出的信号序列（一个周期）为 0。
10. 4 位 m 序列信号发生器所产生的 m 序列长度为 15。2^4 - 1
11. 同变量的最小项和最大项的关系是 互为补数。
12. 采用异步复位法所构成的任意模加法计数器，其输出信号中 可能会有“毛刺”出现。一定



- 二. 已知  $X = X_1X_2$ ,  $Y = Y_1Y_2$  是两个二进制的正整数, 试设计一个判断  $X > Y$  的逻辑电路, 并用多路选择器 CC4512 实现。(CC4512 的管脚图如图题二所示, 功能表如表题二所示) (20 分)
1. 电路的真值表; (8 分)
  2. 逻辑表达式; (6 分)
  3. 逻辑电路图(可在 CC4512 管脚图上直接连线)。 (6 分)

表题二 CC4512 的功能表

DIS	INH	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	Y
0	0	0	0	0	D <sub>0</sub>
0	0	0	0	1	D <sub>1</sub>
0	0	0	1	0	D <sub>2</sub>
0	0	0	1	1	D <sub>3</sub>
0	0	1	0	0	D <sub>4</sub>
0	0	1	0	1	D <sub>5</sub>
0	0	1	1	0	D <sub>6</sub>
0	0	1	1	1	D <sub>7</sub>
0	1	x	x	x	0
1	x	x	x	x	高阻



图题二

$$X_1=0 \quad Y_1=0$$

$$\begin{cases} A_1=0 \\ A_2=1 \end{cases} \quad Y=0$$

$$\begin{cases} X_1=0 \\ X_2=1 \\ X_3=1 \end{cases}$$

A<sub>2</sub>=0

Y=1

Y=0

Y=0

X<sub>1</sub>=0 X<sub>2</sub>=0

X<sub>1</sub>=1 X<sub>2</sub>=0

X<sub>1</sub>=1 X<sub>2</sub>=1

X<sub>1</sub>=0 X<sub>2</sub>=1

X<sub>1</sub>=1 X<sub>2</sub>=1

X<sub>1</sub>=1 X<sub>2</sub>=0

X<sub>1</sub>=0 X<sub>2</sub>=0

A<sub>2</sub> A<sub>1</sub> A<sub>0</sub>

0 0 0

0 0 1

0 1 0

0 1 1

1 0 0

1 0 1

1 1 0

1 1 1

Y

D<sub>0</sub>

D<sub>1</sub>

D<sub>2</sub>

D<sub>3</sub>

D<sub>4</sub>

D<sub>5</sub>

D<sub>6</sub>

D<sub>7</sub>

X<sub>1</sub> X<sub>2</sub> X<sub>3</sub>

A<sub>2</sub> A<sub>1</sub> A<sub>0</sub>

0 0 0

0 0 1

0 1 0

0 1 1

1 0 0

1 0 1

1 1 0

1 1 1

$$Y = D_0(\bar{A}_2\bar{A}_1\bar{A}_0) + D_1(A_2\bar{A}_1\bar{A}_0) + D_2(\bar{A}_2A_1\bar{A}_0)$$

$$+ D_3(A_2A_1\bar{A}_0) + D_4(A_2\bar{A}_1A_0) + D_5(A_2A_1A_0)$$

$$+ D_6(A_2\bar{A}_1\bar{A}_0) + D_7(A_2A_1A_0)$$

解

图题三为由二极管、5V电源、单掷开关S和电阻R所构成的逻辑电路，试分析当开关S依次闭合时（注：每次仅闭合一个开关），电路输出端 $Y_2$ 、 $Y_1$ 、 $Y_0$ 与开关S之间的逻辑功能。（设二极管导通时，正向管压降 $U_D \approx 0V$ ）（15分）

1. 根据正逻辑列出功能表；（8分）

2. 逻辑表达式；（4分）

3. 指出电路功能。（3分）

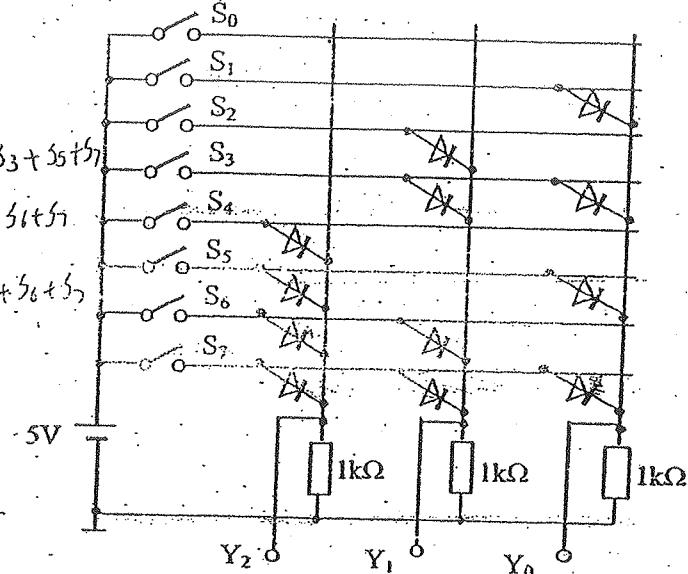
(1)	$S_0$	$S_1$	$S_2$	$S_3$	$S_4$	$S_5$	$S_6$	$S_7$	$Y_2$	$Y_1$	$Y_0$
	0	0	0	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0	0	0	0

$$(2) \quad Y_0 = S_1 + S_3 + S_5 + S_7$$

$$Y_1 = S_2 + S_3 + S_6 + S_7$$

$$Y_2 = S_4 + S_5 + S_6 + S_7$$

(3) 编码器，将输入状态  
编为三位二进制数。



图三

1.

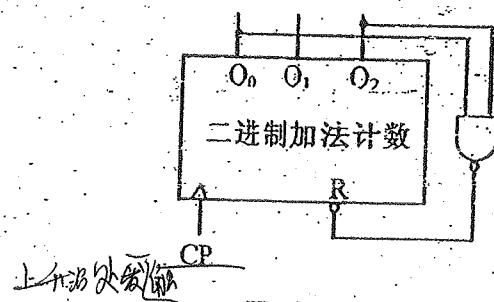
$S_0\ S_1\ S_2\ S_3\ S_4\ S_5\ S_6\ S_7$	$Y_2\ Y_1\ Y_0$
10000000	000
01000000	001
00100000	010
00010000	011
00001000	100
00000100	101
00000010	110
00000001	111

$$2. Y_2 = S_4 + S_5 + S_6 + S_7; Y_1 = S_2 + S_3 + S_6 + S_7; Y_0 = S_1 + S_3 + S_5 + S_7;$$

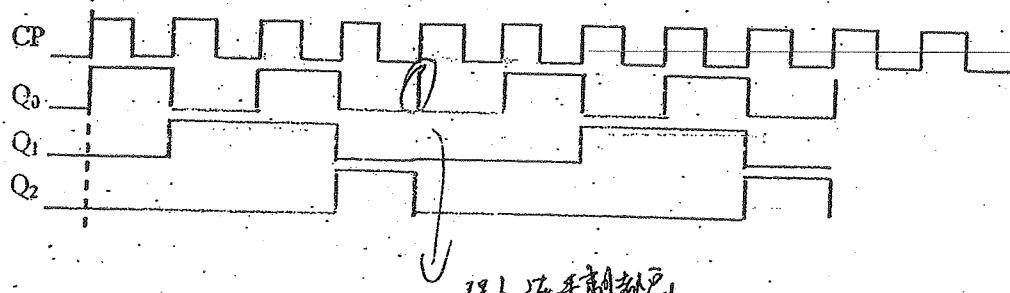
### 3.8-3 编码器

解

四. 图题四所示电路为由二进制加法计数器组成的模 M 计数器, 图中 R 为异步复位端。试问  $M=?$  并画出  $Q_2Q_1Q_0$  的同步时序图(波形图)。(10 分)



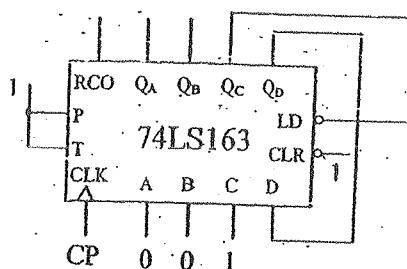
图题四



$$M=5$$

000  
001  
010  
011  
100  
101

五. 由 74LS163 组成的电路如图题五所示。画出该电路的完整状态图，并说明它是模几计数器。集成计数器 74LS163 的表示于表题五 (10 分)



图题五

表题五 74LS163 的功能表

CLK	CLR	LD	P T	功能
↑	0	X	X X	同步清 0
↑	1	0	X X	同步预置
↑	1	1	1 1	同步计数
X	1	1	0 1	保持
X	1	1	X 0	保持且 RCO=0

解:  $P=T=1$ , 计数;

$\overline{LD}=Q_C$ , 当  $Q_C=0$  时预置, 预置数为  $Q_D100$ ;

$\overline{CLR}=1$ , 不清 0

状态图:  $Q_D Q_C Q_B Q_A \rightarrow$

同步预置 这七状态是有效的

$0000 \rightarrow 0100 \rightarrow 0101 \rightarrow 0110 \rightarrow 0111 \rightarrow 1000 \rightarrow 1100 \rightarrow 1101 \rightarrow 1110 \rightarrow 1111 \rightarrow 0000$

$0001 \rightarrow 0100$ ;

$0010 \rightarrow 0100$ ;

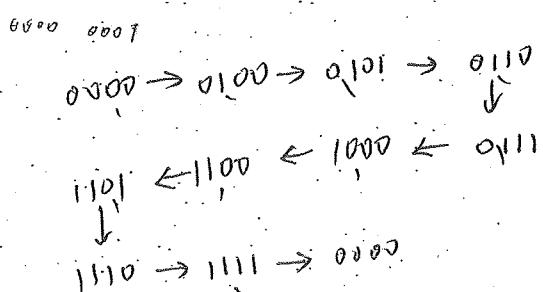
$0011 \rightarrow 0100$ ;

$1001 \rightarrow 1100$ ;

$1010 \rightarrow 1100$ ;

$1011 \rightarrow 1100$ ;

$M=10$



像 10

2K x 8 ROM

寻址 与线 2<sup>11</sup>  
位线 或线 8

地址 11 根  
数据 8 根

六. 试用上升沿触发的 D 触发器设计一个能自启动的移存型序列信号发生器，其输出序列为：1110010。 (15 分)

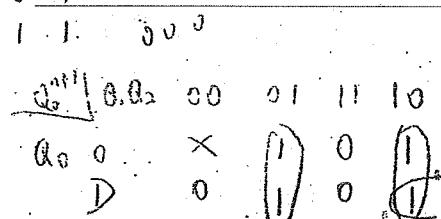
解：1. 移存型，只需设计第一级。

2. 序列长  $L=7$ ，需 3 级触发器

3. 状态顺序表：

$Q_2$	$Q_1$	$Q_0$
1	1	1
1	1	0
1	0	0
0	0	1
0	1	0
1	0	1
0	1	1

$Q_2 \quad Q_1 \quad Q_0$   
 1 1 1  
 1 1 0  
 1 0 0  
 0 0 1  
 0 1 0  
 1 0 1  
 0 1 1  
 $L=7$  3 级



4. 无重复，可用

5. 次态方程

$Q_0^{n+1}$	$Q_0^n$			$Q_2$
x	0	1	1	$Q_1$
1	1	0	0	1

$$\bar{Q}_1 \bar{Q}_2 + Q_1 \bar{Q}_2 \oplus$$

$$Q_0^{n+1} = Q_1^n \oplus Q_2^n$$

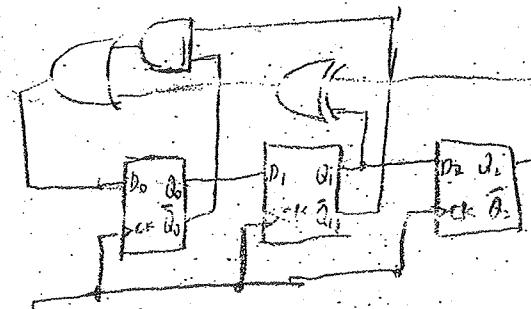
$$Q_0^{n+1} = Q_2 \oplus Q_1$$

不能自启动，加一项

$$Q_0^{n+1} = Q_2 \oplus Q_1 + \bar{Q}_1 \bar{Q}_0$$

$$6. D_0 = Q_0^{n+1}$$

7. 逻辑图



用其它触发器!!!

$$BD + BC + \bar{A}\bar{B}\bar{C}B + \bar{A}\bar{C}D$$

课程编号: C014004 42

北京理工大学 2007-2008 学年第二学期

$C_1$	$C_0$	$D_1$	$D_0$
0	0	0	0
0	1	1	0
1	1	0	X
X	0	0	0
X	1	1	1

1.  $A\bar{B}D + \bar{A}\bar{B}\bar{D}$  ~  
 $+ \bar{B}CD + (A\cdot\bar{B}+C)\cdot(B+\bar{D})$  2006 级数字电子技术基础 A 试题 (A 卷)

$$\begin{aligned} &= A\bar{B}D + \bar{A}\bar{B}CD \\ &= AB\bar{D} + \bar{A}\bar{B}D + \bar{A}\bar{B}\bar{C}(B+\bar{D}) \\ &= A\bar{B}D + \bar{A}\bar{B}D + (\bar{A}+\bar{B})\bar{C}(B+\bar{D}) \\ &= \cancel{A\bar{B}D} + \bar{A}\bar{B}D + \cancel{\bar{A}\bar{B}\bar{C}} + \cancel{A\bar{C}D} + \cancel{B\bar{C}D} \\ &= \bar{B}D + \bar{B}\bar{C} + (\bar{A}+\bar{B})\bar{C}(B+\bar{D}) \end{aligned}$$

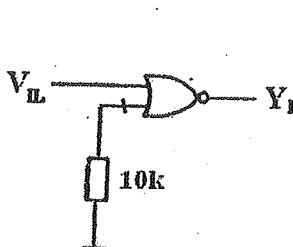
(10 分) 将下列各式化简为最简与或式, 方法不限。

$$1. Y_1 = A \cdot \bar{B} \cdot D + \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot D + \bar{B} \cdot C \cdot D + (A \cdot \bar{B} + C) \cdot (B + D) = \bar{B}D + \bar{B}\bar{C}$$

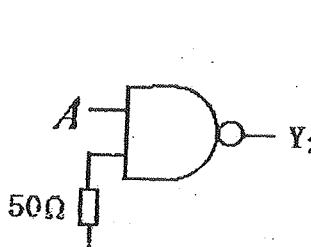
$$2. Y_2(A, B, C, D) = \sum m(3, 4, 5, 7, 9, 10, 11) \quad \text{约束条件: } \sum m(0, 1, 2, 13, 14, 15) = 0$$

## 二、综合题 (20 分)

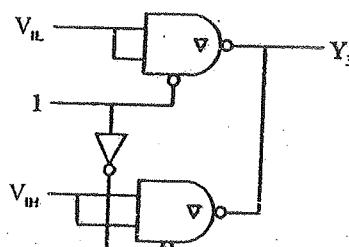
1、已知图 2 中 (1) (2) (3) 为 TTL 门电路, (4) (5) 为 CMOS 门电路, 分别写出各电路的输出状态 (0、1 或高阻) 或表达式。



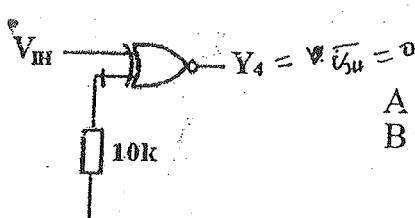
(1)



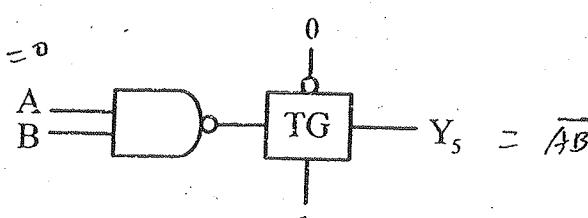
(2)



(3)



(4)



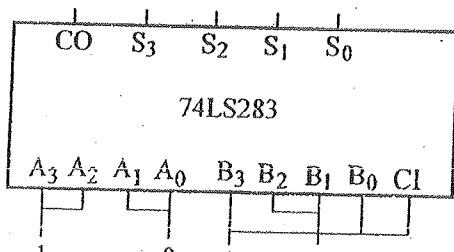
(5)

图 2-1

2. 四位并行加法器 74LS283 接法如图 2-4

所示, 输出端  $S_3S_2S_1S_0$  的状态为 0110,

进位输出端  $C_0$  的状态为 1。



11 00  
10 01  
1  
0110

图 2-2

11 00  
10 01  
1  
0110

3、一个 8 位 D/A 转换器的最小输出电压  $V_{LSB}=0.02V$ ，当输入码为 00010010 时，  
输出电压  $v_o = \underline{\quad} V$ ；

4、存储容量为  $2K \times 8$  位的随机存储器，需要 11 根地址线；若用  $1K \times 4$  位的  
RAM 来实现上述存储容量，需要 \_\_\_\_\_ 片。

三、(12 分) 写出图 3 所示电路中  $Z_1$  逻辑函数表达式，列出真值表，确定电路的  
逻辑功能。

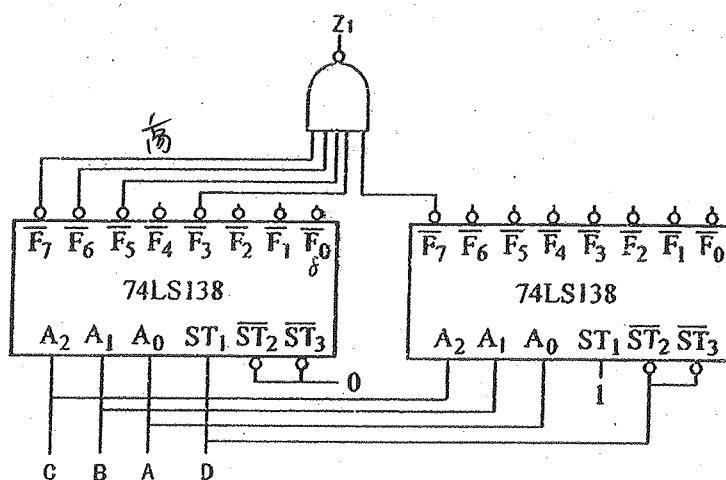


图 3

四、(12 分) 已知四位二进制加法计数器 74LS161 的功能表见表 4-1，八选一数  
据选择器 74LS151 的功能表见表 4-2。用计数器和数据选择器构成图 4 所示的电  
路。试列出在时钟脉冲 CP 作用下输出 Y 及  $Q_3 Q_2 Q_1 Q_0$  的状态转换表。

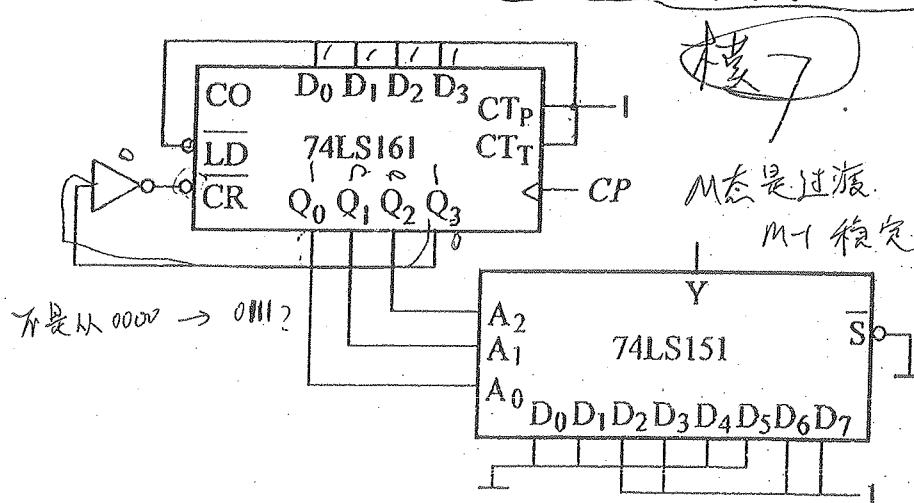


图 4

表 4-1 74LS161 的功能表

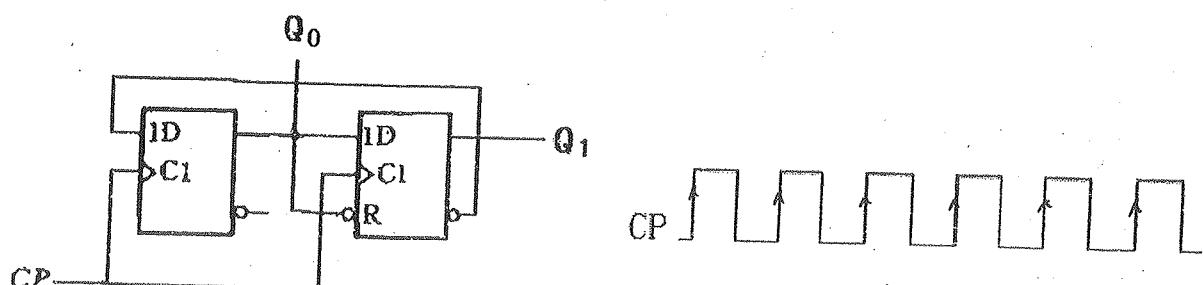
$CP$	$\bar{CR}$	$\bar{LD}$	$ET_x$	$ET_y$	工作状态	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$
X	0	X	X	X	置零	0	0	0	0	0	0	0	1
1	0	X	X		预置数	0	0	0	1	0	1	0	0
X	1	1	0	1	保持	0	1	0	0	0	1	1	1
X	1	1	X	0	保持 (但 $CO=0$ )	0	1	1	0	1	0	0	0
1	1	1	1	1	计数	1	0	0	1	1	0	0	0

其中:  $CO = CT_r \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0$

表 4-2 74LS151 的功能表

$\bar{S}$	$A_2$	$A_1$	$A_0$	$Y$
1	X	X	X	0
0	0	0	0	$D_0$
0	0	0	1	$D_1$
0	0	1	0	$D_2$
0	0	1	1	$D_3$
0	1	0	0	$D_4$
0	1	0	1	$D_5$
0	1	1	0	$D_6$
0	1	1	1	$D_7$

五 (8 分) 图 5 所示电路, 设各触发器的初始状态均为 0, 试画出  $Q_0$ 、 $Q_1$  与时钟信号 CP 的对应波形图。



$$D_0 = \overline{Q_1^n} \quad Q_0^{n+1} = D_0$$

$$D_1 = Q_0^n \quad Q_1^{n+1} = D_1$$

$$\overline{Q_1^{n+1}} = \overline{Q_0^n}$$

$$\left\{ \begin{array}{l} Q_0^{n+1} = \overline{Q_1^n} \end{array} \right.$$

六、(16分) 电路如图6所示, 其中  $R_1=2.2K\Omega$ ,  $R_2=1K\Omega$ ,  $C=0.047\mu F$ 。

- 说明555定时器构成的名称。计算输出  $V_o$  的频率  $f_o=? \Omega$
- 分析由JK触发器FF0、FF1、FF2构成时序电路的功能。要求写出驱动方程、状态方程，画出完整的状态转换图，检查电路能否自启动。

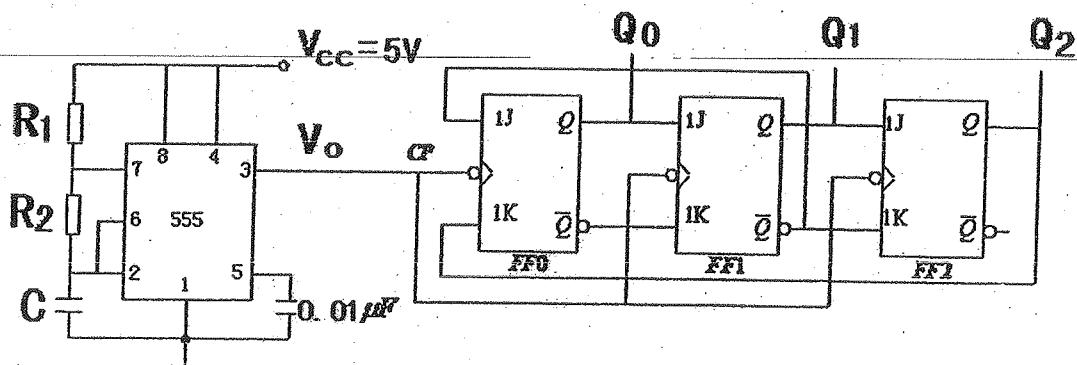
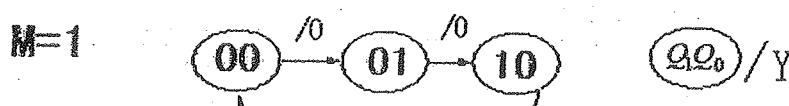


图6

七、(10分) 已知四位二进制加法计数器74LS161的功能表见表4-1所示, 用74LS161设计一个39进制计数器。

八、(12分) 用JK触发器设计一个可控进制计数器, 要求满足如图8所示的状态转换图。要求写出设计步骤, 画出逻辑电路图。

还有输出



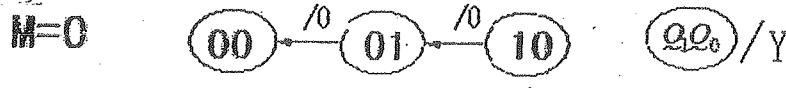
$$Q_1^{n+1} = \overline{M} Q_1 \overline{Q}_0 + M \overline{Q}_1 Q_0$$

$$Q_0^{n+1} = \overline{M} \overline{Q}_1 + Q_1 Q_0 = \overline{M} \overline{Q}_1 \overline{Q}_0 + \overline{Q}_1 Q_0$$

$$Q_1^{n+1} = \overline{J}_1 \overline{Q}_1 + \overline{K}_1 Q_1$$

$$Q_0^{n+1} = \overline{J}_0 \overline{Q}_0 + \overline{K}_0 Q_0$$

M=1时的状态转换图



$$\begin{cases} J_0 = Q_1 \\ K_0 = \overline{M} Q_1 \end{cases}$$

$$\begin{cases} J_1 = M \overline{Q}_0 \\ K_1 = M Q_0 \end{cases}$$

M=0时的状态转换图

图8

## 2007 级数字电子技术基础 A 试题 (A 卷)

注: 试题答案必须写在答题纸上, 在试卷和草稿纸上答题无效

班级 \_\_\_\_\_ 学号 \_\_\_\_\_ 姓名 \_\_\_\_\_ 成绩 \_\_\_\_\_

一、(10 分) 将下列各式化简为最简与或式, 方法不限。

$$\begin{aligned}
 1. Y_1 &= (\overline{AB} + \overline{BD})\overline{C} + B\overline{D}\overline{AC} + \overline{D}\overline{A} + \overline{B} = \overline{AB}\overline{C} + B\overline{D}\overline{C} + \cancel{\overline{B}\overline{D}\overline{C}} \\
 &= (\overline{A} + \overline{B}) + (\overline{B} + \overline{D})\overline{C} = (\overline{A} + \overline{B})(\overline{B} + \overline{D})\cdot \overline{C} = \cancel{(\overline{A} + \overline{B})(\overline{B} + \overline{D})} + C + AB + BDC = A\overline{Q} + A\overline{D} + B\overline{R} + C + B\overline{R} + BDC \\
 2. Y_2(A, B, C, D) &= \sum m(0, 2, 3, 4, 5, 6, 11, 12) + \sum \phi(8, 9, 10, 13, 14, 15) \\
 &= A + \cancel{AD} + \cancel{BD} + \cancel{C} \\
 &= A + BD + C
 \end{aligned}$$

二、综合题 (20 分)

1. 已知图 2 中 (1) (2) (3) 为 TTL 门电路, (4) (5) 为 CMOS 门电路, 分别写出各电路的输出状态 (0、1 或高阻) 或表达式。

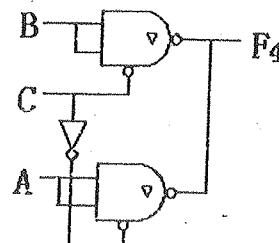
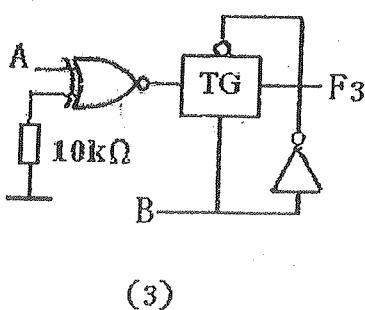
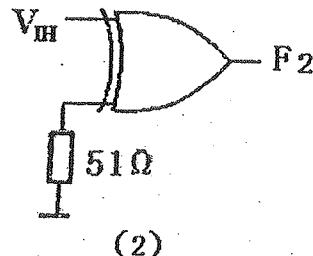
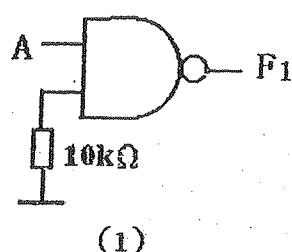


图 2-1

2. 图 2-2 所示 TTL 与非门组成的电路中, 门电路的参数为

$$V_{OH}/V_{OL} = 3.6V/0.3V, I_{OH}/I_{OL} = 0.5mA/8mA, I_{IH}/I_{IL} = 20\mu A/0.4mA,$$

$$N_{oL} = \frac{I_{OL(\max)}}{I_{OL(\min)}} = \frac{f}{0.4} = 20$$

$$N_{oH} = \frac{I_{OH(\max)}}{I_{IH}} = \frac{0.5}{20\mu A} = \frac{0.5}{20 \times 10^{-6}} = \frac{0.5 \times 10^6}{2 \times 10^{-3}} = \frac{0.5}{2 \times 10^{-3}} = \frac{0.5}{0.002} = 250$$

门 G 可以驱动 10 个相同的门。

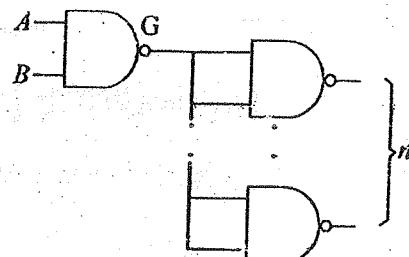


图 2-2

3. 如果要将一个最大幅值为 5.1V 的模拟信号

转换为数字信号，要求模拟信号每变化 20mV

就能使数字信号最低位发生变化，那么应选用

$$V_{max} = 5.1$$

$$\Delta V = 20 \text{ mV}$$

$$V \times 10^3 = \frac{V}{2^n - 1}$$

$$0.02 > \frac{5.1}{2^n - 1}$$

$$\frac{1}{50} > \frac{5.1}{2^n - 1}$$

$$2^n - 1 = 2^{15}$$

(14 分) 已知 3-8 线译码器 74LS138 符号

如图 3 所示，输出低电平有效，控制端

$S_1 = 1, \bar{S}_2 + \bar{S}_3 = 0$  译码器处于工作状态，否则译

码器被禁止。

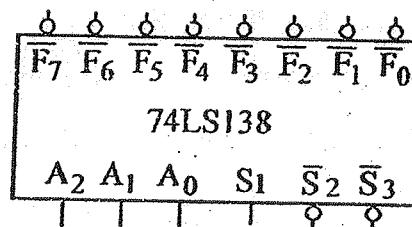


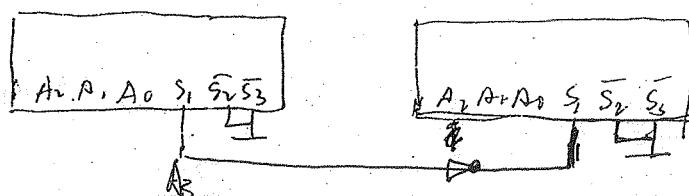
图 3

1) 将 3-8 线译码器 74LS138 扩展成 4 线-16 线译码器；

2) 用扩展后的 4 线-16 线译码器实现多输出函数：

$$F_1 = \sum m(1, 3, 5, 9)$$

$$F_2 = \sum m(5, 11, 15)$$



四、(12 分) 用与非门设计一个实现  $Y = X^2 + 5$  运算功能的电路，其中输入变量  $X$  为一个两位的二进制数，输出变量为  $Y = Y_3 Y_2 Y_1 Y_0$

要求列出真值表，画出逻辑电路图。

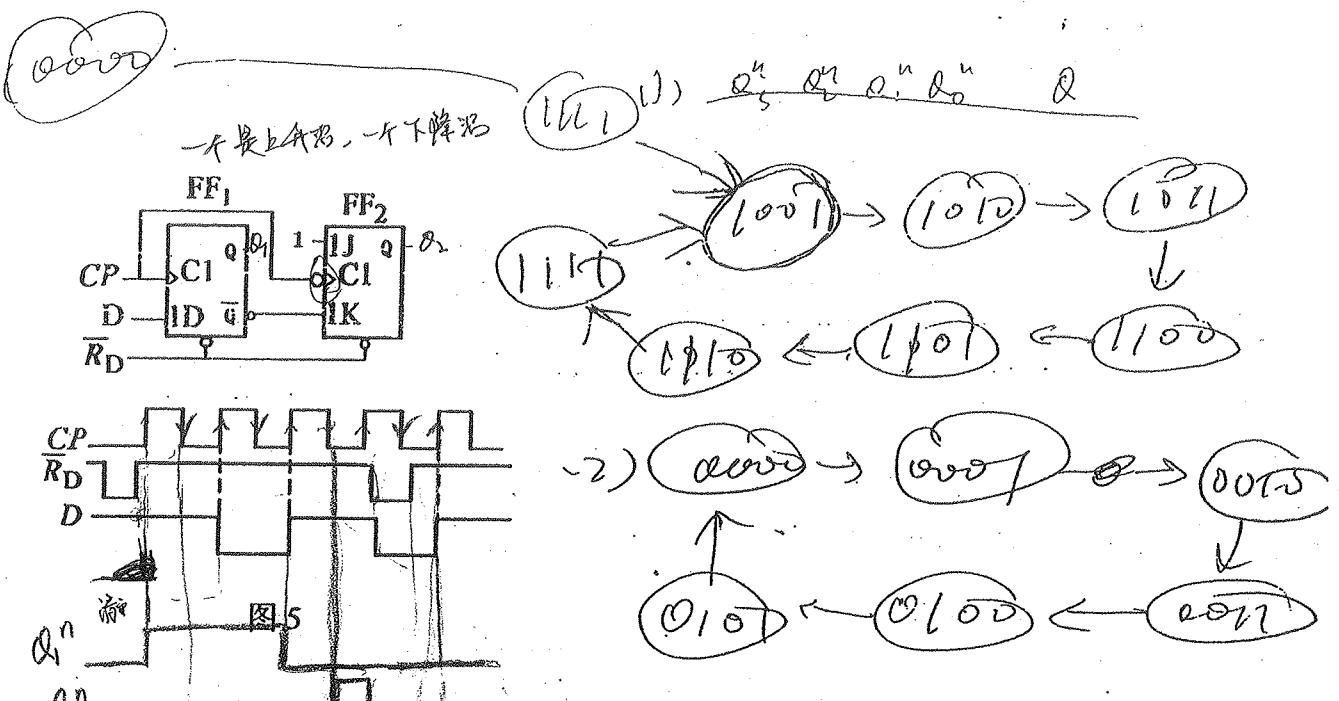
$$Y_3 = \sim$$

$$Y_2 = \sim$$

$$Y_1 = \sim$$

$$Y_0 = \sim$$

五、(10 分) 图 5 所示电路，试画出  $Q_1, Q_2$  与时钟信号 CP 的对应波形图。



六、(16分) 已知四位二进制加法计数器 74LS161 的功能表见表 6-1, 分析图 6

所示电路，1) 说明该电路为多少进制的计数器。 $5 \times 7 = 35$

2) 分别画出两片的状态转化图。

表 6-1

74LS161的功能表  
161 清零会多一个脉冲 同步

CP	CR	LD	CT <sub>p</sub>	CT <sub>s</sub>	工作状态
X	0	X	X	X	置零
且	1	0	X	X	预置数
X	1	1	0	1	保持
X	1	1	X	0	保持 (但 CO=0)
且	1	1	1	1	计数

↓  
~~1111~~ → 1001 → 1010 → 1011  
 ↑ 1111 ← 1101 ← 1100  
 ↓ 1110 ←

这个是异步级联

级联法没有 0000 状态

其中:  $CO = CT_T \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0$  (1) 式 1111 为系数 120 |

$$\text{总人数} = 1111 - 1501 = 16927$$

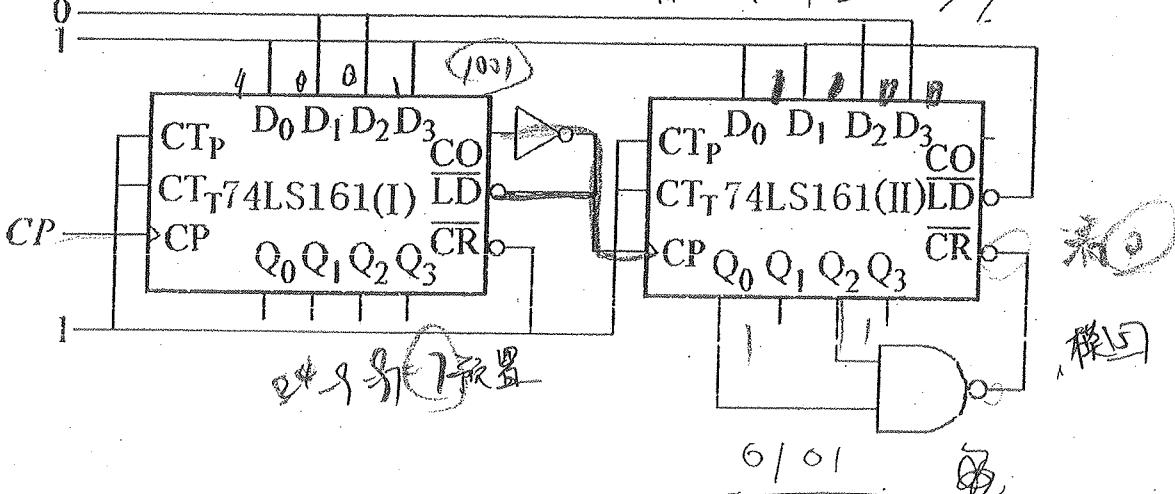


图 6

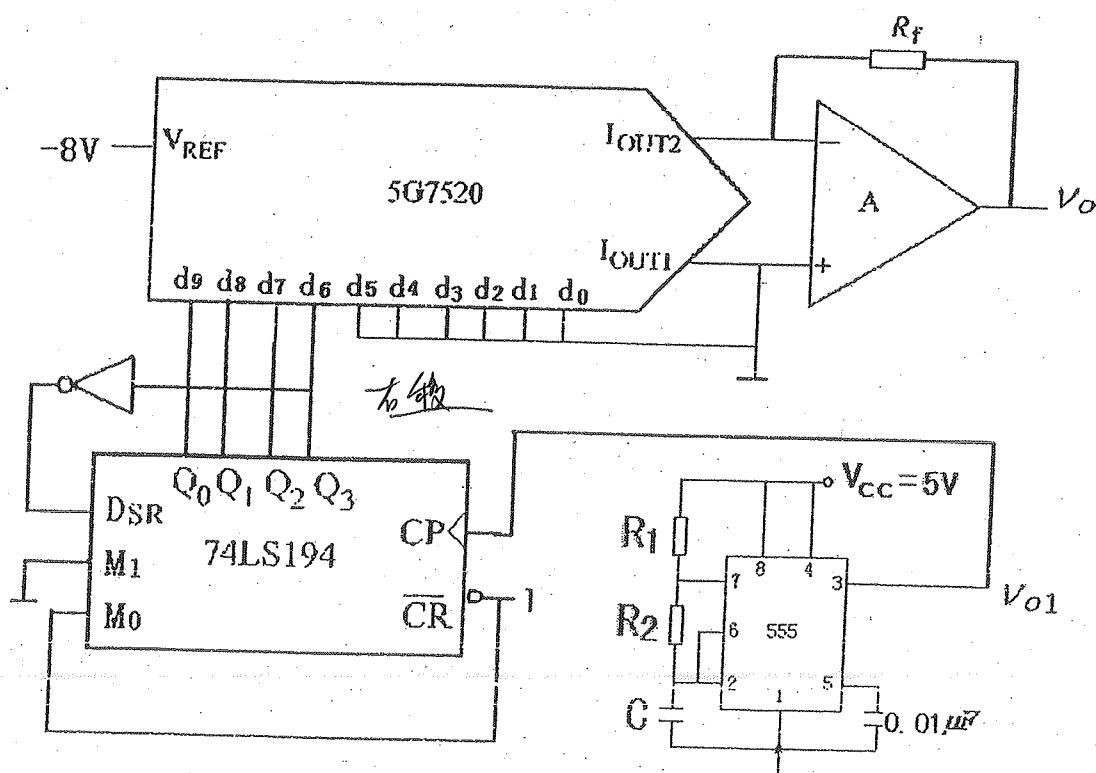
七、(18分) 电路如图7所示, 其中  $R_1=4.7\text{K}\Omega$ ,  $R_2=2\text{K}\Omega$ ,  $C=0.047\mu\text{F}$ 。

1. 说明 555 定时器构成电路的名称并计算输出  $V_{O1}$  的频率;
2. 列出在时钟脉冲 CP 作用下, 移位寄存器 74LS194 的输出  $\underline{Q_0 Q_1 Q_2 Q_3}$  的状态转换表;
3. 分别计算在 CP 作用下, 输出电压  $V_O$  的数值并画出其波形图。

74LS194 的功能表如表 7 所示, 其中  $D_{SR}$  为右移输入端, 假设各输出端的初态为  $Q_0 Q_1 Q_2 Q_3=0000$ 。

表 7 74LS194 功能表

$\overline{CR}$	$M_1$	$M_0$	工作状态
0	X	X	清零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入



7版

(2)

## 数字电子电路 模拟试题-2

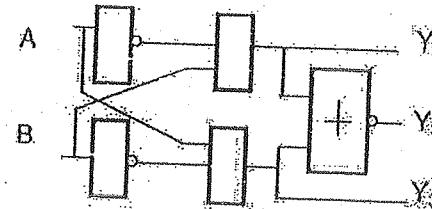
题号	一	二	三	四	总分
得分					

得分	评卷人

## 一、填空题(共30分)

1. 三极管有NPN和PNP两种类型。当它工作在放大状态时，发射结\_\_\_\_\_，集电结\_\_\_\_\_；NPN型三极管的基区是\_\_\_\_\_型半导体，集电区和发射区是\_\_\_\_\_型半导体。
2. 把高电压作为逻辑1，低电平作为逻辑0的赋值方法称作\_\_\_\_\_逻辑赋值。  
一种电路若在正逻辑赋值时为与非门，则在负逻辑赋值时为\_\_\_\_\_。
3. 四位二进制编码器有\_\_\_\_\_个输入端，\_\_\_\_\_个输出端。
4. 将十进制数287转换成二进制数是\_\_\_\_\_；十六进制数是\_\_\_\_\_。
5. 根据触发器功能的不同，可将触发器分成四种，分别是\_\_\_\_\_触发器、\_\_\_\_\_触发器、\_\_\_\_\_触发器和\_\_\_\_\_触发器。

6. 下图所示电路中， $Y_1 =$ \_\_\_\_\_； $A =$ \_\_\_\_\_。



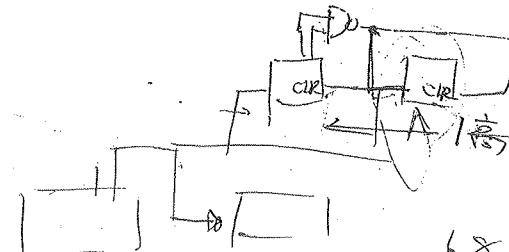
7.  $Y_1 =$ \_\_\_\_\_； $Y_2 =$ \_\_\_\_\_； $Y_3 =$ \_\_\_\_\_。

得分	评卷人

## 二、选择题(共20分)

1. 当晶体三极管\_\_\_\_\_时处于饱和状态。

- A. 发射结和集电结均处于反向偏置
- B. 发射结正向偏置，集电结反向偏置
- C. 发射结和集电结均处于正向偏置



1011 X 0010

2. 在下列三个逻辑函数表达式中，\_\_\_\_\_是最小项表达式。

A.  $Y(A, B) = \bar{A}\bar{B} + \bar{A}B$       B.  $Y(A, B, C) = \bar{A}\bar{B}C + \bar{A}BC + B\bar{C}$

C.  $Y(A, B, C, D) = \bar{A}\bar{B}\bar{C}\bar{D} + A\bar{C}B + ABC + \bar{A}BC$

3. 用 8421 码表示的十进制数 45，可以写成 \_\_\_\_\_

A. 45      B. 1001011001      C. 101000101<sub>BCD</sub>      D. 1101101<sub>B</sub>

4. 采用 OC 门主要解决了 \_\_\_\_\_

A. TTL 与非门不能用与的问题      B. TTL 与非门不能线与的问题

C. TTL 与非门不能相或的问题

5. 已知某触发器的特性表如下（A、B 为触发器的输入），其输出信号的逻辑表达式为 \_\_\_\_\_

A.  $Q^{n+1} = A$

B.  $Q^{n+1} = \bar{A}Q^n + A\bar{Q}^n$

C.  $Q^{n+1} = A\bar{Q}^n + BQ^n$

A	B	$Q^{n+1}$	说明
0	0	$\bar{Q}^n$	保持
0	1	0	置 0
1	0	1	置 1
1	1	$\bar{Q}^n$	翻转

得 分	评 卷 人

三、化简下列逻辑函数，写出最简与或表达式。（共 20 分）

1.  $Y_1 = \bar{A}\bar{B} + \bar{B}\bar{C} + A\bar{B}\bar{C} + \bar{A}BC$

2.  $Y_2 = \Sigma_m(0, 1, 8, 9, 10, 11)$

3.  $Y_4$  见如下卡诺图

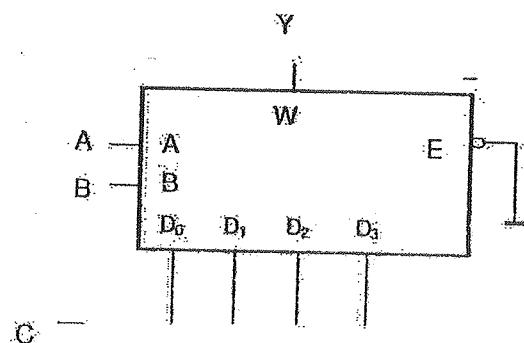
AB\CD	00	01	11	10
00	0	1	0	1
01	1	X	1	X
11	0	1	0	1
10	0	1	0	1

得分	评卷人

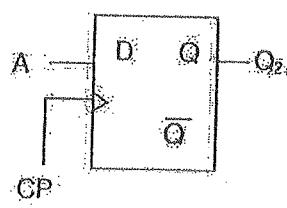
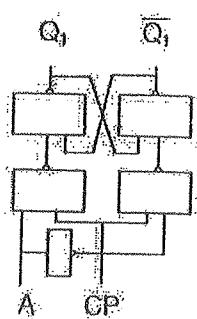
#### 四、分析设计题 (共 30 分)

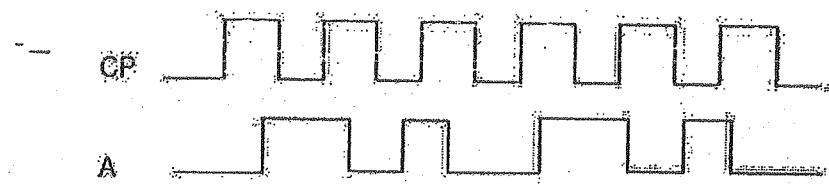
1. 四选一数据选择器的功能见下表。要实现  $Y(A, B, C) = \sum m(1, 4, 6, 7)$  功能，芯片应如何连接，画出电路连接图（需写出必要的解题步骤） (20 分)

E	A	B	Y
1	X	X	高阻
0	0	0	$D_0$
0	0	1	$D_1$
0	1	0	$D_2$
0	1	1	$D_3$



2. 触发器电路如下图所示，试根据 CP 及输入波形画出输出端  $Q_1$ ， $Q_2$  的波形。设各触发器的初始状态均为“0” (10 分)





数字电子电路 模拟试题-2 评分标准

一、填空题（共 30 分，每空 2 分。第 5 小题每空 1 分）

1. 正偏  $\rightarrow$  偏右  $P_2$   $N_2$   
 2. 左偏  $\rightarrow$  偏左  $D_2$   $M_2$   
 3. 16  $\rightarrow$  4  
 4. (10001111)<sub>2</sub>  $\rightarrow$  (11)<sub>10</sub>  
 5. RS JK D M  
 6.  $Y_1 = \overline{AB}$ ;  $Y_2 = \overline{ABA}B$ ;  $Y_3 = \overline{AB}$

### 三、选择题(共 20 分, 每题 4 分)

- CEG (23) A (31) C (22) R (25) S

三、化简下列逻辑函数，写出最简与或表达式（共 20 分。第 1 题 6 分，第 2、3 题各题 7 分）

- (1)  $Y = A + B$
  - (2)  $Y_2 = (AB + B \cdot C)$
  - (3)  $Y_3 = \overline{AB} + \overline{CD} + E$

#### 四、分析设计题(共30分。第1题20分;第2题10分)

$$Y(A, B, C) = \bar{A} \cdot \bar{B} \cdot C + A \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot \bar{C} + A \cdot B \cdot C$$

卷之三

$$Y(A,B,C) = \overline{ABC} + \overline{AC} + AB = \overline{ABC} + ABC + \overline{ABC} + AB \\ = \overline{ABC} + ABC + AB$$

#### 雨功能裝置

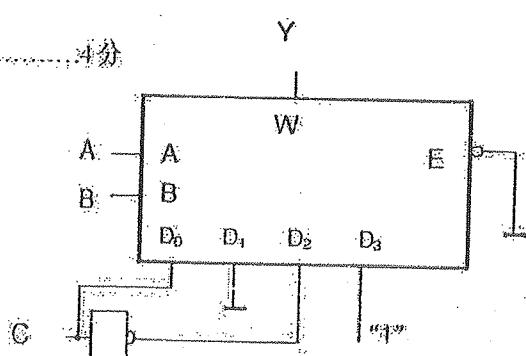
$$Y = \overline{A} \overline{B} D_0 + \overline{A} B D_1 + A \overline{B} D_2 + A B D_3 \quad \text{4分}$$

所以  $D = \alpha$

- 15 -

Preston

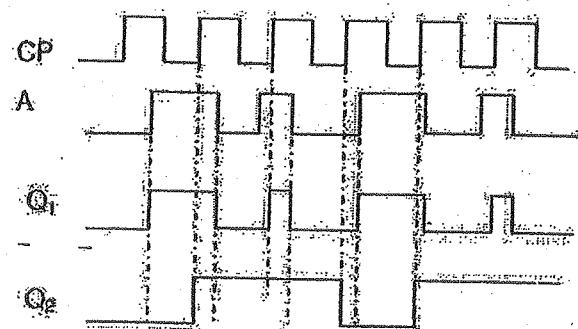
三



图全对 5 分

2.

Q, Q<sub>1</sub> 的波形各 5 分。



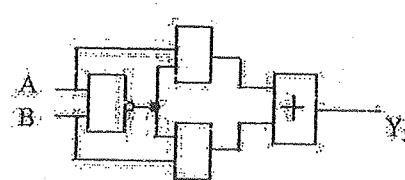
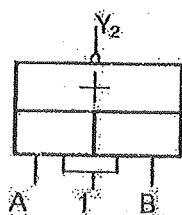
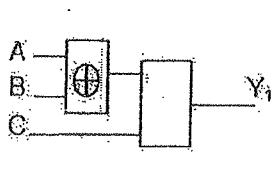
## 数字电子电路 模拟试题

题号	一	二	三	四	总分
得分					

得分	评卷人

### 一、填空题(共 30 分)

1. 当 PN 结外加正向电压时, PN 结中的多子 \_\_\_\_\_ 形成较大的正向电流。
2. NPN 型晶体三极管工作在饱和状态时, 其发射结和集电结的外加电压分别处于 \_\_\_\_\_ 偏置和 \_\_\_\_\_ 偏置。
3. 逻辑变量的异或表达式为:  $A \oplus B = \underline{\hspace{10em}}$
4. 二进制数  $A=1011010$ ;  $B=10111$ , 则  $A-B=\underline{\hspace{10em}}$
5. 组合电路没有 \_\_\_\_\_ 功能, 因此, 它是由 \_\_\_\_\_ 组成。
6. 同步 RS 触发器的特性方程为:  $D' = \underline{\hspace{10em}}$ , 其约束方程为:  $\underline{\hspace{10em}}$
7. 将 BCD 码翻译成十个对应输出信号的电路称为 二十进制译码器, 它有 4 个输入端, 10 输出端。
8. 下图所示电路中,  $Y_1 = \underline{\hspace{10em}}$ ;  $Y_2 = \underline{\hspace{10em}}$ ;  $Y_3 = \underline{\hspace{10em}}$



得分	评卷人

### 二、选择题(共 20 分)

1. 四个触发器组成的环行计数器最多有 A 个有效状态。

A. 4      B. 6      C. 8      D. 16

2. 逻辑函数  $F = AB + CD$ , 其对偶函数  $F'$  为 C

- A.  $(\bar{A} + \bar{B})(\bar{C} + \bar{D})$     B.  $(\bar{A} + B)(\bar{C} + D)$     C.  $(A + \bar{B})(C + \bar{D})$

3. 用 8421 四表示的十进制数 65, 可以写成 C

- A. 65    B. [1000001]<sub>BCD</sub>    C. [01100101]<sub>BCD</sub>    D. [1000001]<sub>2</sub>

4. 用卡诺图化简逻辑函数时, 若每个方格取尽可能大, 则在化简后的最简表达式中 B。

- A. 与项的个数少    B. 每个与项中含有的变量个数少    C. 化简结果具有唯一性

5. 已知某电路的真值表如下, 该电路的逻辑表达式为 C

- A.  $Y = C$     B.  $Y = ABC$     C.  $Y = AB + \bar{C}$     D.  $Y = BC + C$

A	B	C	Y	A	B	C	Y
0	0	0	0	1	0	0	0
0	0	1	1	1	0	1	1
0	1	0	0	1	1	0	1
0	1	1	1	1	1	1	1

得分	评卷人

三、化简下列逻辑函数, 写出最简与或表达式。(共 20 分)

1. 证明等式:  $\overline{AB} + \overline{AB} = \overline{A \cdot B + AB}$

2.  $Y_2 = \Sigma_m(0, 1, 2, 3, 4, 5, 8, 10, 11, 12)$

3.  $Y_3 = AB \cdot \bar{C} + A\bar{B}C + A\bar{B}\bar{C} + ABC$

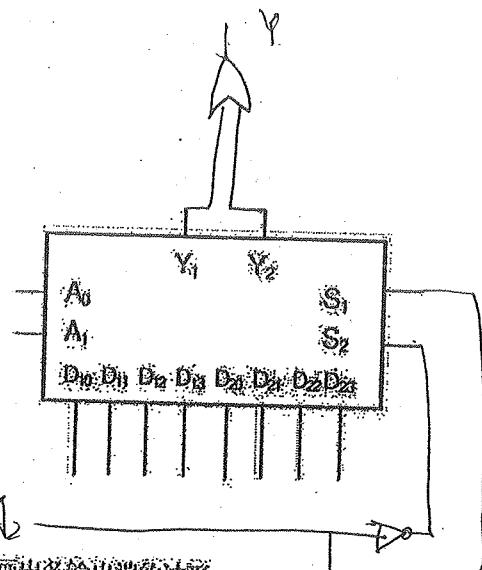
得分	评卷人

四、分析设计题(共 30 分)

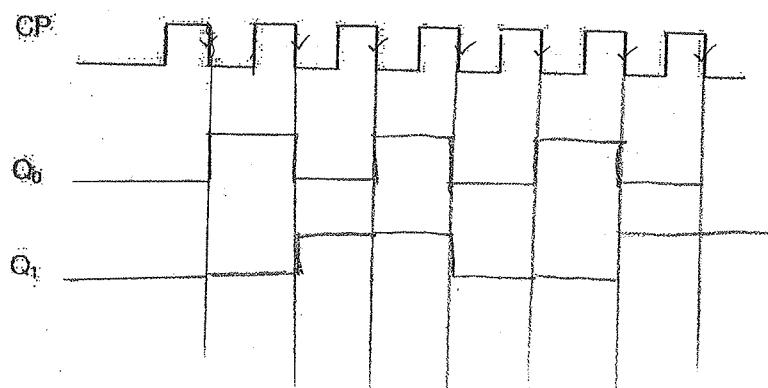
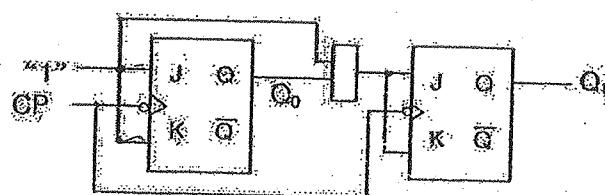
1. 双四选一数据选择器如图所示, 其功能表达式如下。现要实现八选一数据选择器的功能(地址信号为  $A_3A_2A_1A_0$ , 数据输入端信号为  $D_7 \sim D_0$ ) , 请画出电路连接图。

$$Y_1 = (D_0 \bar{A}_1 \bar{A}_0 + D_1 \bar{A}_1 A_0 + D_2 A_1 \bar{A}_0 + D_3 A_1 A_0) S_1$$

$$Y_2 = (D_0 \bar{A}_2 \bar{A}_1 \bar{A}_0 + D_1 \bar{A}_2 \bar{A}_1 A_0 + D_2 A_2 \bar{A}_1 \bar{A}_0 + D_3 A_2 A_1 \bar{A}_0) S_2$$



2. TTL 加法器电路如图所示。试在 CP 信号的计数周期内，画出各输出端的波形。



## 数字电子电路 模拟试题-3 评分标准

一、填空题(共30分,每空2分)

1. 与门

2. 正向: 正向:

3.  $\overline{AB} + \overline{AB}$

4.  $(0010)_2$  或  $0010_10$

5. 与或, 门电路

6.  $S + RQ' = RS = 0$

7. 二进制译码器 4:10

$$8. Y_1 = (A \oplus B)C \quad Y_2 = \overline{A} + B \quad Y_3 = \overline{B} \cdot \overline{AB} + A \cdot \overline{AB} = \overline{AB} + AB = ABC$$

二、选择题(共20分,每题4分)

(1) A

(2) C

(3) C

(4) B

(5) C

三、化简下列逻辑函数,写出最简与或表达式(共20分。第1题6分,第2、3题,每题7分)

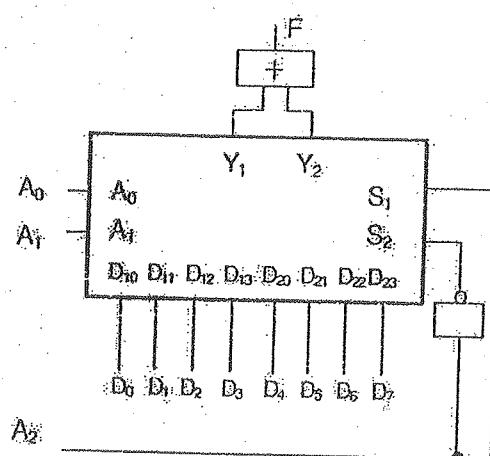
$$(1) \text{证明: 左式} = \overline{AB} \cdot \overline{AB} = \overline{(A+B)(A+B)} = \overline{AA} + \overline{AB} + \overline{A} \cdot \overline{B} + \overline{BB} = \text{右式}$$

$$(2) Y_1 = \overline{A} \cdot \overline{C} + \overline{B}C + \overline{C} \cdot \overline{D}$$

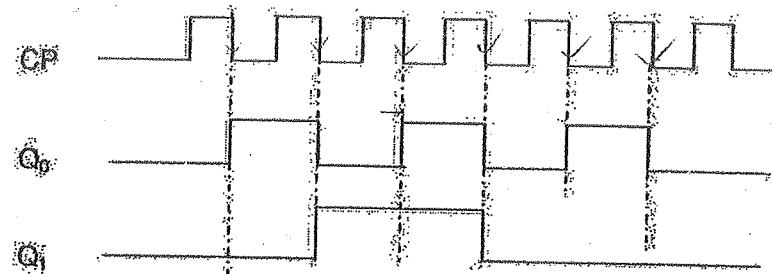
$$(3) Y_3 = A \cdot \overline{B} \cdot \overline{C} + A \cdot \overline{B}C + AB \cdot \overline{C} + ABC$$

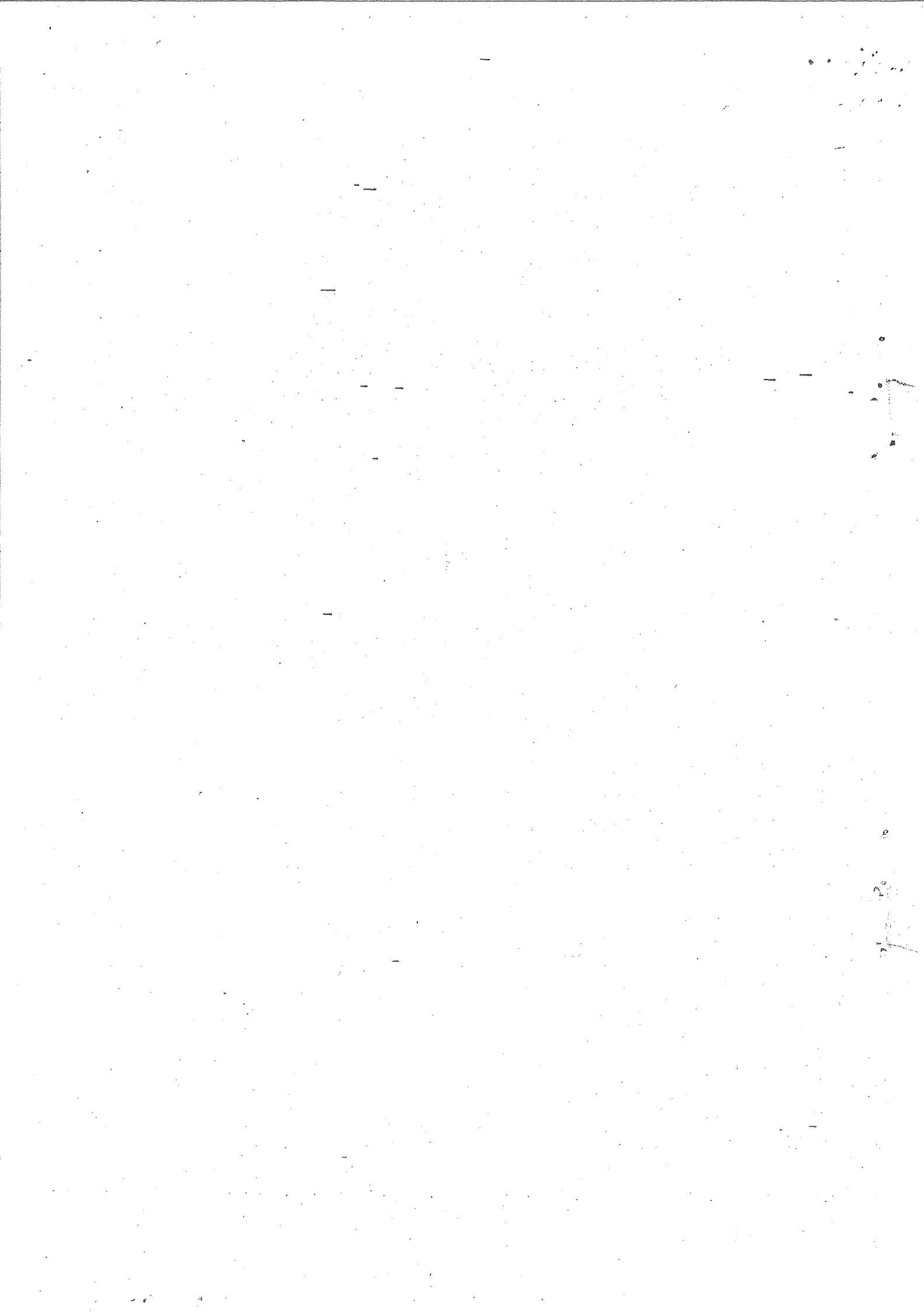
四、分析设计题(共30分,每题15分)

1.



Q<sub>0</sub> 的波形得 5 分。





试卷二

1024+15

84/1

一、填空题(共24分)

1.  $(40F)_{16} = (0100\ 0000\ 1111)_2 = (1039)_{10}$

2.  $F(A, B, C) = 1$ , 其最小项表达式  $F = \sum m(0, 1, 2, 3, 4, 5, 6)$

3.  $(459)_{10} = (0100\ 0101\ 1001)_2$  余数为 3 驱。

4. CMOS “与非”门不用的多余输入端的处理方法有: 接高电平或接地

悬空 / 接高电平或与其他输入相连

5. 集电极开路 OC 门的主要用途有 线与、电平转换、驱动能力强

6. 施密特触发器与双稳态触发器的区别为 施密特有滞回触发，适用于慢变化信号，双稳态脉冲触发

7. PROM 与 EPROM 的主要区别为

8. 组合电路与时序电路的区别 组合电路没有记忆功能

1. 简化下列函数, 且写出其最简的“与非”表达式。(12分)

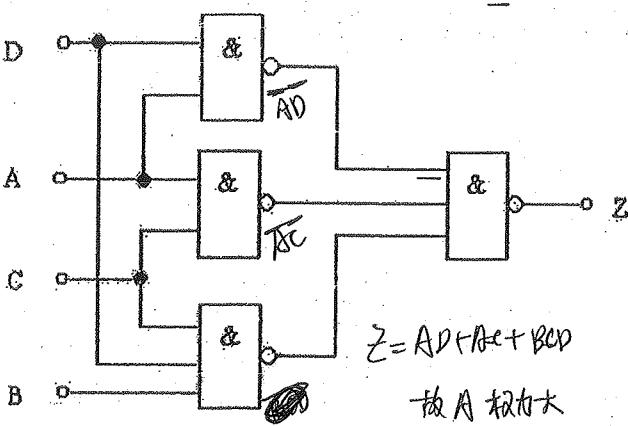
1.  $F = A\bar{B} + B\bar{C} + \bar{B}C + \bar{A}B$  (用代数法)

2.  $F(A, B, C, D) = \sum m(0, 2, 3, 4, 5, 11, 12) + \sum \phi(8, 9, 10, 13)$

三、由与非门构成的某表决电路如图所示, 其中 A、B、C、D 表示四个人, Z 为 1 时表示议案通过。(10分)

(1) 试分析电路, 说明议案通过情况共有几种。

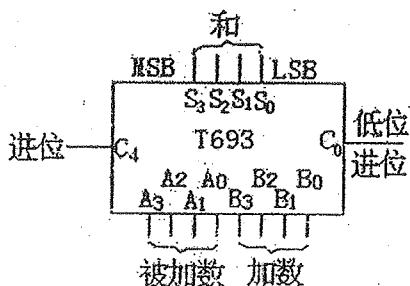
(2) 分析 A、B、C、D 中谁权力最大。



四、用八选一数据选择器T576实现函数F。(8分)

$$F(A, B, C, D) = \sum m(2, 3, 4, 5, 8, 9, 10, 11, 12, 15)$$

五、用一片四位二进制加法器T693(逻辑符号如下图所示)实现余三BCD码至8421BCD码的转换。(需列出真值表,画出电路连接图) (8分)



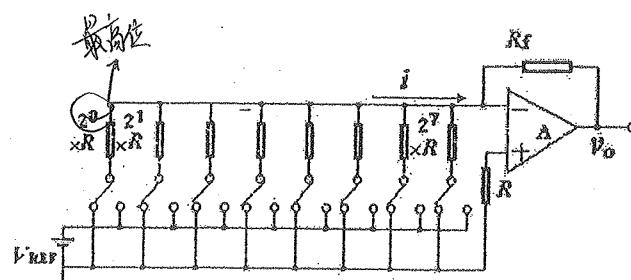
六、已知 8 位二进制权电阻 D/A 变换器, 最高位电阻为  $10\text{ k}\Omega$ , 基准电压  $V_{REF} = +10\text{ V}$ , 试求以下各状态的电流值: (8分)

1). 最高位输入码为 1:

2). 最低位输入码为 1。

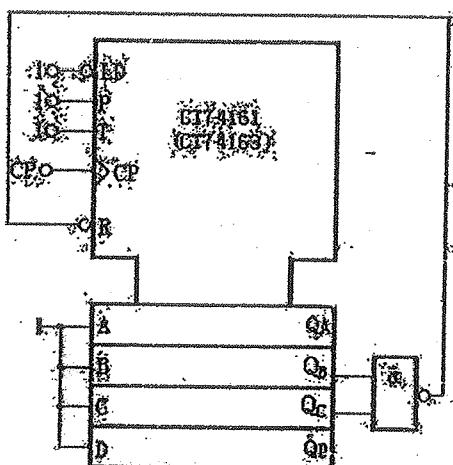
(1)  $\frac{V_{REF}}{R} = 1\text{ mA}$

(2)  $\frac{\sqrt{V_{REF}}}{R^{2^7}} =$



七、根据四位二进制同步计数器 T1161 的功能表（计数状态按自然二进制码转换， $Q_3$  为最高位，依次为  $Q_3, Q_2, Q_1, Q_0$ ） ( $Q_{1161} = T \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0$ ) 求：（16 分）

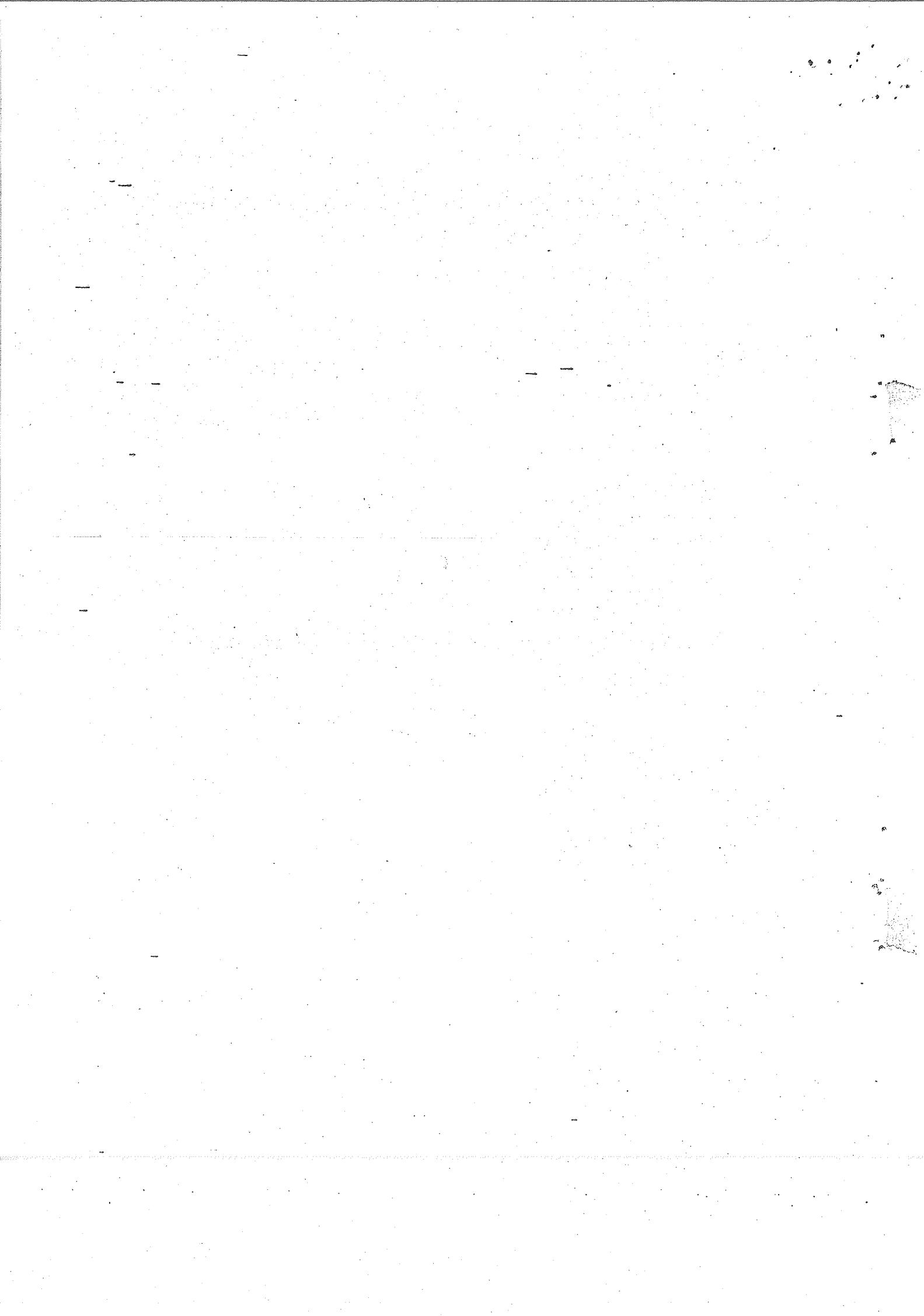
1. 分析下图所示电路功能 ( $M=?$ ) 且写出态序表。



2. 利用 LD 端构成模  $M=7$  的同步计数器，并写出态序表和逻辑电路连接图。

八、试用 D 触发器及 PLA 构成一个模 4 的同步计数器。（需有设计过程）

(14 分)



### 试卷三答案

#### 一、填空题(共24分)

1.  $(40F)_{16} = (100000001111)_2 = (1039)_{10}$
2.  $F(A, B, C) = 1$ , 其最小项表达式  $F = \sum m(0, 1, 2, 3, 4, 5, 6, 7)$ 。
3.  $(459)_{10} = (010001011001)_{8421BCD} = (011110001100)$  余3码
4. CMOS “与非”门不用的多余输入端的处理方法有: 接高电平或与其他输入端相连。
5. 集电极开路OC门的主要用途有线与、电平转换、驱动感性负载。
6. 施密特触发器与双稳态触发器的区别为施密特触发器是靠电平触发, 适用于慢变化的信号, 而双稳态触发器是脉冲触发, 不适合于慢变的信号。
7. PROM与EPROM的主要区别为PROM只能改写一次, 而EPROM是可多次改写。
8. 组合电路与时序电路的区别为组合电路不具有记忆功能, 其输出只与当前的输入有关, 而与电路的前一时刻的输出状态无关。

#### 二、简化下列函数, 且写出其最简的“与非”表达式。(12分)

1.  $F = A\bar{B} + B\bar{C} + \bar{B}C + \bar{A}B$  (代数法)

解:  $F = A\bar{B} + B\bar{C} + \underline{\bar{B}C} + \bar{A}B$  (加入  $\bar{A}\bar{C}$ )

$= A\bar{B} + B\bar{C} + \bar{B}C + \bar{A}B + \bar{A}\bar{C}$  (消去  $\bar{B}C$ )

$= A\bar{B} + B\bar{C} + \bar{A}B + \bar{A}\bar{C}$  (消去  $\bar{B}B$ )

$= A\bar{B} + B\bar{C} + \bar{A}\bar{C}$

$= \overline{ABCAC}$

		CD	00	01	11	10
		AB	1	0	1	1
00	01	1				
		1		1		
11	10	1	1	Φ		
		Φ	Φ	1	Φ	

图13

$$2. F(A, B, C, D) = \sum m(0, 2, 3, 4, 5, 11, 12) + \sum d(8, 9, 10, 13)$$

解：首先画出函数的卡诺图如图 13 所示

然后化简得函数的最简与或式，再利用还原律和反演律将表达式变成与非表达式。

$$F = B\bar{C} + \bar{B}C + \bar{C}\bar{D} + \overline{BC} \cdot \overline{B\bar{C}} \cdot \overline{\bar{C}\bar{D}}$$

三、由与非门构成的某表决电路如图例 1 所示，其中 A、B、C、D 表示四个人，Z 为 1 时表示议案通过。（12 分）

(1) 试分析电路，说明议案通过情况共有几种；

(2) 分析 A、B、C、D 中谁权力最大。

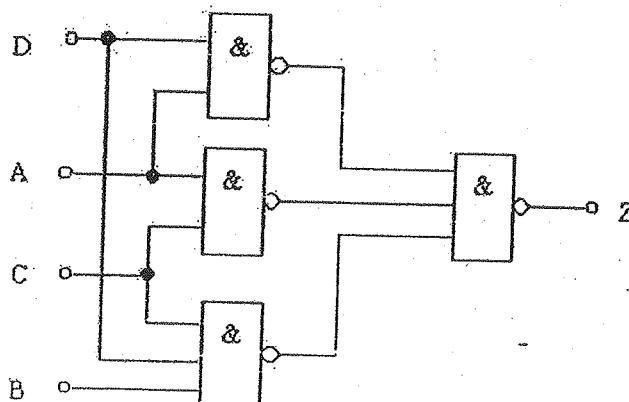


图1

	CD	00	01	11	10
AB	00				
00					
01			1		
11		1	1	1	
10		1	1	1	1

图4

解：(1) 由组合电路分析步骤

(a) 首先逐级写出电路的输出表达式

$$Z = AD + AC + BDC$$

(b) 画出函数的卡诺图

由函数的卡诺图可看出函数式已是最简；

(c) 列真值表

从上述分析可看出议案通过情况共有 7 种

0111, 1001, 1010, 1011, 1101, 1110, 1111;

(2)由上面分析可看出只要  $\lambda=1$  时议案通过的可能性最大,因而  $\lambda$  的权利最大。

#### 四、用八选一数据选择器T576实现函数F。(6分)

$$F(A, B, C, D) = \sum m(2, 3, 4, 5, 8, 9, 10, 11, 12, 15)$$

解：由于八选一数据选择器的地址输入（通道选择）信号有：A<sub>2</sub> A<sub>1</sub> A<sub>0</sub>三个。

因此将ABC三个变量做地址输入信号，而D作为数据输入。因而实现函数F的关键是根据函数式确定数据输入 D0 ~ D7

求数据输入 D0~D7 可以采用代数法也可采用卡诺图来求。

本题采用卡诺图法来求。

1. 首先分别画出函数和选择器的卡诺图如图 5 (a)、(b)。

<u>AB</u>	<u>CD</u>	00	01	11	10
00		0	0	1	1
01		1	1	0	0
11		0	0	1	1
10		1	1	1	1

6

		CD	AB	00	01	11	10
			00	D <sub>0</sub>	D <sub>0</sub>	D <sub>4</sub>	D <sub>1</sub>
			01	D <sub>2</sub>	D <sub>2</sub>	D <sub>3</sub>	D <sub>3</sub>
			11	D <sub>6</sub>	D <sub>6</sub>	D <sub>7</sub>	D <sub>7</sub>
			10	D <sub>4</sub>	D <sub>4</sub>	D <sub>5</sub>	D <sub>5</sub>

(h)

四

图(b)为取A、B、C作地址选择画出的选择器卡诺图,当ABC由000~111变化,其相应的输出数据为D0~D7,因此反映在卡诺图上相应的方格分别填入D0~D7,其余的一个变量D可组成余函数。

对照图5(a)和(b)可确定D0~D7,其方法是:

图(b)中 $D_i$ 对应于图(a)中的方格内全为1, 则此 $D_i=1$ ; 反之, 若方格内全为0, 则 $D_i=0$ .

图(b)中 $D_i$ 对应于图(a)中的方格内有0也有1，则 $D_i$ 应为1格对应的输入变量的积之和（此积之和式中只能含余下变量 $D_j$ ）。

卷之三

$D_0=0$   $D_1=1$   $D_2=1$   $D_3=0$   $D_4=1$   $D_5=1$   $D_6=0$   $D_7=1$

其逻辑图如图6所示。

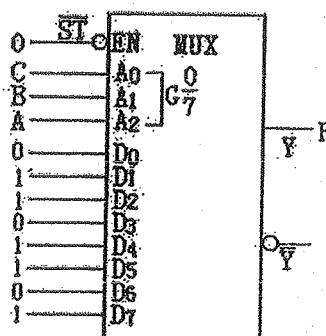


图6

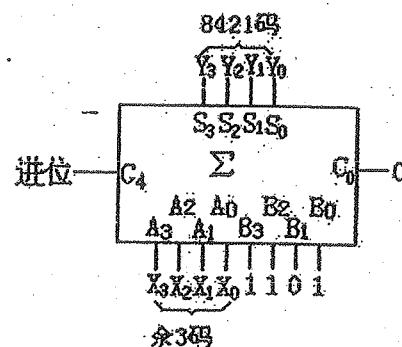


图7

五、用一片四位二进制加法器 T693 (逻辑符号如下图所示) 实现余三BCD码至 8421BCD 码的转换。(需列出真值表, 画出电路连接图) (8分)

解: 根据题意要求设计一个实现余三BCD码至 8421BCD

因而, 电路的输入变量用  $X_3 X_2 X_1 X_0$  来表示输入的余三BCD

输出变量用  $Y_3 Y_2 Y_1 Y_0$  代表输出的 8421BCD, 由此列出真值表, 真值表中同时给出码所对应的十进制数。

输入(余三BCD码)	输出(8421BCD码)	十进制数
$X_3 X_2 X_1 X_0$	$Y_3 Y_2 Y_1 Y_0$	
0011	0000	0
0100	0001	1
0101	0010	2
0110	0011	3
0111	0100	4
1000	0101	5
1001	0110	6
1010	0111	7
1011	1000	8
1100	1001	9

由表可看出, 欲将余三BCD码转至 8421BCD 只要将输入余三BCD码减 3 (0011) 即可得到所对应的 8421BCD。

题目要求用加法器来实现，而欲实现的是减3，可转换成余三BCD加-3的补码来实现。因此，用一块四位加法器在一组输入端A<sub>3</sub>、A<sub>2</sub>、A<sub>1</sub>、A<sub>0</sub>加余三BCD码，而另一组输入B<sub>3</sub>、B<sub>2</sub>、B<sub>1</sub>、B<sub>0</sub>加上常数(-3)补码=1101，进位输入端C<sub>0</sub>接0，则在输出端Y<sub>3</sub>、Y<sub>2</sub>、Y<sub>1</sub>和Y<sub>0</sub>得到的是余3码。图7为转换电路的逻辑图。

### 六、(8分)

解：此电路为权电阻网络D/A转换器。

由于最高位电阻  $2^0 R = 10K$

故最低位电阻  $R = \frac{V}{I} \times 10K$ ；

所以 (1) 当最低位输入码为1时，

$$I_{\text{最高位}} = \frac{1 \cdot V}{V \times 10K} = 1mA$$

(2) 当最低位输入码为0时，

$$I_{\text{最低位}} = \frac{1 \cdot V}{V \times 10K} = 0.0001mA$$

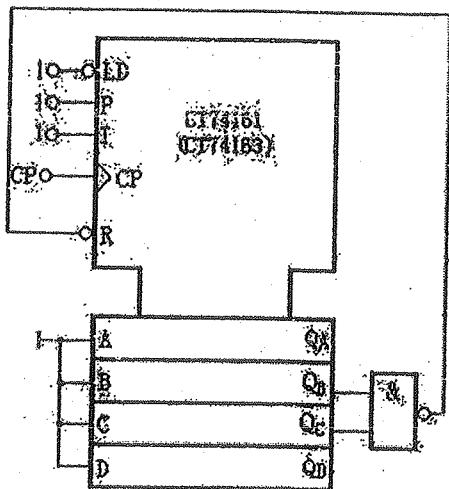


图3

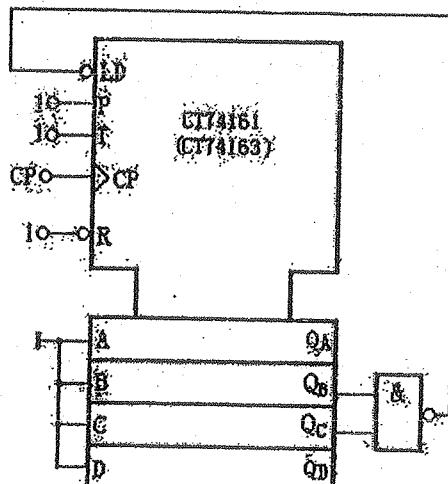


图10

七、四位二进制同步计数器 T1161 的功能表如下（计数状态按自然二进制码转换，QD 为最高位，依次为 QC、QB、QA）。 $(Q_{CC}=T \cdot QD \cdot QC \cdot QB \cdot QA)$  （16 分）

- 分析下图所示电路功能 ( $M=?$ ) 且写出态序表。

解：由逻辑电路图可看出，该电路是利用反馈清零法实现相应的计数的。态序表如下

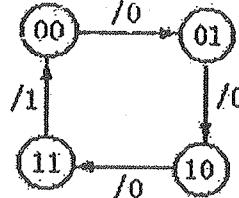
表4 态序表				
CP	Q <sub>D</sub>	Q <sub>C</sub>	Q <sub>B</sub>	Q <sub>A</sub>
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
	0	0	0	0

由态序表可以看出，该电路实现的是同步的模  $M=6$  的计数器。

- 利用 LD 端构成模  $M=7$  的同步计数器，并写出态序表和逻辑电路连接图。

解：

4 状态表		
CP	Q <sub>D</sub> Q <sub>C</sub> Q <sub>B</sub>	
0	0 0 0 0	
1	0 0 0 1	
2	0 0 1 0	
3	0 0 1 1	
4	0 1 0 0	
5	0 1 0 1	
6	0 1 1 0	
7	0 0 0 0	



八、试用 D 触发器及 PLA 构成一个模 4 的同步计数器。(需写出设计过程, 14 分)

解: 第一步 画出原始状态图

按题目要求设计一个模 4 的计数器, 由此可只电路只有四个状态, 用两位二进制码来表示, 由此可直接画出编码以后的状态图。计数器无外加控制输入端, 状态转换是在 CP 脉冲控制下实现的。

输出端用 Z 表示模 4 计数器的进位输出端。

第二步 选触发器, 求触发器的控制函数和输出函数。

题目要求用 D 触发器, 由于每个状态用两位二进制码来表示, 因而需用两个 D 触发器。用 Q<sub>1</sub> 和 Q<sub>0</sub> 分别表示两个触发器的状态。

欲求触发器的控制函数和输出函数应首先列出状态表, 如表所示。

Q <sub>In</sub> Q <sub>0n</sub>	Q <sub>1n+1</sub> Q <sub>0n+1</sub>	D <sub>1</sub> D <sub>0</sub>	Z
0 0	0 1	0 1	0
0 1	1 0	1 0	0
1 0	1 1	1 1	0
1 1	0 0	0 0	1

由状态表可直接写出控制函数和输出函数的表达式:

$$D_0 = \bar{Q}_{0n} \quad D_1 = \bar{Q}_{1n}Q_{0n} + Q_{1n}\bar{Q}_{0n} \quad Z = Q_{1n}Q_{0n}$$

第三步 画出逻辑电路图

PLA 阵列输入量来自两个触发器的输出, 其与阵列产生所需要的四个与项

(乘积项)  $\bar{Q}_{0n}, \bar{Q}_{1n}Q_{0n}, Q_{1n}\bar{Q}_{0n}, Q_{1n}Q_{0n}$ , 或阵列的输出有三个 D<sub>1</sub>、D<sub>0</sub>、Z。由此可画出逻辑电路图如图 12 所示。

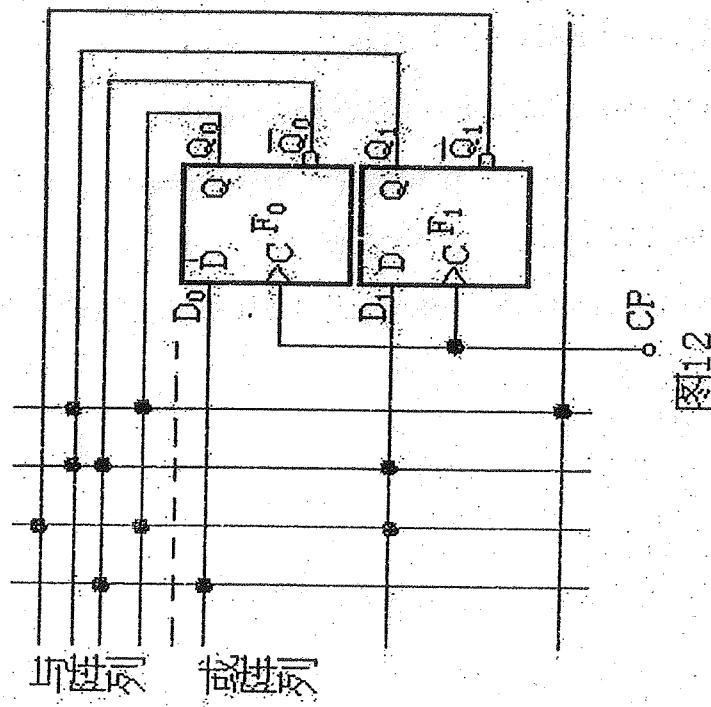


图12