

2009 级数字电子技术基础 A 试题 (A 卷)

注: 试题答案必须写在答题纸上, 在试卷和草稿纸上答题无效

班级_____学号_____姓名_____成绩_____

一、 (10 分) 将下列各式化简为最简与或式。

$$1. \begin{cases} Y(A,B,C,D) = \overline{A}\overline{B}C + \overline{A}BD + \overline{A}B\overline{D} + \overline{A}B\overline{C}\overline{D} \\ AB + AC = 0 \quad \text{约束条件} \end{cases}$$

$$2. F(A,B,C,D) = \sum m(0,3,7,11,12,14) + \sum \phi(1,2,8,15)$$

二、 (25 分) 综合题

1. 图 2-1 所示电路中, OC 门输出低电平 $V_{OL}=0.3V$ 时的最大灌电流 $I_{OL}=16mA$, 输出高电平 $V_{OH}=3.6V$ 时的漏电流 $I_{OH}=2\mu A$; 各负载门输入高电平时的漏电流 $I_{IH}=40\mu A$, 输入低电平时的电流 $I_{IL}=1mA$ 。分析说明上拉电阻 R 的取值范围。

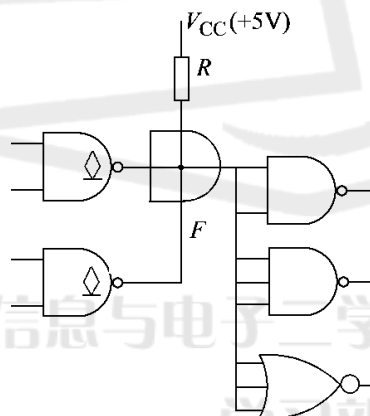


图 2-1

2. 如果用 A/D 转换器将 $0\sim 50^{\circ}C$ 范围的温度转换为数字量, 要求精确到 $0.1^{\circ}C$, 那么至少需要_____位的 A/D 转换器。8 位 D/A 转换器输出模拟电压的最大值为 $10V$, 其最小分辨电压 $V_{LSB}=\text{_____}V$ 。
3. 已知图 2-2 (a) 所示电路的输入波形如图 2-2 (b) 所示, 试对应 CP 及输入信号 A 画出 Q 的波形。

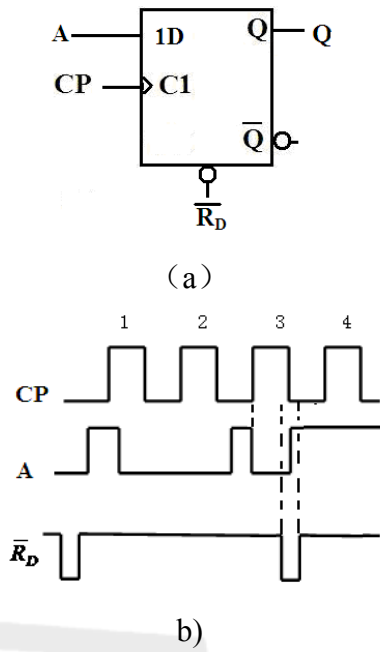


图 2-2

4. 图 2-3 (a) ~ (d) 为输入信号 UI 及其对应输出信号 UO 的波形图，说出产生各对应波形的电路名称。

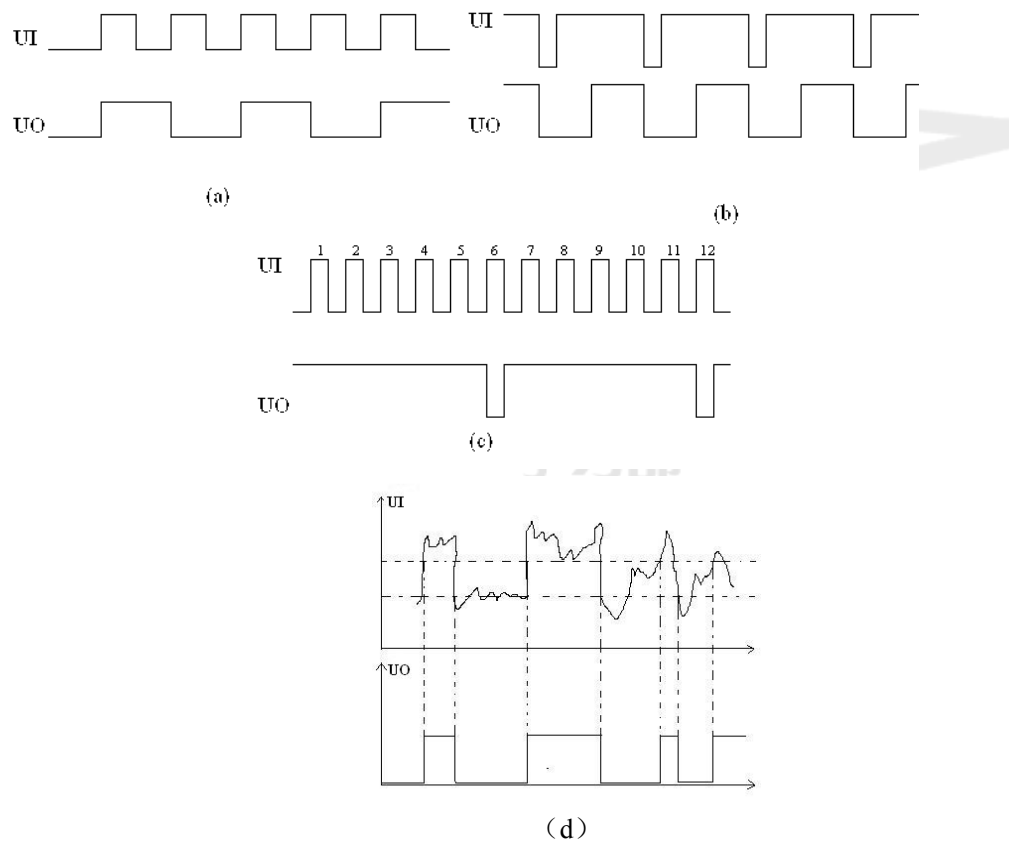


图 2-3

5.

- 三、（10分）图3所示74LS154为4-16线译码器，片选端 \bar{S}_A 和 \bar{S}_B 低电平有效。试用此器件和必要的门电路，设计如下多输出逻辑函数，要求写明设计过程，画出连线图。

$$\begin{cases} F_0 = \bar{A}\bar{B}\bar{D} + AD(B \oplus C) \\ F_1 = \bar{A}\bar{B}C\bar{D} + \bar{A}BC \end{cases}$$

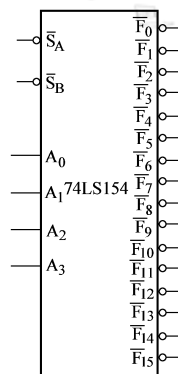


图3

- 四、（16分）图4所示电路中，A为输入变量，CO为进位输出。要求分析电路，写出其驱动方程、状态方程及输出方程，画出状态转换图，指明电路逻辑功能。

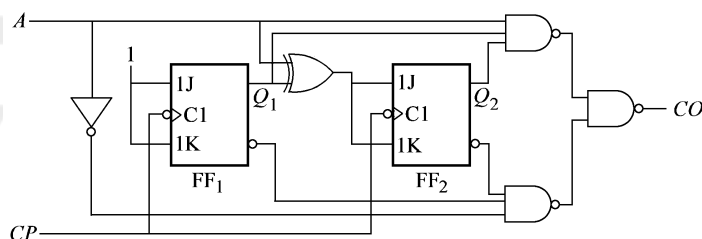


图4

- 五、（12分）图5所示电路中，74LS160为同步10进制加法计数器，其功能如表5所示，试用该器件及必要的门电路设计一个带进位输出的可控进制计数器：当M=0时为47进制；当M=1时为65进制。要求（1）利用其进位输出端及预置端实现设计；（2）写出设计过程；（3）画出电路图，并标出计数脉冲输入端及进位输出端。

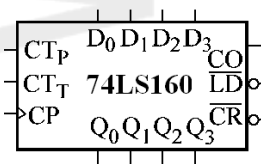


图5

表5 74LS160的功能表

CP	\overline{CR}	\overline{LD}	CT _P	CT _T	工作状态
X	0	X	X	X	置零
↑	1	0	X	X	预置数
X	1	1	0	1	保持
X	1	1	X	0	保持（但CO=0）
↑	1	1	1	1	计数

进位端 $CO = CT_T \cdot Q_3 \cdot Q_0$ (Q_3 为最高位)

- 六、（12分）用ROM设计一个全减器，实现两个1位二进制数的全减运算，要求：1. 列出真值表；2. 说明所需ROM的存储容量；3. 画出存储矩阵的点阵图。

七、（18分）图7所示电路中，CT74161为同步四位二进制加法计数器，其功能除了进位输出 $CO=CT_T \cdot Q_3 Q_2 Q_1 Q_0$ 外，其他同74LS160，参见表5；4位D/A转换器的最大输出电压为15V；RAM存储器存储数据如表7所示。

1. 说明图中CT74161构成计数器为多少进制？画出其有效状态转换图。
2. 计算 v_{O1} 的频率。
3. 根据表7所示的RAM存储数据，计算对应RAM输入 $A_3 A_2 A_1 A_0$ 不同取值时 v_O 的电压。
4. 画出 v_O 与 v_{O1} 的对应波形，并标出 v_O 对应的电压值。

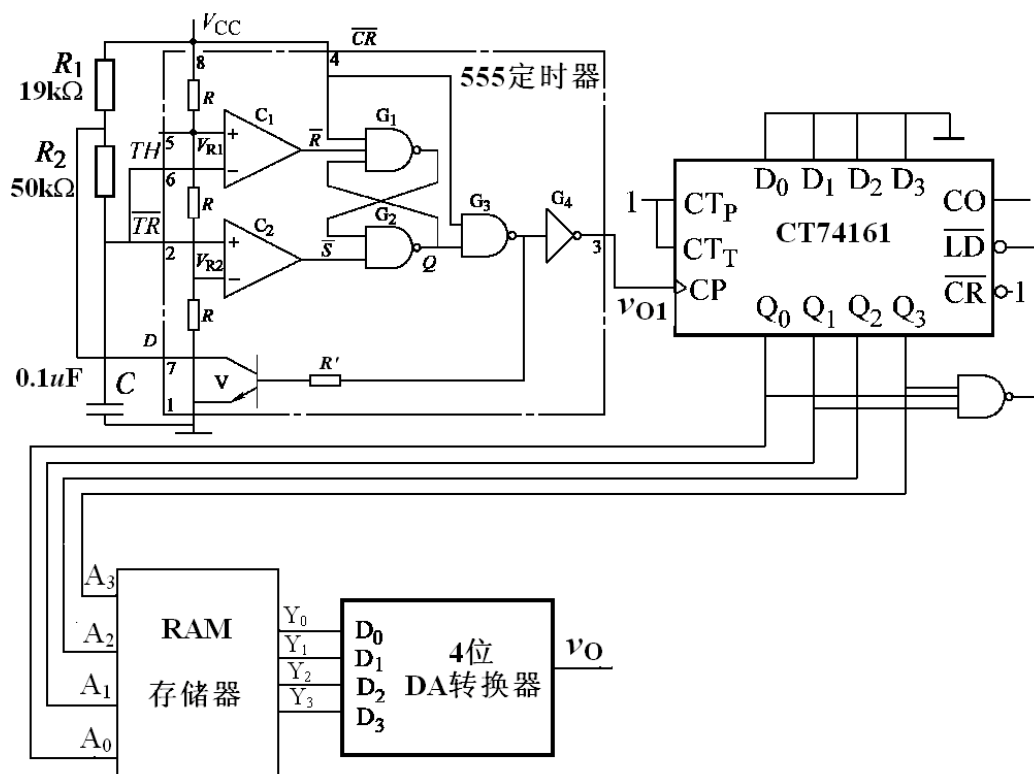


图7

A_3	A_2	A_1	A_0	Y_3	Y_2	Y_1	Y_0	A_3	A_2	A_1	A_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0	1	0	0	0	1	1	0	0
0	0	0	1	0	0	1	0	1	0	0	1	1	0	1	0
0	0	1	0	0	1	0	0	1	0	1	0	1	0	0	0
0	0	1	1	0	1	1	0	1	0	1	1	0	1	1	0
0	1	0	0	1	0	0	0	1	1	0	0	0	1	0	0
0	1	0	1	1	0	1	0	1	1	0	1	0	0	1	0
0	1	1	0	1	1	0	0	1	1	1	0	0	0	0	0
0	1	1	1	1	1	1	0	1	1	1	1	0	0	0	0

表7 RAM存储器存储数据