

北京理工大学 2012-2013 学年第一学期
2010 级数字电路期末试题 A 卷

学号 XJ034009

姓名 _____ 成绩 _____
班级 _____ 学号 _____ 一 二 三 四 五 六

注意事项：所有答案均直接写在试卷上。

- 一、填空题（答案直接填在括号内。每空 1.5 分，共 30 分）
 1. $(83, 65)_m = (1010011, 101011)_b = (10110110, 1001100)_b$ Q3
 2. $(11011011, 11)_b = (219, 75)_{10} = 219.75$
 3. $(1D, C)_{16} = (35, 6)_b$
 4. 多变量异或运算的结果取决于 () 的个数；若某个数为奇数，则运算结果为 ()。
 5. $(0001\ 1010, 1001)_{BCD} + (1011\ 1010, 1100)_{BCD} = (0001\ 0000\ 1000, 1000)_{BCD}$ Q5.5
 6. 二进制数 10101 对应的格雷码为 (1101)_G
 7. 设某二进制数系统的位数 $n = 8$ ，则 $(+68)_{10}$ 的补码是 ()，而 $(-68)_{10}$ 的补码是 ()。
 8. n 变量的逻辑函数有 2^n 个最小项。
 9. 某系统采用偶校验。某信息码为“1000001”，则发送字“P1000001”中的校验位 P 是 D。
 10. 两个不同的最大项之和为 1 ；
 11. 对于两变量逻辑函数， $M_1 M_2 M_3 = (0)$ ；
 12. 若 $F(A, B, C, D) = \sum m(0, 1, 4, 5, 9, 11, 12, 15)$ 。

则 $\bar{F}(A, B, C, D) = \prod M(0, 1, 4, 5, 9, 11, 12, 15)$

13. 使用 (OC) 门时必须外接上拉电阻：

14. () 门有 3 个输出状态：

15. 采用异步复位法所构成的任意模减法计数器，其输出信号中 (一定/可能) 会有 “毛刺” 出现：

16. 若要求 D/A 转换电路的分辨率达到 0.1%，则 D/A 转换器的位数应为 ()：

17. 在你所学过的 A/D 转换器中，速度最快的是 ()：

18. 某 8 位 ROM 的地址线为 20 条，则其容量为 () Kbytes.

P379. 2

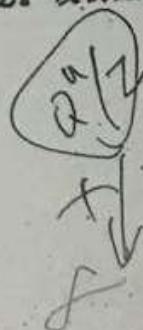
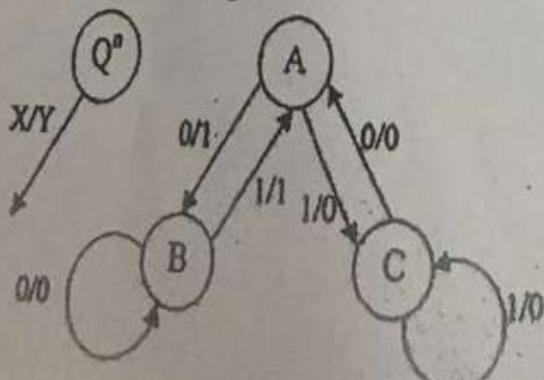
$$\frac{2^8 \times 8}{2^{10} \times 8}$$

二、某状态机的状态图如图题二所示。（共 5 分）

1. 该状态机是什么类型的状态机？

2. 已知外输入序列 $X=011010$ ，试求该状态机的输出序列 Z。设初始状态为 A。

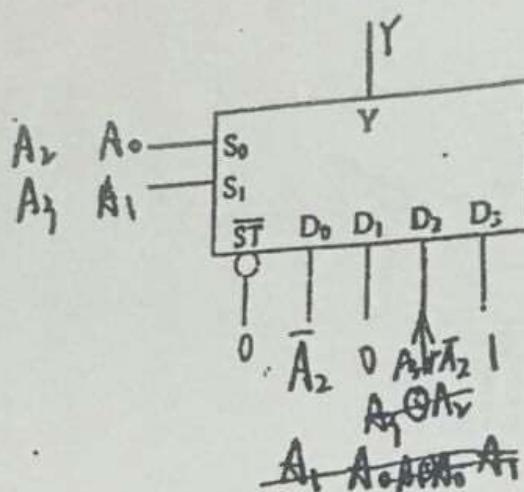
$Z = 110000$



图题二

三. 试用图题三所示 4-1 数据选择器实现下式所表示的函数。(16 分)

$$F(A_3, A_2, A_1, A_0) = \prod M(1, 4, 6, 9, 12, 13) \prod D(0, 5, 10, 15)$$



A_2	A_1	A_0	00	01	11	10
0	0	0	X	0	1	1
0	0	1	0	X	1	0
0	1	0	0	0	X	1
0	1	1	1	0	1	X
1	0	0	1	0	1	X

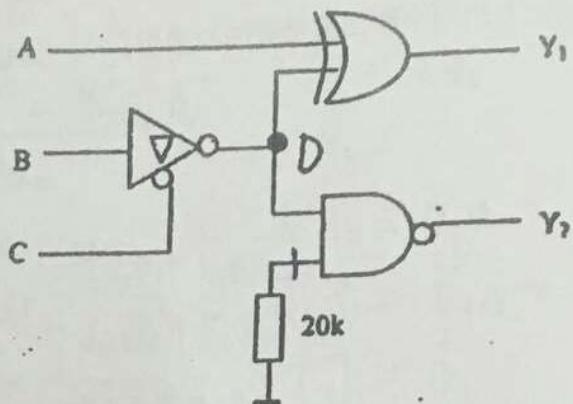
$\bar{A}_2 \quad 0 \quad 1 \quad A_2$

$$F = \bar{A}_2 \cdot \bar{A}_1 \bar{A}_0 + (\bar{A}_2 + A_3) A_1 \bar{A}_0 + \dots$$

图题三

- 要求: (1) 画出卡诺图; (6 分)
 (2) 写出中间的必要设计过程; (4 分)
 (3) 画出该电路逻辑图 (直接画在图题三上)。 (6 分)

- 图题四为由 TTL 门电路组成的逻辑电路，试分析该电路的逻辑功能。（共 14 分）
- 要求：(1) 写出输出端的逻辑表达式并化简；(6 分)
 (2) 写出中间必要的分析过程；(5 分)
 (3) 给出该电路的逻辑功能。(3 分)



图题四

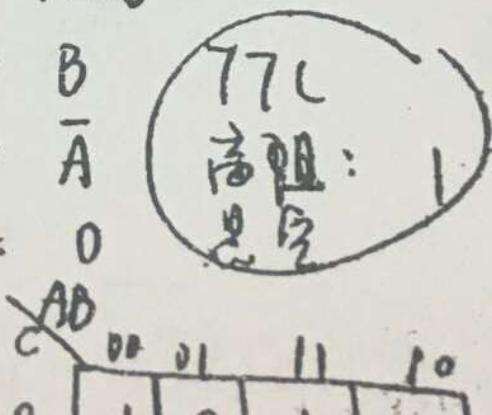
$$C=0 \text{ 时} \quad D=\bar{B} \quad Y_1 = AQB$$

$$Y_2 = B$$

$$C=1 \text{ 时} \quad D=1 \quad Y_1 = \bar{A}$$

$$Y_2 = 0$$

$$Y_1 = \bar{A}\bar{B} + C\bar{A} + \bar{C}AB$$



五. 试用下降沿触发的 JK 触发器设计一个模 5 如法计数器, 要求所有无效状态在一个时钟周期以后均进入初始状态。(共 7 分)

(要求: (1) 导出时序电路的输出方程和驱动方程(需要写出必要的设计过程); (9 分))

(4 分)

(2) 画出完整的状态转换图;

(3) 画出该电路的时序波形图, 并说明电路的哪些输出端可以用于分频, 并且是几分频。(4 分)

1. 3 个

2.

00	01	11	10
001	010	100	011
000	000	000	000

$$(Q_3 Q_2 Q_1)^{n+1}$$

$$\begin{aligned} Q_3^{n+1} &= \bar{Q}_2 Q_2 Q_1 \\ Q_2^{n+1} &= \end{aligned}$$

$$\left\{ \begin{array}{l} J_3 = Q_2 Q_1 \\ K_3 = 1 \end{array} \right.$$

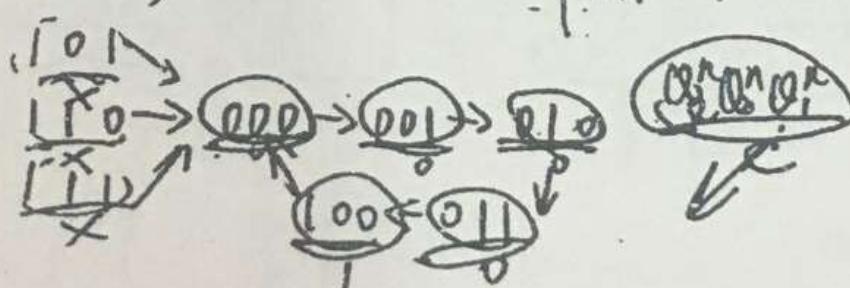
$$\begin{aligned} Q_2^{n+1} &= \bar{Q}_3 Q_2 Q_1 + \bar{Q}_1 Q_2 Q_1 \\ Q_2^{n+1} &= J_2 Q_2 + K_2 Q_1 \end{aligned}$$

$$\left\{ \begin{array}{l} J_2 = \bar{Q}_3 Q_1 \\ K_2 = \bar{Q}_3 Q_1 = Q_3 + Q_1 \end{array} \right.$$

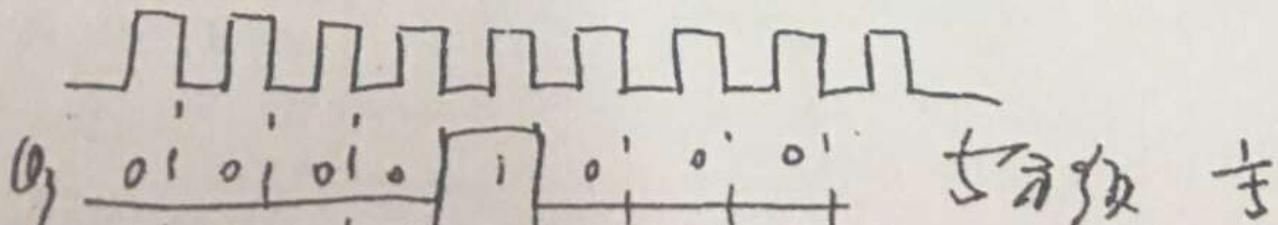
$$\begin{aligned} Q_1^{n+1} &= \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 + \bar{Q}_1 Q_2 \bar{Q}_1 \\ Q_1^{n+1} &= \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 + \bar{Q}_1 Q_2 \bar{Q}_1 \end{aligned}$$

$$\left\{ \begin{array}{l} J_1 = \bar{Q}_3 \\ K_1 = 1 \end{array} \right.$$

3.



4)



六. 由 74161 计数器 (Q_0 为最高有效位输出端) 和 3-8 译码器 (C 为最高有效位输入端) 构成的同步状态机如图六-1 所示, 表六是 74161 的功能表, 试分析该电路的逻辑功能。18 分)

要求回答以下问题:

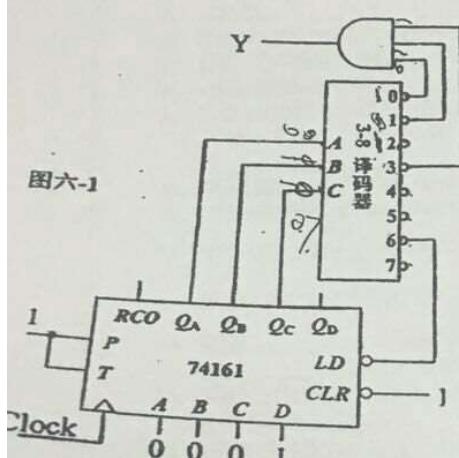
(1) 这是一个什么类型的状态机? 为什么? (4 分)

(2) 74161 的计数模值被缩短, 采用的是什么方法? (2 分)

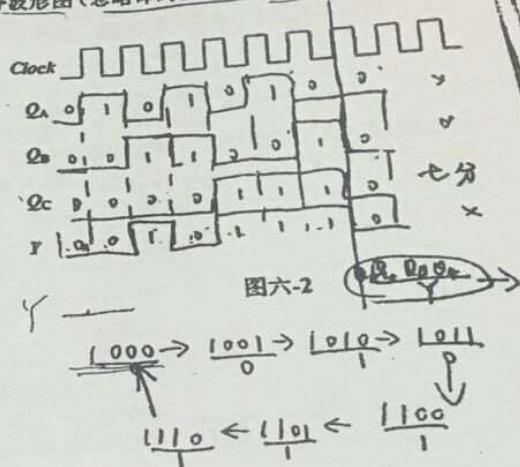
(3) 画出 74161 状态输出信号的状态转换图 (只画主循环); (5 分)

(4) Y 端输出的是什么序列? 它有什么特点? (5 分)

(5) 在图六-2 中画出该电路各信号的时序波形图 (忽略译码器存在的竞争冒险现象, 直接画在试卷上)。 (2 分)



图六-1



图六-2

$$Y = F(A, B, C) = \bar{A}(C, B, A) = \bar{A}\bar{B}\bar{C} + A\bar{B}\bar{C} + A\bar{B}C$$

表六 74161 功能表

No	清除 CLR	预置 LD	计数允许 P T	时钟 CK	功 能
1	0	×	× ×	×	异步清 0
2	1	0	× ×	—	同步置数
3	1	1	1 1	—	同步计数
4	1	1	0 1	×	保持
5	1	1	× 0	×	保持 $RCO=0$