

北京理工大学 2012-2013 学年第一学期
2010 级数字电路期末试题 A 卷

学号: X034009

姓名 _____ 成绩 _____
学号 _____ 四 _____ 五 _____ 六 _____
班级 _____ 三 _____

注意事项: 所有答案均直接写在试卷上。

一. 填空题 (答案直接填在括号内。每空 1.5 分, 共 30 分) $(1010110.10011)_2 = (10110110.1001100)_3$

1. $(83.65)_{10} = (1010111.1010011)_2 = (219.75)_{10}$
2. $(11011011.11)_2 = (219.75)_{10}$
3. $(1D.C)_{16} = (35.6)_{10}$
4. 多变量异或运算的结果取决于 () 的个数; 若其个数为奇数, 则运算结果为 (1)。
5. $(0001\ 1010.1001)_{42182} + (1011\ 1010.1100)_{42182} = (0001\ 0000\ 1000.1000)_{42182} = 105.5$
6. 二进制数 10101 对应的格雷码为 (11111)
7. 设某二进制数系统的位数 $n = 8$, 则 $(+68)_{10}$ 的补码是 (01000100), 而 $(-68)_{10}$ 的补码是 (10111100)
8. n 变量的逻辑函数有 2^n 个最小项。
9. 某系统采用偶校验, 某信息码为 "1000001", 则发送字 "P1000001" 中的校验位 P 是 0。
10. 两个不同的最大项之和为 1。
11. 对于两变量逻辑函数, $M_0, M_1, M_2 = (0)$ 。
12. 若 $F(A, B, C, D) = \sum m(0, 1, 4, 5, 9, 11, 12, 15)$ 。

则 $\bar{F}(A, B, C, D) = \prod M(0, 1, 4, 5, 9, 11, 12, 15)$

13. 使用 (74LS138) 门时必须外接上拉电阻;

14. (74LS138) 门有 3 个输出状态;

15. 采用异步复位法所构成的任意模减法计数器, 其输出信号中 (一定/可能) 会有 "毛刺" 出现;

16. 若要求 D/A 转换电路的分辩率达到 0.1%, 则 D/A 转换器的位数应为 (10)。

17. 在你所学过的 A/D 转换器中, 速度最快的是 (并行比较型)。

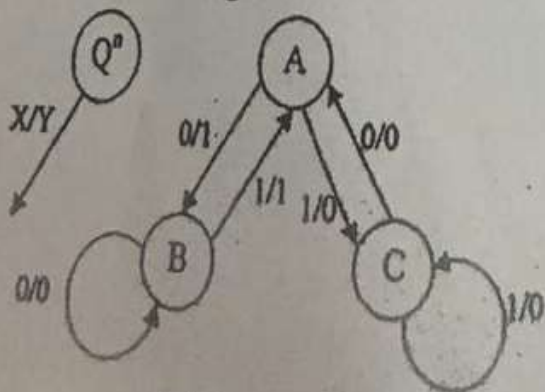
18. 某 8 位 ROM 的地址线为 20 条, 则其容量为 (1024) Kbytes。

二. 某状态机的状态图如图题二所示。(共 5 分)

1. 该状态机是什么类型的状态机? 米里型。

2. 已知外输入序列 $X=011010$, 试求该状态机的输出序列 Z 。设初始状态为 A。

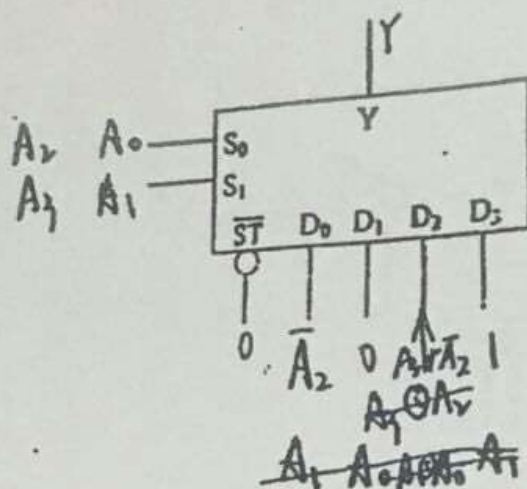
$Z=110000$



图题二

三 试用图题三所示 4-1 数据选择器实现下式所表示的函数。(16 分)

$$F(A_3, A_2, A_1, A_0) = \prod M(1, 4, 6, 9, 12, 13) \prod D(0, 5, 10, 15)$$



图题三

$A_3 A_2$	00	01	11	10
00	X	0	1	1
01	0	X	1	0
11	0	0	X	1
10	1	0	1	X

$$F = \overline{A_2} \cdot \overline{A_1} \overline{A_0} + (\overline{A_2} + A_3) A_1 \overline{A_0} +$$

要求: (1) 画出卡诺图: (6 分)

(2) 写出中间的必要设计过程: (4 分)

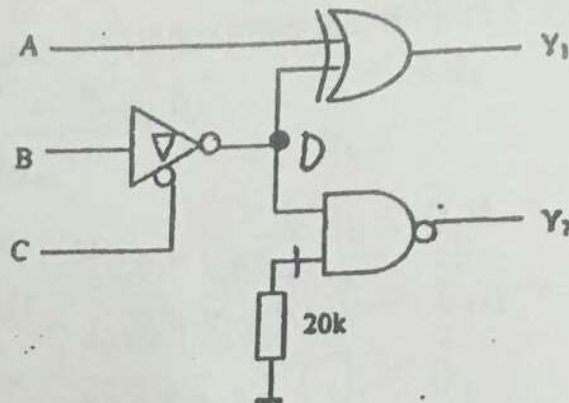
(3) 画出该电路逻辑图 (直接画在图题三上)。 (6 分)

1. 图题四为由 TTL 门电路组成的逻辑电路，试分析该电路的逻辑功能。（共 14 分）

要求：(1) 写出输出端的逻辑表达式并化简：(6 分)

(2) 写出中间必要的分析过程：(5 分)

(3) 给出该电路的逻辑功能。(3 分)



图题四

$$C=0 \text{ 时 } D=\bar{B} \quad Y_1 = A \oplus B$$

$$Y_2 = B$$

$$C=1 \text{ 时 } D=1 \quad Y_1 = \bar{A}$$

$$Y_2 = 0$$

77C

高阻：1

总空

$$Y_1 = \bar{A}\bar{B} + C\bar{A} + \bar{C}AB$$

C	AB			
	00	01	11	10
0	1	0	1	1
1	1	1	1	1

五. 试用下降沿触发的 J-K 触发器设计一个 3 位二进制加法器。要求：写出逻辑表达式，画出逻辑图，并说明其工作原理。（共 17 分）

(1) 导出时序电路的输出方程和驱动方程 (需要写出必要的设计过程); (9分)

(4分)

(4分)

$$\begin{cases} J_3 = |a_2| a_1 \\ K_3 = 1 \end{cases}$$

$$K_3 = 1$$

$$J_2 = \bar{Q}_3 Q_1$$

$$K_2 = \overline{Q_3} \overline{Q_1} = Q_3 + Q_1$$

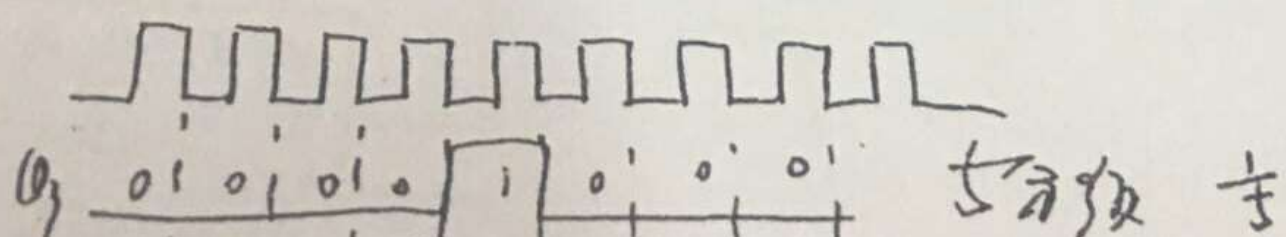
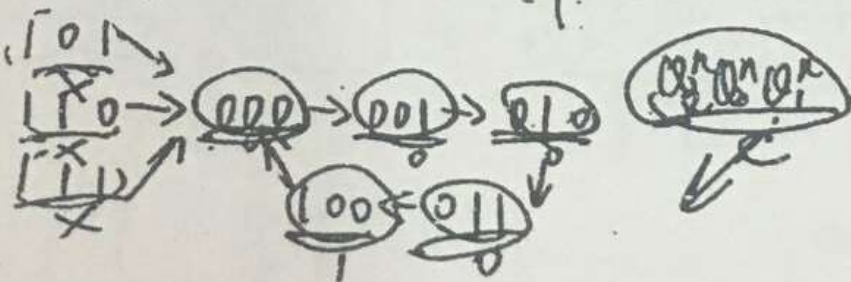
$$J_1 = \bar{U}_3$$

$$K_1 = 1$$

$$K_1 = 1$$

00	01	11	10
001	010	100	011
000	000	000	000

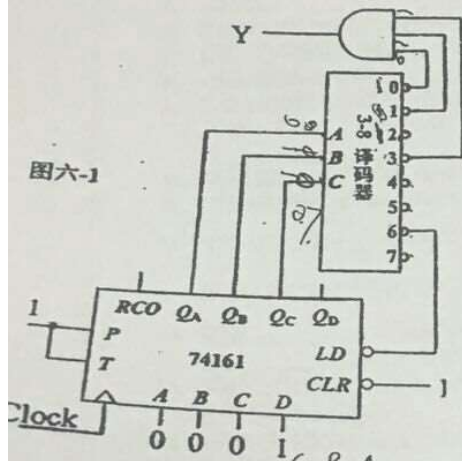
$$(v_1, v_2, v_3)^{n+1}$$



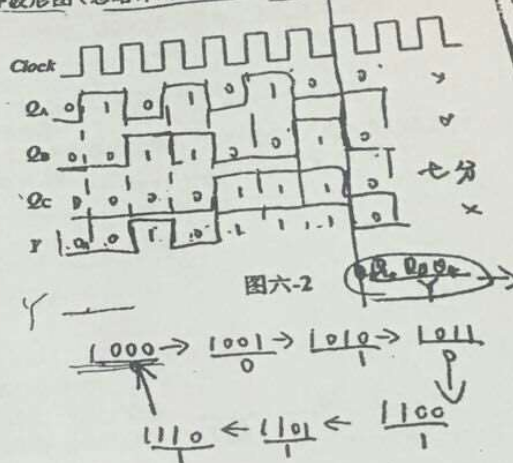
六. 由 74161 计数器 (Q_0 为最高有效位输出端) 和 3-8 译码器 (C 为最高有效位输入端) 构成的同步状态机如图六-1 所示, 表六 74161 的功能表, 试分析该电路的逻辑功能. (18 分)

要求回答以下问题:

- (1) 这是一个什么类型的状态机? 为什么? (4 分)
- (2) 74161 的计数模值被缩短, 采用的是什么方法? (2 分)
- (3) 画出 74161 状态输出信号的状态转换图 (只画主循环); (5 分)
- (4) Y 端输出的是什么序列? 它有什么特点? (5 分)
- (5) 在图六-2 中画出该电路各信号的时序波形图 (忽略译码器存在的竞争冒险现象, 直接画在试卷上). (2 分)



图六-1



图六-2

$$Y = F(A, B, C) = \sum (0, 1, 3) = A\bar{B}\bar{C} + A\bar{B}C + ABC$$

表六 74161 功能表

N_0	清除 CLR	预置 LD	计数允许 P T	时钟 CK	功能
1	0	X	X X	X	异步清 0
2	1	0	X X	1	同步置数
3	1	1	1 1	1	同步计数
4	1	1	0 1	X	保持
5	1	1	X 0	X	保持 RCO=0