

2005 级电子类数字电路期末试题 A 卷

班级 _____ 学号 _____ 姓名 _____ 成绩 _____

题号	第一题	第二题	第三题	第四题	第五题	第六题	总分
得分							

注意事项: 1. 答题内容一律写在试卷上, 否则无效!!!

2. 试卷背面可用作草稿纸, 不再另发。

一. 填空 (共 30 分):

(以下每空 1 分)

- $(0.375)_{10} = (0.011)_{2} = (0.3)_{8} = (0.6)_{16}$
- $(625)_{10} = (0110\ 0010\ 0101)_{8421BCD} = (1001\ 0101\ 1000)_{2421BCD}$
- 某系统使用偶校验, 则发送字符 'B' (42H) 时, 发送码 P1000010 中的 P = 0

如果 $F = AB + \overline{CD}$, 则 F 的对偶 $F' = (A+B)(\overline{C+D})$, F 的反函数

$$\overline{F} = \overline{AB} \cdot \overline{CD}$$

$$\overline{AB} \cdot \overline{CD} \quad \overline{AB} \cdot \overline{CD} \quad \overline{AB} \cdot \overline{CD}$$

设某 A/D 转换器的最大输入电压为 1.000 V, 要求其分辨率要优于 1mV。则 A/D 转换器的数字输出位数应为 10。如果该转换器的输出数字量为 $(512)_{10}$, 则其对应的输入电压为 0.512 V。

(以下每空 2 分)

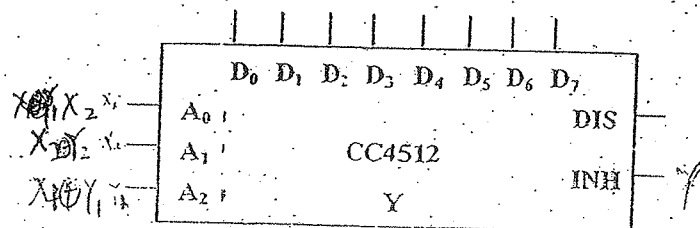
- 米里型状态机与摩尔型状态机的差别在于他们的 输出 函数。
- CMOS 门电路的电源电压 $V_{DD} = 15V$, 则它的 $U_{IL(max)} = \underline{\quad} V$, $U_{TH} = \underline{\quad} V$ 。
- 在多变量“同或”运算中, 若 两个输入变量相等 则运算结果为 1; 若 两个输入变量不等 则运算结果为 0。
- 3 位二进制加法计数器的 次高位 所输出的信号序列 (一个周期) 为 0011, 最低有效位所输出的信号序列 (一个周期) 为 01。
- 4 位 m 序列信号发生器所产生的 m 序列长度为 15。
- 同变量的最小项和最大项的关系是 互补。
- 采用异步复位法所构成的任意模加法计数器, 其输出信号中 一定 (可能) 会有“毛刺”出现。

1010
0011
0101
0110
1001
1010
1101
1110

- 二. 已知 $X = X_1X_2$, $Y = Y_1Y_2$ 是两个二进制的正整数, 试设计一个判断 $X > Y$ 的逻辑电路, 并用多路选择器 CC4512 实现。(CC4512 的管脚图如图题二所示, 功能表如表题二所示) (20 分).
1. 电路的真值表; (8 分)
 2. 逻辑表达式; (6 分)
 3. 逻辑电路图(可在 CC4512 管脚图上直接连线)。 (6 分)

表题二 CC4512 的功能表

DIS	INH	A ₂	A ₁	A ₀	Y
0	0	0	0	0	D ₀
0	0	0	0	1	D ₁
0	0	0	1	0	D ₂
0	0	0	1	1	D ₃
0	0	1	0	0	D ₄
0	0	1	0	1	D ₅
0	0	1	1	0	D ₆
0	0	1	1	1	D ₇
0	1	x	x	x	0
1	x	x	x	x	高阻



图题二

$$\begin{aligned}
 & X=1, Y=1 \rightarrow (X=0) \rightarrow A_2=1 \\
 & X=0, Y=0 \rightarrow A_2=0 \\
 & X=1, Y=0 \rightarrow A_2=1 \\
 & X=0, Y=1 \rightarrow A_2=0
 \end{aligned}$$

$$\begin{aligned}
 & A_2=0 \\
 & Y \rightarrow 1 \\
 & Y \rightarrow 0
 \end{aligned}$$

$$\begin{aligned}
 & Y \rightarrow 1 \\
 & Y \rightarrow 0
 \end{aligned}$$

$$\begin{aligned}
 & X=0, Y=0 \\
 & X=1, Y=1
 \end{aligned}$$

$$\begin{aligned}
 & Y = D_0(\bar{A}_2\bar{A}_1\bar{A}_0) + D_1(\bar{A}_2\bar{A}_1A_0) + D_2(\bar{A}_2A_1\bar{A}_0) \\
 & + D_3(\bar{A}_2A_1A_0) + D_4(A_2\bar{A}_1\bar{A}_0) + D_5(A_2\bar{A}_1A_0) \\
 & + D_6(A_2A_1\bar{A}_0) + D_7(A_2A_1A_0)
 \end{aligned}$$

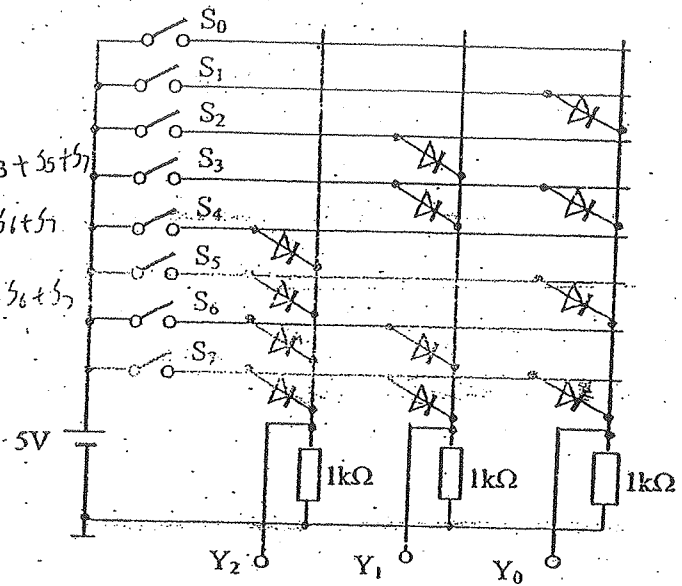
图题三为由二极管、5V 电源、单掷开关 S 和电阻 R 所构成的逻辑电路，试分析当开关 S 依次闭合时（注：每次仅闭合一个开关），电路输出端 Y_2 、 Y_1 、 Y_0 与开关 S 之间的逻辑功能。（设二极管导通时，正向管压降 $U_D \approx 0V$ ）（15 分）

1. 根据正逻辑列出功能表；（8 分）
2. 逻辑表达式；（4 分）
3. 指出电路功能。（3 分）

(1)

S_0	S_1	S_2	S_3	S_4	S_5	S_6	S_7	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	5V
0	0	1	0	0	0	0	0	0	5V	0
0	0	1	1	0	0	0	0	0	5V	5V
0	1	0	0	0	0	0	0	5V	0	0
0	1	0	1	0	0	0	0	5V	0	5V
0	1	1	0	0	0	0	0	5V	5V	0
0	1	1	1	0	0	0	0	5V	5V	5V

(2) 逻辑表达式：
 $Y_0 = S_1 + S_3 + S_5 + S_7$
 $Y_1 = S_2 + S_3 + S_6 + S_7$
 $Y_2 = S_4 + S_5 + S_6 + S_7$



图三

1.

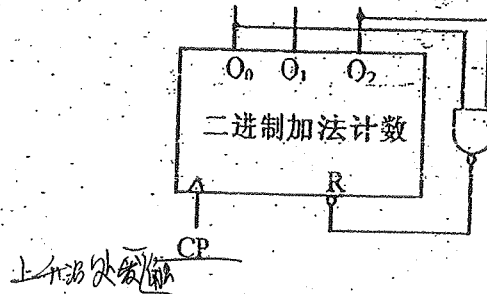
$S_0 S_1 S_2 S_3 S_4 S_5 S_6 S_7$	$Y_2 Y_1 Y_0$
1 0 0 0 0 0 0 0	0 0 0
0 1 0 0 0 0 0 0	0 0 1
0 0 1 0 0 0 0 0	0 1 0
0 0 0 1 0 0 0 0	0 1 1
0 0 0 0 1 0 0 0	1 0 0
0 0 0 0 0 1 0 0	1 0 1
0 0 0 0 0 0 1 0	1 1 0
0 0 0 0 0 0 0 1	1 1 1

2. $Y_2 = S_4 + S_5 + S_6 + S_7$; $Y_1 = S_2 + S_3 + S_6 + S_7$; $Y_0 = S_1 + S_3 + S_5 + S_7$

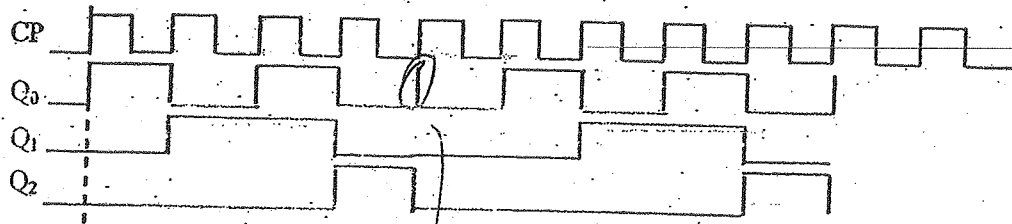
3.8-3 编码器

解

四. 图题四所示电路为由二进制加法计数器组成的模 M 计数器, 图中 R 为异步复位端。试问 $M=?$ 并画出 $Q_2Q_1Q_0$ 的同步时序图 (波形图)。(10 分)



图题四



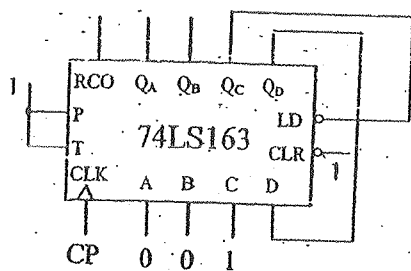
强人连毛刺都已

$M=5$

000
001
010
011
100
101

$M=5$

五. 由 74LS163 组成的电路如图题五所示。画出该电路的完整状态图，并说明它是模几计数器。集成计数器 74LS163 的表示于表题五 (10 分)



图题五

表题五 74LS163 的功能表

CLK	CLR	LD	P	T	功能
↑	0	×	×	×	同步清 0
↑	1	0	×	×	同步预置
↑	1	1	1	1	同步计数
X	1	1	0	1	保持
X	1	1	×	0	保持且 RCO=0

解: $P=T=1$, 计数;

$\overline{LD}=Q_c$, 当 $Q_c=0$ 时预置, 预置数为 Q_d100 ;

$\overline{CLR}=1$, 不清 0

状态图: $Q_d Q_c Q_b Q_a \rightarrow$

同步预置 这个状态是有效的

0000 \rightarrow 0100 \rightarrow 0101 \rightarrow 0110 \rightarrow 0111 \rightarrow 1000 \rightarrow 1100 \rightarrow 1101 \rightarrow 1110 \rightarrow 1111 \rightarrow 0000

0001 \rightarrow 0100;

0010 \rightarrow 0100;

0011 \rightarrow 0100;

1001 \rightarrow 1100;

1010 \rightarrow 1100;

1011 \rightarrow 1100;

M=10

0000 0001

0000 \rightarrow 0100 \rightarrow 0101 \rightarrow 0110

1101 \leftarrow 1100 \leftarrow 1000 \leftarrow 0111

1110 \rightarrow 1111 \rightarrow 0000

模 10

2K x 8 ROM

字线 5线 2¹¹
位线 8线 8
地址 11根
数据 8根

六. 试用上升沿触发的 D 触发器设计一个能自启动的移存型序列信号发生器, 其输出序列为: 1110010. (15 分)

解: 1. 移存型, 只需设计第一级。

2. 序列长 $L=7$, 需 3 级触发器

3. 状态顺序表:

Q_2	Q_1	Q_0
1	1	1
1	1	0
1	0	0
0	0	1
0	1	0
1	0	1
0	1	1

Q_2	Q_1	Q_0
1	1	1
1	1	0
1	0	0
0	0	1
0	1	0
1	0	1
0	1	1

$L=7$ 3级

4. 无重复, 可用

5. 次态方程

Q_0^{n+1}	Q_1	Q_2
$\begin{matrix} x \\ 1 \end{matrix}$	$\begin{matrix} 0 \\ 1 \end{matrix}$	$\begin{matrix} 1 \\ 0 \end{matrix}$

$$Q_0^{n+1} = Q_1 \oplus Q_2$$

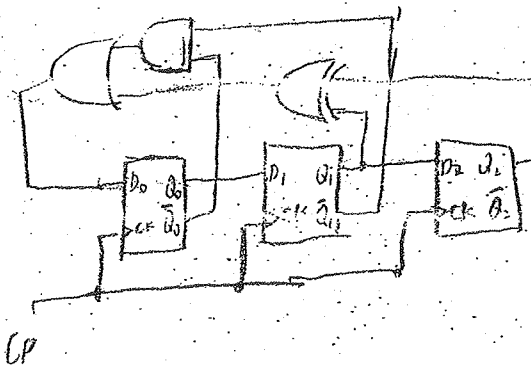
$$Q_0^{n+1} = Q_2 \oplus Q_1$$

不能自启动, 加一项

$$Q_0^{n+1} = Q_2 \oplus Q_1 + Q_1 \bar{Q}_0$$

$$6. D_0 = Q_0^{n+1}$$

7. 逻辑图



用其它触发器!!!

$$BD + B\bar{C} + \bar{A}B\bar{C}B + \bar{A}\bar{C}D$$

课程编号: C014004

北京理工大学 2007-2008 学年第二学期

CD \ AB	00	01	11	10
00	0	0	1	0
01	1	1	1	X
10	X	0	0	0
11	X	1	1	1

2006 级数字电子技术基础 A 试题 (A 卷)

注: 试题答案必须写在答题纸上, 在试卷和草稿纸上答题无效

班级 _____ 学号 _____

姓名 _____ 成绩 _____

F =

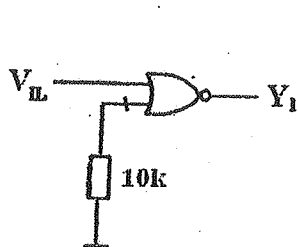
(10 分) 将下列各式化简为最简与或式, 方法不限。

$$1. Y_1 = A \cdot \bar{B} \cdot D + \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot D + \bar{B} \cdot C \cdot D + (A \cdot \bar{B} + C) \cdot (B + D) = \bar{B}D + B\bar{C}$$

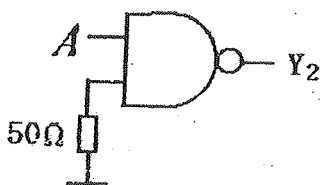
$$2. Y_2(A, B, C, D) = \sum m(3, 4, 5, 7, 9, 10, 11) \quad \text{约束条件} \quad \sum m(0, 1, 2, 13, 14, 15) = 0$$

二、综合题 (20 分)

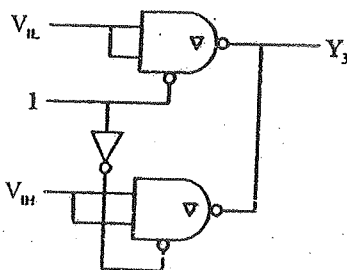
1、已知图 2 中 (1) (2) (3) 为 TTL 门电路, (4) (5) 为 CMOS 门电路, 分别写出各电路的输出状态 (0、1 或高阻) 或表达式。



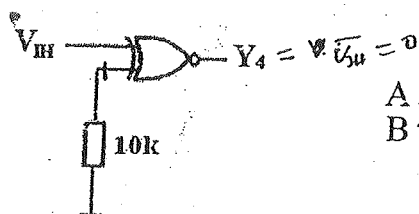
(1)



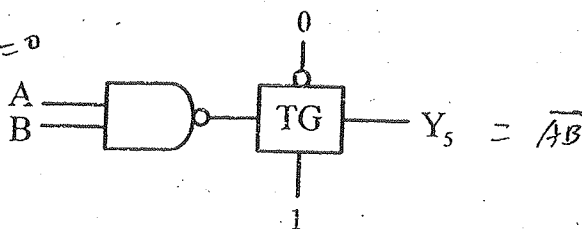
(2)



(3)



(4)



(5)

图 2-1

2、四位并行加法器 74LS283 接法如图 2-4

所示, 输出端 $S_3 S_2 S_1 S_0$ 的状态为 0110,

进位输出端 CO 的状态为 1。

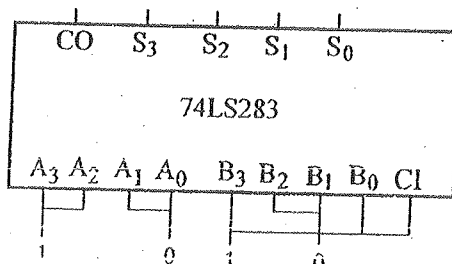


图 2-2

1100
1001
0110
0110

1100
1001
0110
0110

3、一个 8 位 D/A 转换器的最小输出电压 ($V_{LSB}=0.02V$) 当输入码为 00010010 时, 输出电压 $v_o =$ V;

4、存储容量为 $2K \times 8$ 位的随机存储器, 需要 8 根地址线; 若用 $1K \times 4$ 位的 RAM 来实现上述存储容量, 需要 片。

三、(12 分) 写出图 3 所示电路中 Z_1 逻辑函数表达式, 列出真值表, 确定电路的逻辑功能。

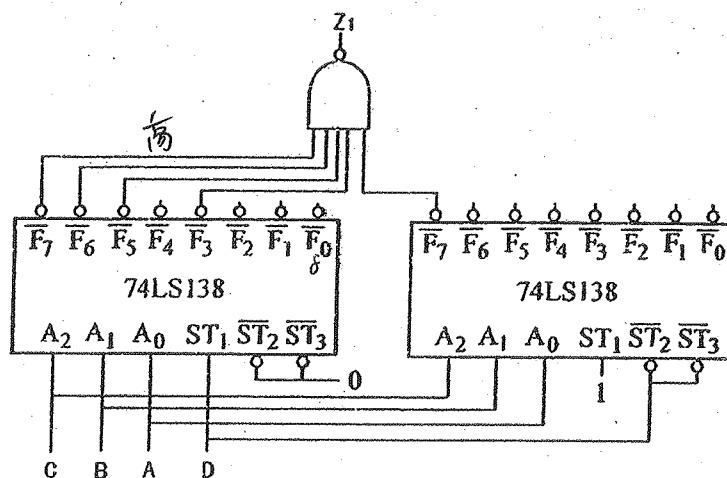


图 3

四、(12 分) 已知四位二进制加法计数器 74LS161 的功能表见表 4-1, 八选一数据选择器 74LS151 的功能表见表 4-2。用计数器和数据选择器构成图 4 所示的电路。试列出在时钟脉冲 CP 作用下输出 Y 及 $Q_3 Q_2 Q_1 Q_0$ 的状态转换表。

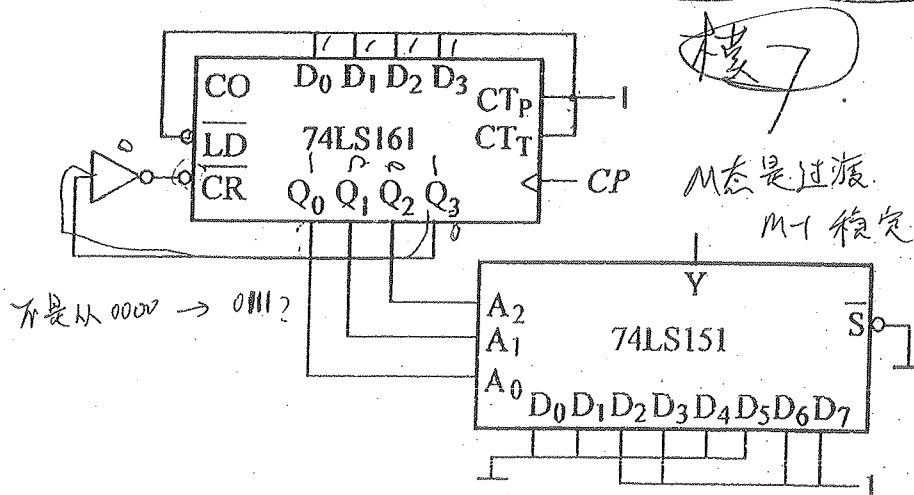


图 4

表 4-1 74LS161 的功能表

CP	\overline{CR}	\overline{LD}	ET_r	ET_y	工作状态
X	0	X	X	X	置零
\uparrow	1	0	X	X	预置数
X	1	1	0	1	保持
X	1	1	X	0	保持 (但 $CO=0$)
\uparrow	1	1	1	1	计数

(1) 200

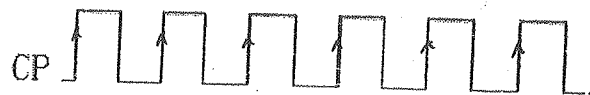
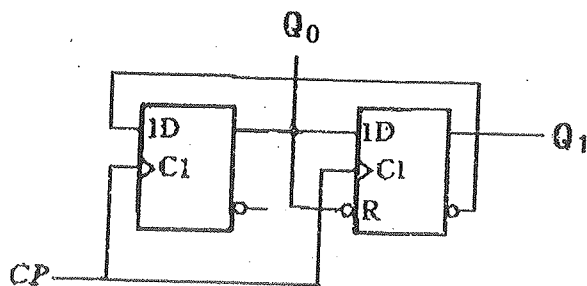
Q_3	Q_2	Q_1	Q_0	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	1	0	0
0	0	1	0	0	0	1	1	1
0	0	1	1	0	1	0	0	1
0	1	0	0	0	1	0	1	0
0	1	0	1	0	1	1	0	0
0	1	1	0	0	1	1	1	1
0	1	1	1	1	0	0	0	1
1	0	0	0	1	0	0	0	0
1	0	0	1	1	0	0	0	0

其中: $CO = CT_r \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0$

表 4-2 74LS151 的功能表

\overline{S}	A_2	A_1	A_0	Y
1	X	X	X	0
0	0	0	0	D_0
0	0	0	1	D_1
0	0	1	0	D_2
0	0	1	1	D_3
0	1	0	0	D_4
0	1	0	1	D_5
0	1	1	0	D_6
0	1	1	1	D_7

五 (8分) 图 5 所示电路, 设各触发器的初始状态均为 0, 试画出 Q_0 、 Q_1 与时钟信号 CP 的对应波形图。



$$Q_0 = \overline{Q_1^n} \quad Q_0^{n+1} = \overline{Q_1^n}$$

$$Q_1 = Q_0^n \quad Q_1^{n+1} = Q_0^n$$

$$\begin{cases} \overline{Q_1^{n+1}} = \overline{Q_0^n} \\ Q_0^{n+1} = \overline{Q_1^n} \end{cases}$$

图 5

六、(16分) 电路如图6所示, 其中 $R_1=2.2K\Omega$, $R_2=1K\Omega$, $C=0.047\mu F$ 。

1. 说明 555 定时器构成电路的名称。计算输出 V_o 的频率 $f_o=? \Omega$
2. 分析由 JK 触发器 FF0、FF1、FF2 构成时序电路的功能。要求写出驱动方程、状态方程, 画出完整的状态转换图, 检查电路能否自启动。

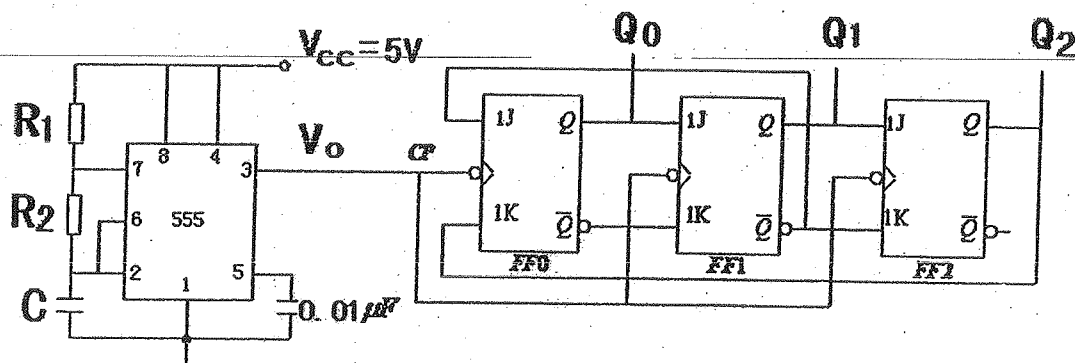


图 6

七、(10分) 已知四位二进制加法计数器 74LS161 的功能表见表 4-1 所示, 用 74LS161 设计一个 39 进制计数器。

八、(12分) 用 JK 触发器设计一个可控进制计数器, 要求满足如图 8 所示的状态转换图。要求写出设计步骤, 画出逻辑电路图。

还有输出

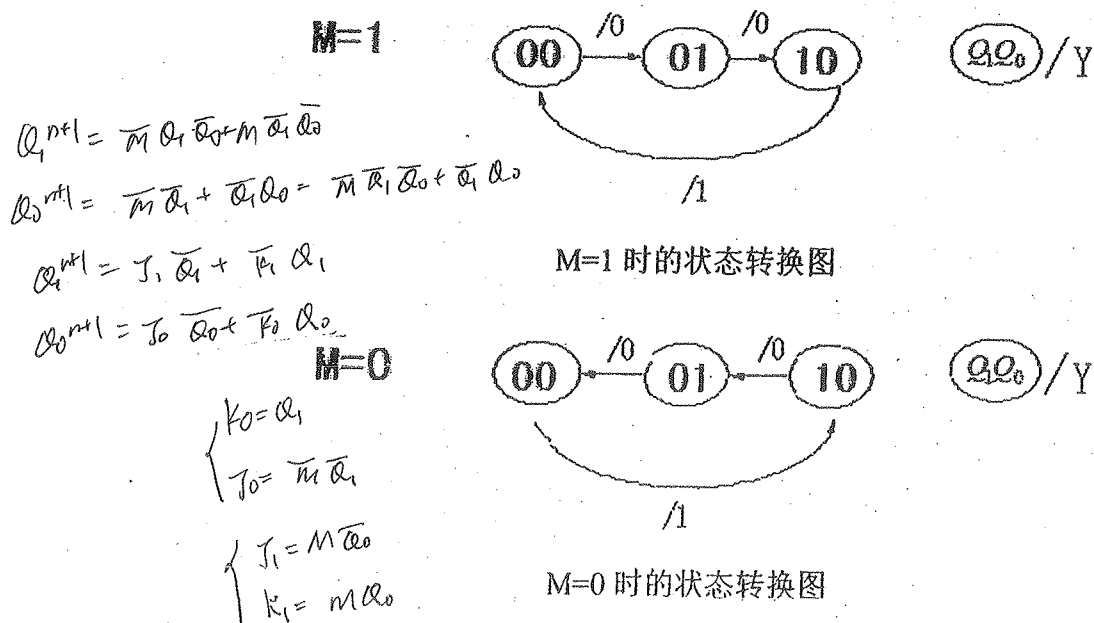


图 8

2007 级数字电子技术基础 A 试题 (A 卷)

注: 试题答案必须写在答题纸上, 在试卷和草稿纸上答题无效

班级 _____ 学号 _____ 姓名 _____ 成绩 _____

一、(10 分) 将下列各式化简为最简与或式, 方法不限。

$$\begin{aligned}
 1. Y_1 &= (\overline{AB} + \overline{BD})\overline{C} + \overline{BD}\overline{AC} + \overline{DA} + \overline{B} = \overline{AB}\overline{C} + \overline{BD}\overline{C} + \overline{BDA} + \overline{BDC} + \overline{A} + \overline{B} \\
 &= (\overline{AB} + \overline{BD})\overline{C} = (\overline{A+B})(\overline{B+D})\overline{C} = (\overline{A+B})(\overline{C(B+D)}) + \overline{C} = \overline{A+B}(\overline{C(B+D)}) + \overline{C} = \overline{A+B}(\overline{C(B+D)}) + \overline{C} \\
 &= \overline{A+B}(\overline{C(B+D)}) + \overline{C} = \overline{A+B}(\overline{C(B+D)}) + \overline{C} = \overline{A+B}(\overline{C(B+D)}) + \overline{C} = \overline{A+B}(\overline{C(B+D)}) + \overline{C} \\
 2. Y_2(A, B, C, D) &= \sum m(0, 2, 3, 4, 5, 6, 11, 12) + \sum \phi(8, 9, 10, 13, 14, 15) \\
 &= A + \overline{A}B + \overline{B}D + \overline{C} \\
 &= A + \overline{A}B + \overline{B}D + \overline{C}
 \end{aligned}$$

二、综合题 (20 分)

1、已知图 2 中 (1) (2) (3) 为 TTL 门电路, (4) (5) 为 CMOS 门电路, 分别写出各电路的输出状态 (0、1 或高阻) 或表达式。

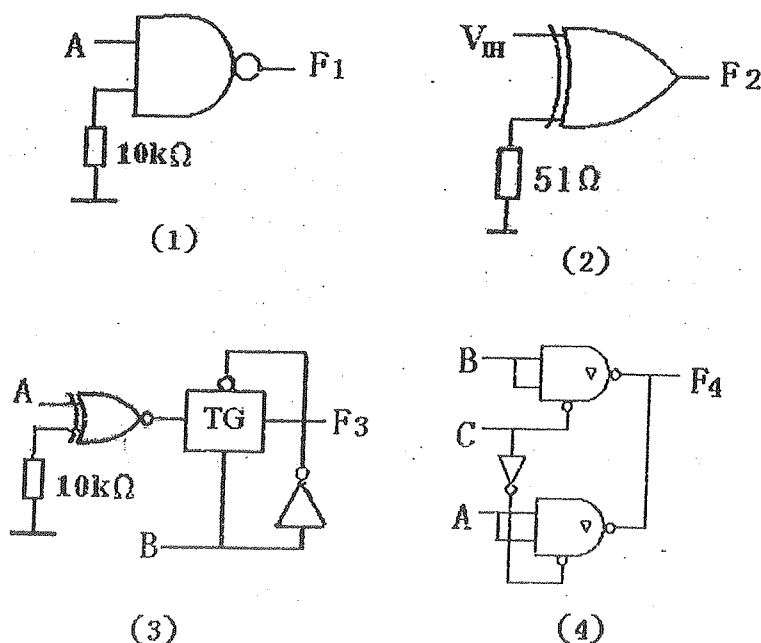


图 2-1

2、图 2-2 所示 TTL 与非门组成的电路中, 门电路的参数为

$$\begin{aligned}
 V_{OH}/V_{OL} &= 3.6V/0.3V, I_{OH}/I_{OL} = 0.5mA/8mA, I_{IH}/I_{IL} = 20\mu A/0.4mA, \\
 N_{OL} &= \frac{I_{OL(max)}}{I_{IH}} = \frac{8}{0.4} = 20 \\
 N_{OH} &= \frac{I_{OH(max)}}{I_{IL}} = \frac{0.5}{20\mu A} = \frac{0.5}{2 \times 10^{-5}} = \frac{0.5 \times 10^5}{2} = \frac{5 \times 10^4}{2} = 2.5 \times 10^4 = 10
 \end{aligned}$$

门 G 可以驱动 10 个相同的门。

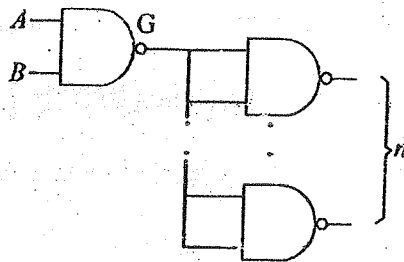


图 2-2

3/ 如果要将一个最大幅值为 5.1V 的模拟信号转换为数字信号, 要求模拟信号每变化 20mV 就能使数字信号最低位发生变化, 那么应选用

$$V_{nom} = 5.1$$

$$\Delta V = 20 \text{ mV}$$

$$\times 10^3 = \frac{V}{2^n - 1}$$

$$0.02 > \frac{5.1}{2^n - 1}$$

$$\frac{1}{50} > \frac{5.1}{2^n - 1}$$

$$2^n - 1 > 255$$

$$2^n > 256$$

$$n = 8$$

8 位的 A/D 转换器。

$$\frac{5.1}{2^n - 1} \leq 20 \times 10^{-3}$$

$$2^n = 4096$$

存储容量为 4K×8 位的随机存储器, 地址线为 12 根, 数据线为 8 根;

若用 1K×4 位的 RAM 来实现上述存储容量, 需要 8 片。

(14 分) 已知 3-8 线译码器 74LS138 符号

如图 3 所示, 输出低电平有效, 控制端

$S_1 = 1, \bar{S}_2 + \bar{S}_3 = 0$ 译码器处于工作状态, 否则译码器被禁止。

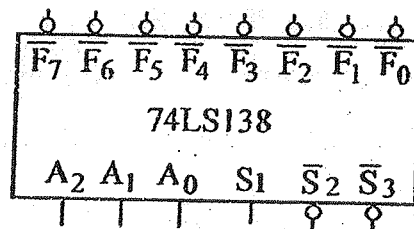


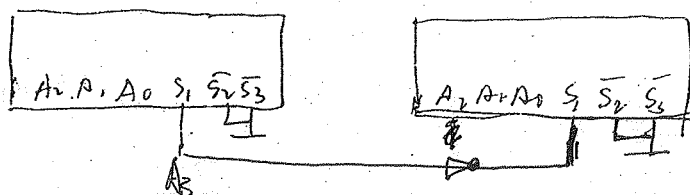
图 3

1) 将 3-8 线译码器 74LS138 扩展成 4 线-16 线 译码器;

2) 用扩展后的 4 线-16 线译码器实现多输出函数:

$$F_1 = \sum m(1, 3, 5, 9)$$

$$F_2 = \sum m(5, 11, 15)$$



四、(12 分) 用与非门设计一个实现 $Y = X^2 + 5$ 运算功能的电路, 其中输入变量 X 为一个两位的二进制数, 输出变量为 $Y = Y_3 Y_2 Y_1 Y_0$

要求列出真值表, 画出逻辑电路图。

$$Y_3 = \sim$$

$$Y_2 = \sim$$

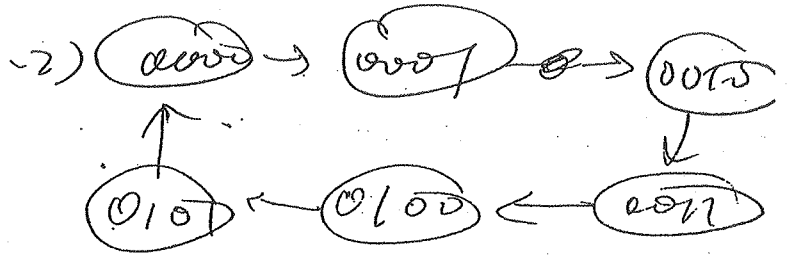
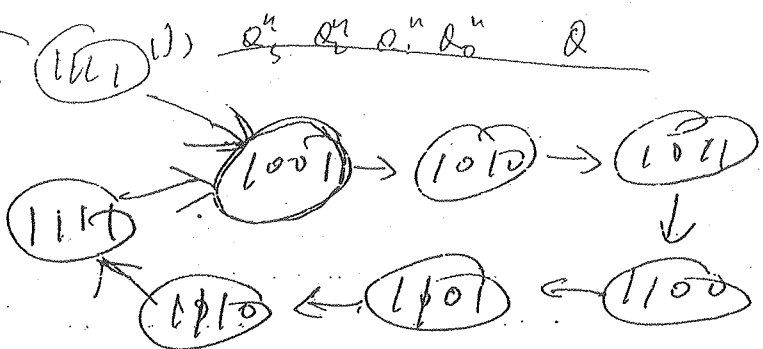
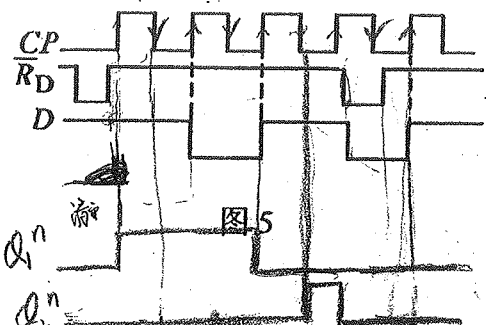
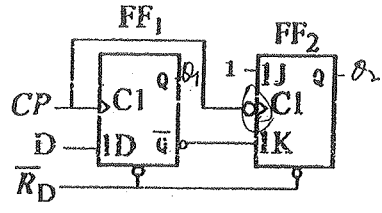
$$Y_1 = \sim$$

$$Y_0 = \sim$$

五、(10 分) 图 5 所示电路, 试画出 Q_1 、 Q_2 与时钟信号 CP 的对应波形图。

0000

一个是上升沿，一个下降沿



六、(16分) 已知四位二进制加法计数器 74LS161 的功能见表 6-1，分析图 6

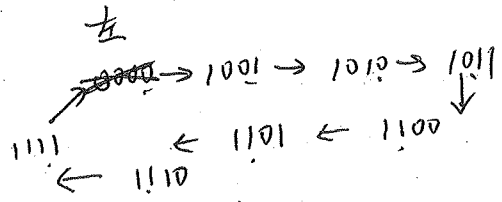
所示电路，1) 说明该电路为多少进制的计数器。 $5 \times 7 = 35$

2) 分别画出两片的状态转化图。

表 6-1

74LS161 的功能表

CP	\overline{CR}	\overline{LD}	CT_P	CT_T	工作状态
X	0	X	X	X	置零
	1	0	X	X	预置数
X	1	1	0	1	保持
X	1	1	X	0	保持 (但 CO=0)
	1	1	1	1	计数

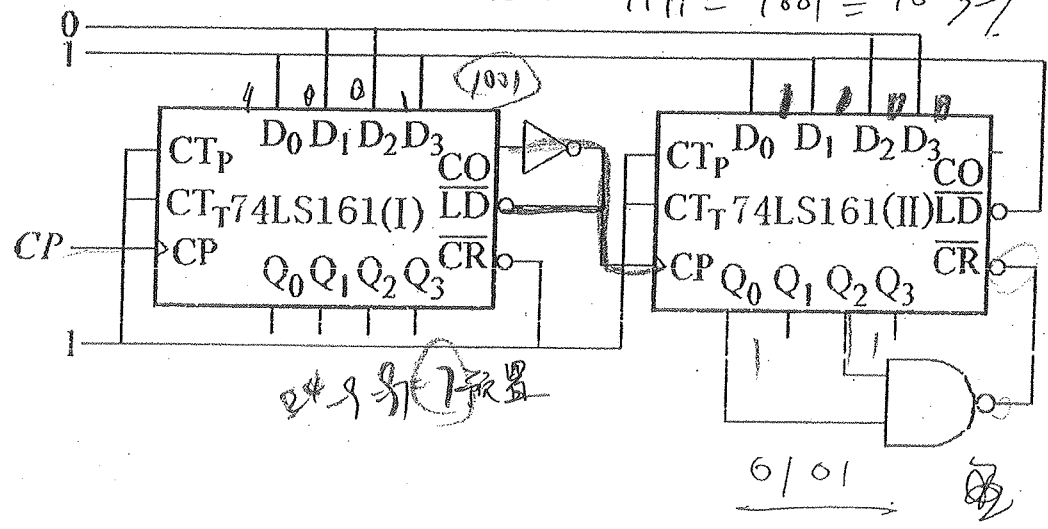


这个是异步级联

预置法没有 0000 状态

其中: $CO = CT_T \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0$

故 $M = 1111 - 1001 = 16 - 9 = 7$



清 0

模 15

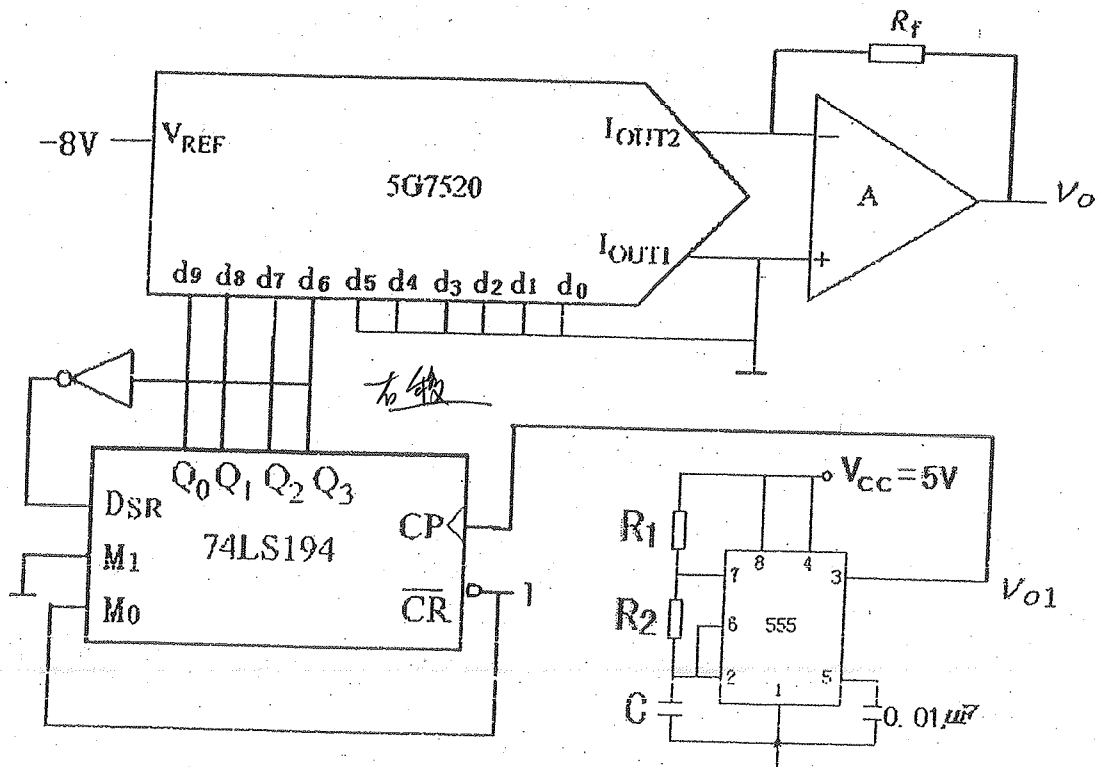
图 6

七、(18 分) 电路如图 7 所示, 其中 $R_1=4.7K\Omega$, $R_2=2K\Omega$, $C=0.047\mu F$ 。

1. 说明 555 定时器构成电路的名称并计算输出 V_{O1} 的频率;
 2. 列出在时钟脉冲 CP 作用下, 移位寄存器 74LS194 的输出 $Q_0 Q_1 Q_2 Q_3$ 的状态转换表;
 3. 分别计算在 CP 作用下, 输出电压 V_O 的数值并画出其波形图。
- 74LS194 的功能表如表 7 所示, 其中 D_{SR} 为右移输入端, 假设各输出端的初态为 $Q_0 Q_1 Q_2 Q_3=0000$ 。

表 7 74LS194 功能表

\overline{CR}	M_1	M_0	工作状态
0	X	X	清零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行输入



1. 修改
2. 学生会/组织部

2012 未日 3 旬世

②

数字电子电路 模拟试题-2

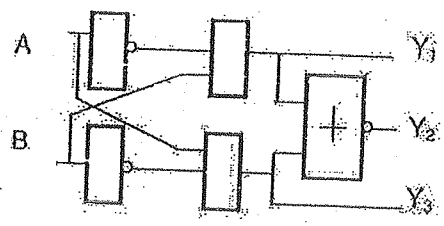
题号	一	二	三	四	总分
得分					

得分	评卷人

一、填空题 (共 30 分)

- 三极管有 NPN 和 PNP 两种类型, 当它工作在放大状态时, 发射结_____, 集电结_____。NPN 型三极管的基区是_____型半导体, 集电区和发射区是_____型半导体。
- 把高电压作为逻辑 1, 低电平作为逻辑 0 的赋值方法称作_____逻辑赋值。一种电路若在正逻辑赋值时为与非门, 则在负逻辑赋值时为_____。
- 四位二进制编码器有_____个输入端, _____个输出端。
- 将十进制数 287 转换成二进制数是_____; 十六进制数是_____。
- 根据触发器功能的不同, 可将触发器分成四种, 分别是_____触发器、_____触发器、_____触发器和_____触发器。

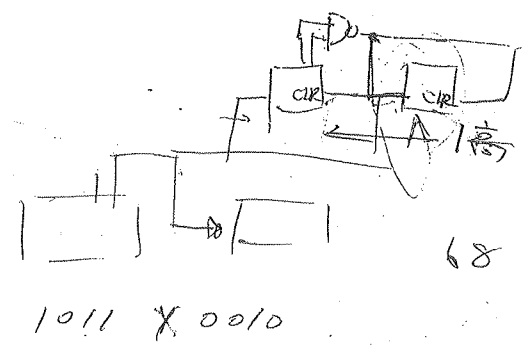
- 下图所示电路中, $Y_1 =$ _____;
- $Y_2 =$ _____;



得分	评卷人

二、选择题 (共 20 分)

- 当晶体三极管_____时处于饱和状态。
 - 发射结和集电结均处于反向偏置
 - 发射结正向偏置, 集电结反向偏置
 - 发射结和集电结均处于正向偏置



2. 在下列三个逻辑函数表达式中, _____ 是最小项表达式。

A. $Y(A,B) = \overline{A}B + \overline{A}\overline{B}$

B. $Y(A,B,C) = \overline{A}BC + \overline{A}\overline{B}C + \overline{B}\overline{C}$

C. $Y(A,B,C,D) = \overline{A}\overline{B}\overline{C} + \overline{A}CB + \overline{A}BC + \overline{A}BC$

3. 用8421码表示的十进制数45, 可以写成 _____

A. 45

B. $[101101]_{\text{BCD}}$

C. $[01000101]_{\text{BCD}}$

D. $[101101]_2$

4. 采用OC门主要解决了 _____

A. TTL与非门不能相与的问题

B. TTL与非门不能线与的问题

C. TTL与非门不能相或的问题

5. 已知某触发器的特性表如下 (A、B为触发器的输入), 其输出信号的逻辑表达式为 _____

A. $Q^{n+1} = A$

B. $Q^{n+1} = \overline{A}Q^n + AQ^n$

C. $Q^{n+1} = \overline{A}Q^n + BQ^n$

A	B	Q^{n+1}	说明
0	0	Q^n	保持
0	1	0	置0
1	0	1	置1
1	1	$\overline{Q^n}$	翻转

得分	评卷人

三、化简下列逻辑函数, 写出最简与或表达式: (共20分)

1. $Y_1 = \overline{A}B + \overline{B}C + \overline{A}B \cdot C + \overline{A}BC$

2. $Y_2 = \sum_m(0, 1, 8, 9, 10, 11)$

3. Y₂ 见如下卡诺图

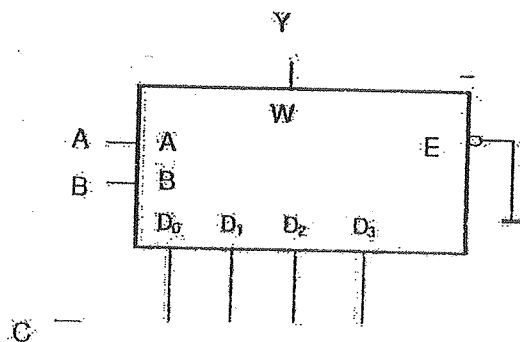
AB \ CD	00	01	11	10
00	0	1	0	1
01	1	×	1	×
11	0	1	0	1
10	0	1	0	1

得分	评卷人

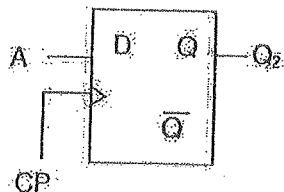
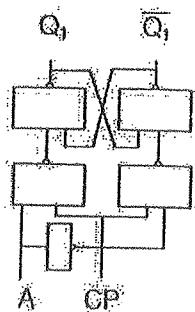
四、分析设计题 (共 30 分)

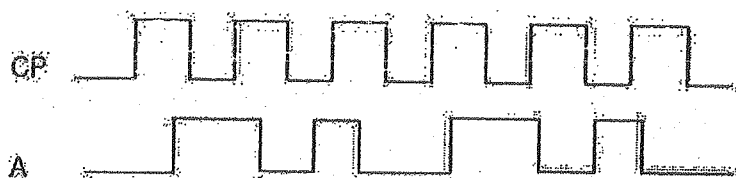
1. 四选一数据选择器的功能见下表, 要实现 $Y(A, B, C) = \sum m(1, 4, 6, 7)$ 功能, 芯片应如何连接, 画出电路连接图 (需写出必要的解题步骤) (20 分)

E	A	B	Y
1	×	×	高阻
0	0	0	D_0
0	0	1	D_1
0	1	0	D_2
0	1	1	D_3



2. 触发器电路如下图所示, 试根据 CP 及输入波形画出输出端 Q_1 、 Q_2 的波形。设各触发器的初始状态均为 "0" (10 分)。





Q₁

Q₂

数字电子电路 模拟试题-2 评分标准

一、填空题 (共 30 分, 每空 2 分, 第 5 小题每空 1 分)

1. 正偏; 反偏; P_i ; N_i
2. 正逻辑; 负或非门
3. 16; 4
4. $(10001111)_2$; $(11F)_{16}$
5. RS; JK; D; T
6. $Y_1 = \overline{A}B$; $Y_2 = \overline{A}B + AB$; $Y_3 = \overline{AB}$

二、选择题 (共 20 分, 每题 4 分)

- (1) C (2) A (3) C (4) B (5) C

三、化简下列逻辑函数, 写出最简与或表达式 (共 20 分, 第 1 题 6 分; 第 2、3 题, 每题 7 分)

(1) $Y_1 = A + B$

(2) $Y_2 = \overline{AB} + \overline{B} \cdot \overline{C}$ 或 $\overline{AB \cdot B \cdot C}$

(3) $Y_3 = \overline{AB} + \overline{CD} + \overline{CD}$

四、分析设计题 (共 30 分, 第 1 题 20 分; 第 2 题 10 分)

1. $Y(A, B, C) = \overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot \overline{C} + A \cdot \overline{B} \cdot C + A \cdot B \cdot C$ 2 分

化简得:

$$\begin{aligned} Y(A, B, C) &= \overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot \overline{C} + A \cdot \overline{B} \cdot C + A \cdot B \cdot C \\ &= \overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot \overline{C} + A \cdot B \end{aligned}$$

..... 4 分

而由功能表可得

$$Y = \overline{A} \cdot \overline{B} \cdot D_0 + \overline{A} \cdot B \cdot D_1 + A \cdot \overline{B} \cdot D_2 + A \cdot B \cdot D_3$$

..... 4 分

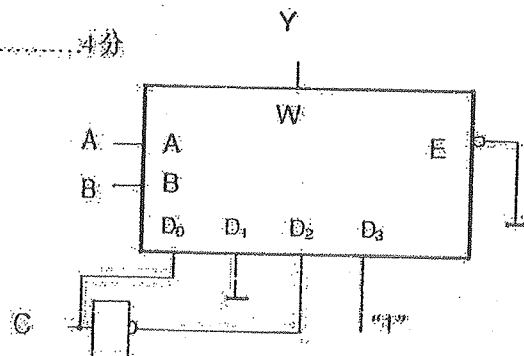
所以 $D_0 = C$

$D_1 = 0$

$D_2 = \overline{C}$

$D_3 = 1$

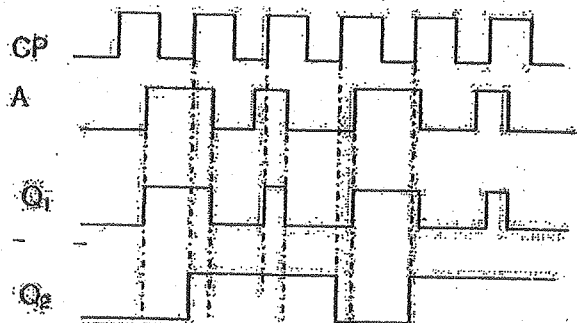
..... 5 分



图全对5分

2.

Q_1 , Q_2 的波形各5分。



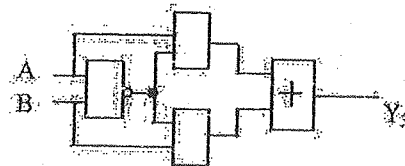
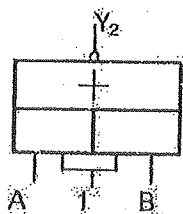
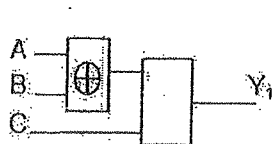
数字电子电路 模拟试题-3

题号	一	二	三	四	总分
得分					

得分	评卷人

一、填空题 (共 30 分)

1. 当 PN 结外加正向电压时, PN 结中的多子_____形成较大的正向电流。
2. NPN 型晶体三极管工作在饱和状态时, 其发射结和集电结的外加电压分别处于_____偏置和_____偏置。
3. 逻辑变量的异或表达式为: $A \oplus B =$ _____。
4. 二进制数 $A=1011010$; $B=10111$, 则 $A \cdot B =$ _____。
5. 组合电路没有_____功能, 因此, 它是由_____组成。
6. 同步 RS 触发器的特性方程为: $Q^{n+1} =$ _____, 其约束方程为: _____。
7. 将 BCD 码翻译成十个对应输出信号的电路称为_____。它有 4 个输入端, _____ 10 _____ 输出端。
8. 下图所示电路中: $Y_1 = (A \oplus B) \cdot C$; $Y_2 = A + B$; $Y_3 =$ _____。



得分	评卷人

二、选择题 (共 20 分)

1. 四个触发器组成的环形计数器最多有 A 个有效状态。
A. 4 B. 6 C. 8 D. 16

2. 逻辑函数 $F = AB + CD$ ，其対偶函数 F' 为 C。

- A. $(A+B)(C+D)$ B. $(A+B)(\overline{C}+\overline{D})$ C. $(A+\overline{B})(\overline{C}+\overline{D})$

3. 用 8421 码表示的十进制数 65，可以写成 C。

- A. 65 B. $[1000001]_{BCD}$ C. $[01100101]_{BCD}$ D. $[1000001]_2$

4. 用卡诺图化简逻辑函数时，若每个方格群尽可能选大，则在化简后的最简表达式

中 B。

- A. 与项的个数少 B. 每个与项中含有的变量个数少 C. 化简结果具有唯一性

5. 已知某电路的真值表如下，该电路的逻辑表达式为 C。

- A. $Y = C$ B. $Y = ABC$ C. $Y = AB + \overline{C}$ D. $Y = \overline{BC} + C$

A	B	C	Y	A	B	C	Y
0	0	0	0	1	0	0	0
0	0	1	1	1	0	1	1
0	1	0	0	1	1	0	1
0	1	1	1	1	1	1	1

得分	评卷人

三、化简下列逻辑函数，写出最简与或表达式。（共 20 分）

1. 证明等式： $\overline{AB} + A\overline{B} = \overline{A \cdot B} + AB$

2. $Y_2 = \sum m(0, 1, 2, 3, 4, 5, 8, 10, 11, 12)$

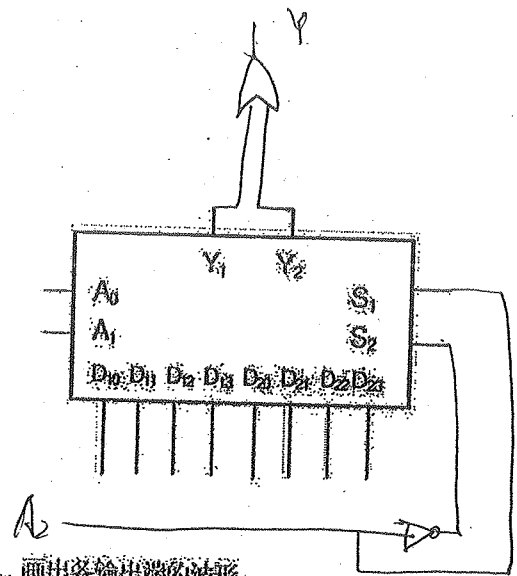
3. $Y_1 = AB \cdot \overline{C} + A\overline{B}C + ABC + \overline{A}BC$

得分	评卷人

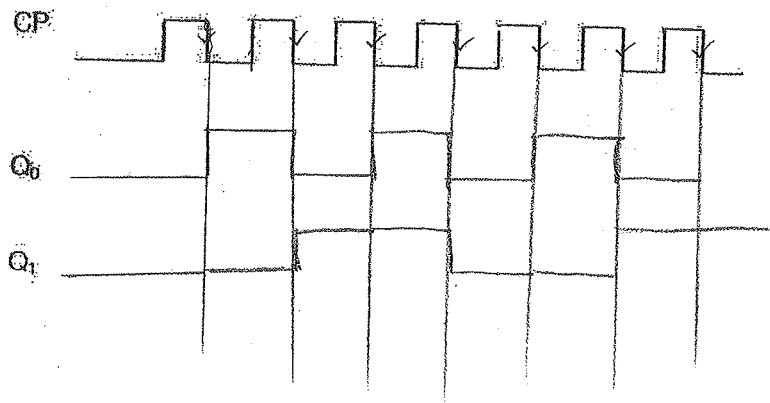
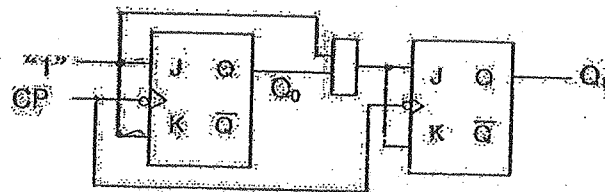
四、分析设计题（共 30 分）

1. 双四选一数据选择器如图所示，其功能表达式如下。现要实现八选一数据选择器的功能（地址信号为 $A_2A_1A_0$ ，数据输入端信号为 $D_7 \sim D_0$ ），请画出电路连接图。

$$\begin{cases} Y_1 = (D_{10}A_1A_0 + D_{11}A_1A_0 + D_{12}A_1A_0 + D_{13}A_1A_0)S_1 \\ Y_2 = (D_{20}A_1A_0 + D_{21}A_1A_0 + D_{22}A_1A_0 + D_{23}A_1A_0)S_2 \end{cases}$$



2. TTL 触发器电路如图所示。试在 CP 信号的计数周期内，画出各输出端的波形。



数字电子电路 模拟试题-3 评分标准

一、填空题 (共 30 分, 每空 2 分)

1. 扩散;
2. 正向; 正向;
3. $\overline{AB} + A\overline{B}$;
4. $(10)_{10}$ 或 $(01011)_{10}$;
5. 恒低; 门电路; _
6. $S + RQ^1$ $RS = 0$;
7. 二-十进制译码器; 4; 10 ;
8. $Y_1 = (A \oplus B)C$ $Y_2 = \overline{A+B}$ $Y_3 = \overline{B \cdot \overline{AB} + A \cdot \overline{AB}} = \overline{AB + \overline{AB}} = A \oplus B$;

二、选择题 (共 20 分, 每题 4 分)

- (1) A (2) C (3) C
(4) B (5) C

三、化简下列逻辑函数, 写出最简与或表达式 (共 20 分, 第 1 题 6 分, 第 2、3 题, 每题 7 分)

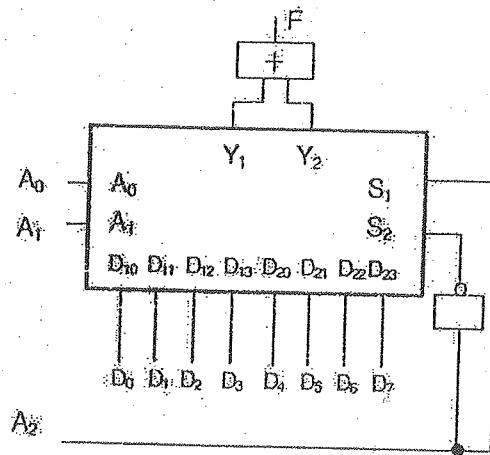
(1) 证明: 左式 $= \overline{AB \cdot \overline{AB}} = \overline{(A+B)(\overline{A+B})} = \overline{AA + AB + A \cdot \overline{B} + BB} = \text{右式}$

(2) $Y_2 = \overline{A} \cdot \overline{C} + \overline{BC} + \overline{C} \cdot \overline{D}$

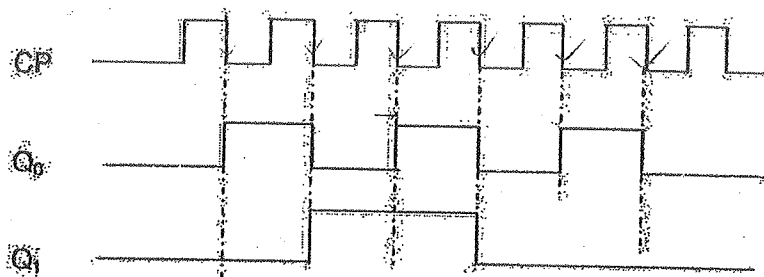
(3) $Y_3 = \overline{A} \cdot \overline{B} \cdot \overline{C} + \overline{A} \cdot \overline{BC} + \overline{AB} \cdot \overline{C} + ABC$

四、分析设计题 (共 30 分, 每题 15 分)

1.



Q₀、Q₁的波形各5分。



试卷三

一、填空题 (共 24 分)

1. $(40F)_{16} = (0100\ 0000\ 1111)_2 = (1039)_{10}$

2. $F(A, B, C) = 1$, 其最小项表达式 $F = \sum m(0, 2, 3, 4, 5, 6)$

3. $(459)_{10} = (0100\ 0101\ 1001)_2$ 8421BCD $= (0111\ 1000\ 1000)_{8421BCD}$ 余3码

4. CMOS “与非”门不用的多余输入端的处理方法有: 接高电平

或接至其他输入端

5. 集电极开路 OC 门的主要用途有: 线与、电平转换、驱动感性负载

6. 施密特触发器与双稳态触发器的区别为: 施密特靠电平触发, 适用于慢变化信号, 双稳态脉冲触发

7. PROM 与 EPROM 的主要区别为: EPROM 可擦除, PROM 不可擦除

8. 组合电路与时序电路的区别: 组合电路不具有记忆功能

简化下列函数, 且写出其最简的“与非”表达式。(12 分)

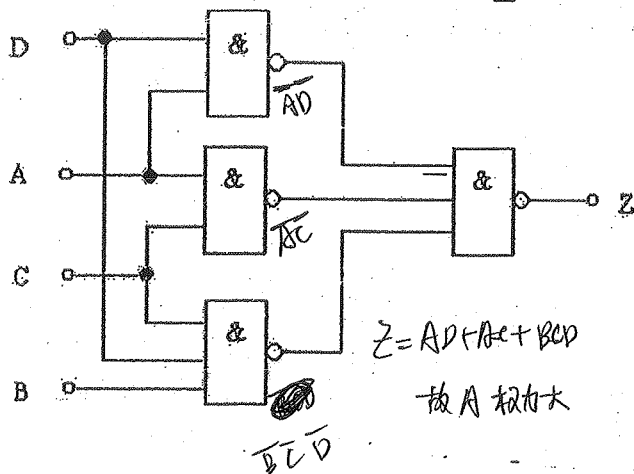
1. $F = A\bar{B} + B\bar{C} + \bar{B}C + \bar{A}B$ (用代数法)

2. $F(A, B, C, D) = \sum m(0, 2, 3, 4, 5, 11, 12) + \sum \phi(8, 9, 10, 13)$

三、由与非门构成的某表决电路如图所示, 其中 A、B、C、D 表示四个人, Z 为 1 时表示议案通过。(10 分)

(1) 试分析电路, 说明议案通过情况共有几种。

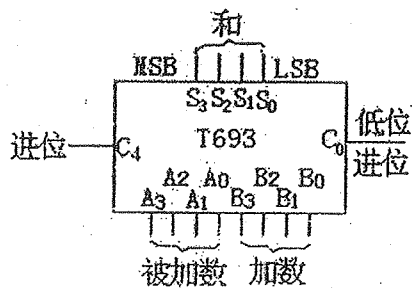
(2) 分析 A、B、C、D 中谁权力最大。



四、用八选一数据选择器 T576 实现函数 F。(8 分)

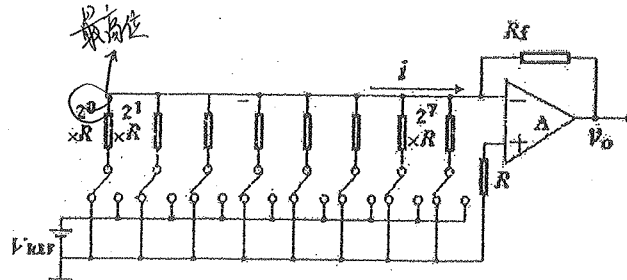
$$F(A, B, C, D) = \sum m(2, 3, 4, 5, 8, 9, 10, 11, 12, 15)$$

五、用一片四位二进制加法器 T693(逻辑符号如下图所示)实现余三 BCD 码至 8421 BCD 码的转换。(需列出真值表, 画出电路连接图)(8 分)



六、已知 8 位二进制权电阻 D/A 变换器, 最高位电阻为 $10\text{ K}\Omega$, 基准电压 $V_{REF} = +10\text{ V}$, 试求以下各状态的电流值: (8 分)

- 1). 最高位输入码为 1;
- 2). 最低位输入码为 1。

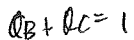


1) $\frac{V_{REF}}{R} = 1\text{ mA}$

2) $\frac{V_{REF}}{R \cdot 2^7} =$

Q_D 为最高位, 依次为 Q_C 、 Q_B 、 Q_A ($Q_{CC} = T \cdot Q_D \cdot Q_C \cdot Q_B \cdot Q_A$) 求: (16分)

1. 分析下图所示电路功能 ($M=?$) 且写出态序表。



2. 利用 LD 端 构成模 $M=7$ 的同步计数器, 并写出态序表和逻辑电路连接图。

八、试用 D 触发器及 PLA 构成一个模 4 的同步计数器。(需有设计过程)
(14 分)

试卷三答案

一、填空题 (共 24 分)

1. $(40F)_{16} = (10000001111)_2 = (1039)_{10}$ 。
2. $F(A, B, C) = 1$, 其最小项表达式 $F = \sum m(0, 1, 2, 3, 4, 5, 6, 7)$ 。
3. $(459)_{10} = (010001011001)_2$ 8421BCD = (011110001100) 余 3 码
4. CMOS “与非” 门不用的多余输入端的处理方法有: 接高电平或与其他输入端相连。
5. 集电极开路 OC 门的主要用途有线与、电平转换、驱动感性负载。
6. 施密特触发器与双稳态触发器的区别为施密特触发器是靠电平触发, 适用于慢变化的信号, 而双稳态触发器是脉冲触发, 不适合于慢变的信号。
7. PROM 与 EPROM 的主要区别为 PROM 只能改写一次, 而 EPROM 是可多次改写。
8. 组合电路与时序电路的区别为组合电路不具有记忆功能, 其输出只与当前的输入有关, 而与电路的前一时刻的输出状态无关。

二、简化下列函数, 且写出其最简的“与非”表达式。(12 分)

1. $F = A\bar{B} + B\bar{C} + \bar{B}C + \bar{A}B$ (代数法)

解: $F = A\bar{B} + B\bar{C} + \bar{B}C + \bar{A}B$ (加入 $\bar{A}C$)

$= A\bar{B} + B\bar{C} + \bar{B}C + \bar{A}B + \bar{A}C$ (消去 $\bar{B}C$)

$= A\bar{B} + \bar{B}C + \bar{A}B + \bar{A}C$ (消去 $\bar{A}B$)

$= A\bar{B} + \bar{B}C + \bar{A}C$

$= \overline{\overline{A\bar{B} + \bar{B}C + \bar{A}C}}$

	\overline{CD}	00	01	11	10
\overline{AB}	00	1	0	1	1
	01	1	1		
	11	1	0		
	10	0	0	1	0

图 18

$$2. F(A, B, C, D) = \sum m(0, 2, 3, 4, 5, 11, 12) + \sum \overline{m}(8, 9, 10, 13)$$

解: 首先画出函数的卡诺图如图 13 所示

然后化简得函数的最简与或式, 再利用还原律和反演律将表达式变成与非表达式。

$$F = BC + \overline{BC} + \overline{CD} = \overline{BC} \cdot \overline{BC} \cdot \overline{CD}$$

三、由与非门构成的某表决电路如图例 1 所示, 其中 A、B、C、D 表示四个人, Z 为 1 时表示议案通过。(12 分)

(1) 试分析电路, 说明议案通过情况共有几种;

(2) 分析 A、B、C、D 中谁权力最大。

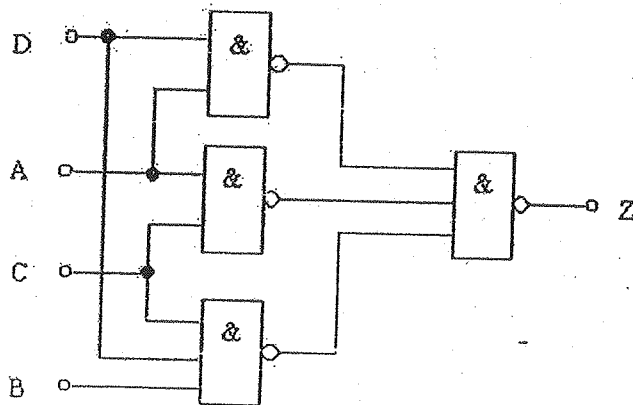


图1

AB \ CD	00	01	11	10
00				
01			1	
11		1	1	1
10		1	1	1

图4

解: (1) 由组合电路分析步骤

(a) 首先逐级写出电路的输出表达式

$$Z = AD + AC + BDC$$

(b) 画出函数的卡诺图

由函数的卡诺图可看出函数式已是最简;

(c) 列真值表

从上述分析可看出议案通过情况共有 7 种

0111, 1001, 1010, 1011, 1101, 1110, 1111;

(2)由上面分析可看出只要A=1时议案通过的可能性最大,因而A的权利最大。

四、用八选一数据选择器T576实现函数F。(6分)

$$F(A, B, C, D) = \sum m(2,3,4,5,8,9,10,11,12,15)$$

解: 由于八选一数据选择器的地址输入(通道选择)信号有: A2 A1 A0 三个。

— 因此将ABC三个变量做地址输入信号,而D作为数据输入。因而实现函数F的关键是根据函数式确定数据输入D0~D7

求数据输入D0~D7可以采用代数法也可采用卡诺图来求

本题采用卡诺图法来求:

1. 首先分别画出函数和选择器的卡诺图如图5(a)、(b)。

AB \ CD	00	01	11	10
00	0	0	1	1
01	1	1	0	0
11	0	0	1	1
10	1	1	1	1

(a)

AB \ CD	00	01	11	10
00	D ₀	D ₀	D ₁	D ₁
01	D ₂	D ₂	D ₃	D ₃
11	D ₆	D ₆	D ₇	D ₇
10	D ₄	D ₄	D ₅	D ₅

(b)

图5

图(b)为取A、B、C作地址选择画出的选择器卡诺图,当ABC由000~111变化,其相应的输出数据为D0~D7,因此反映在卡诺图上相应的方格分别填入D0~D7,其余的一个变量D可组成余函数。

对照图5(a)和(b)可确定D0~D7,其方法是:

图(b)中D_i对应于图(a)中的方格内全为1,则此D_i=1;反之,若方格内全为0,则D_i=0。

图(b)中D_i对应于图(a)中的方格内有0也有1,则D_i应为1格对应的输入变量的积之和(此积之和式中只能含余下变量D)。

由此得D_i为

$D_0=0$ $D_1=1$ $D_2=1$ $D_3=0$ $D_4=1$ $D_5=1$ $D_6=0$ $D_7=1$

其逻辑图如图6所示。

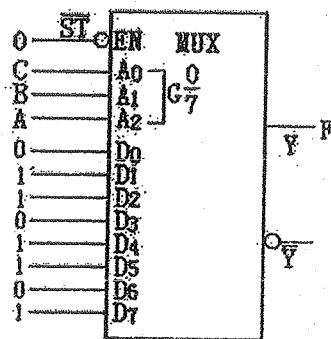


图6

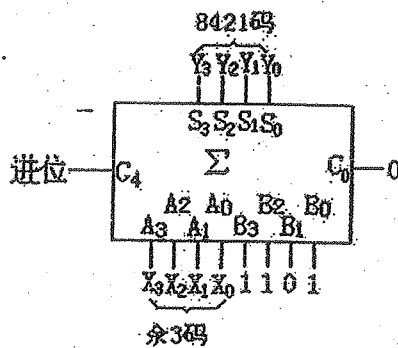


图7

五、用一片四位二进制加法器 T693（逻辑符号如下图所示）实现余三 BCD 码至 8421BCD 码的转换。（需列出真值表，画出电路连接图）（8 分）

解：根据题意要求设计一个实现余三 BCD 码至 8421BCD

因而，电路的输入变量用 X_3 X_2 X_1 X_0 来表示输入的余三 BCD

输出变量用 Y_3 Y_2 Y_1 Y_0 代表输出的 8421BCD，由此列出真值表，真值表中同时给出码所对应的十进制数。

输入（余三 BCD 码） $X_3X_2X_1X_0$	输出（8421BCD 码） $Y_3Y_2Y_1Y_0$	十进制数
0011	0000	0
0100	0001	1
0101	0010	2
0110	0011	3
0111	0100	4
1000	0101	5
1001	0110	6
1010	0111	7
1011	1000	8
1100	1001	9

由表可看出，欲将余三 BCD 码转至 8421BCD 只要将输入余三 BCD 码减 3 (0011) 即可得到所对应的 8421BCD。

题目要求用加法器来实现，而欲实现的是减3，可转换成余三BCD加-3的补码来实现。因此，用一块四位加法器在一组输入端 A_3, A_2, A_1, A_0 加余三BCD码，而另一组输入 B_3, B_2, B_1, B_0 加上常数 (-3) 补码 $= 1101$ ，进位输入端 C_0 接0，则在输出端 Y_3, Y_2, Y_1 和 Y_0 得到的是余3码。图7为转换电路的逻辑图。

六、(8分)

解：此电路为权电阻网络D/A转换器。

由于最高位电阻 $2^0 R = 10K$

故最低位电阻 $R = 1V \times 1.6$;

所以(1)当最低位输入码为1时，

$$I_{\text{最低位为1}} = \frac{1.0V}{1.0K} = 1mA$$

(2)当最低位输入码为1时，

$$I_{\text{最低位为1}} = \frac{1.0V}{1.6 \times 1.0K} = 0.0625mA$$

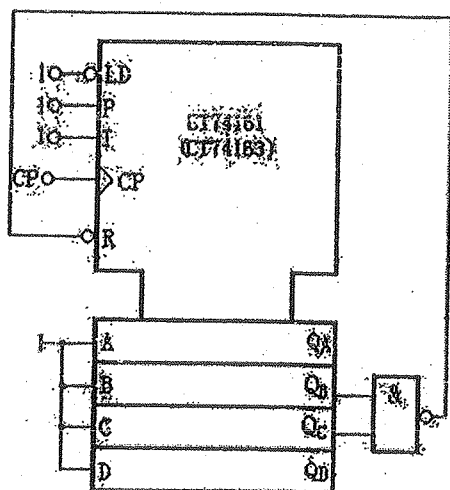


图3

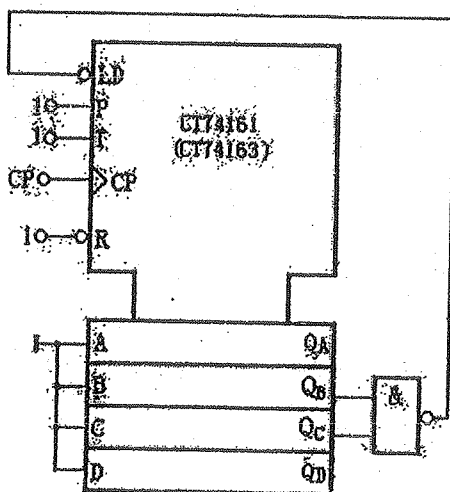


图10

七、四位二进制同步计数器 T1161 的功能表如下（计数状态按自然二进制码转换，QD 为最高位，依次为 QC、QB、QA）。（QCC=T · QD · QC · QB · QA）（16 分）

1. 分析下图所示电路功能（M=?）且写出态序表。

解：由逻辑电路图可看出，该电路是利用反馈清零法实现相应的计数的。态序表如下

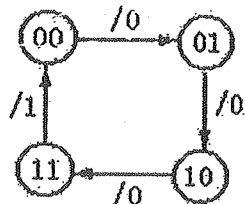
表 4 态序表				
CP	Q _D	Q _C	Q _B	Q _A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
	0	0	0	0

由态序表可以看出，该电路实现的是同步的模 M=6 的计数器。

2. 利用 LD 端构成模 M=7 的同步计数器，并写出态序表和逻辑电路连接图。

解：

4 态序表		
CP	Q _b Q _c Q _a	
0	0 0 0 0	
1	0 0 0 1	
2	0 0 1 0	
3	0 0 1 1	
4	0 1 0 0	
5	0 1 0 1	
6	0 1 1 0	
7	0 0 0 0	



八、试用 D 触发器及 PLA 构成一个模 4 的同步计数器。(需写出设计过程, 14 分)

解: 第一步 画出原始状态图

按题目要求设计一个模 4 的计数器, 由此可只电路只有四个状态, 用两位二进制码来表示, 由此可直接画出编码以后的状态图。

计数器无外加控制输入端, 状态转换是在 CP 脉冲控制下实现的,

输出端用 Z 表示模 4 计数器的进位输出端。

第二步 选触发器, 求触发器的控制函数和输出函数。

题目要求用 D 触发器, 由于每个状态用两位二进制码来表示, 因而需用两个 D 触发器。用 Q₁ 和 Q₀ 分别表示两个触发器的状态。

欲求触发器的控制函数和输出函数应首先列出状态表, 如表所示。

Q _{1n} Q _{0n}	Q _{1n+1} Q _{0n+1}	D ₁ D ₀	Z
0 0	0 1	0 1	0
0 1	1 0	1 0	0
1 0	1 1	1 1	0
1 1	0 0	0 0	1

由状态表可直接写出控制函数和输出函数的表达式:

$$D_0 = \bar{Q}_{0n} \quad D_1 = \bar{Q}_{1n}Q_{0n} + Q_{1n}\bar{Q}_{0n} \quad Z = Q_{1n}Q_{0n}$$

第三步 画出逻辑电路图

PLA 阵列输入量来自两个触发器的输出, 其与阵列产生所需要的四个与项

(乘积项) $\bar{Q}_{0n}, \bar{Q}_{1n}Q_{0n}, Q_{1n}\bar{Q}_{0n}, Q_{1n}Q_{0n}$, 或阵列的输出有三个 D₁、D₀、Z。由此可画出

逻辑电路图如图 12 所示。

