



## 一、化简 (10 分)

$$1. F_1(A, B, C, D) = B + C + AD$$

$$2. F_2(A, B, C, D) = \overline{AB} + CD + ABD$$

## 二、综合题 (25 分)

1. 上拉电阻 R 的最大值和最小值分别为:

$$R_{L_{max}} = \frac{V_{CC} - V_{OH_{min}}}{2I_{OH} + 8I_{IH}} \text{ 约 } 4.3k\Omega$$

$$R_{L_{min}} = \frac{V_{CC} - V_{OL_{max}}}{I_{OL_{max}} - 5I_{IL}} \text{ 约 } 0.43k\Omega$$

因此, R 的取值范围为:  $0.43k\Omega \leq R_L \leq 4.3k\Omega$ 。

2. 至少需要 9 位的 A/D 转换器; 最小分辨电压  $V_{LSB}=0.039V$ 。  
 3. Q 的波形如图 2-1 所示。

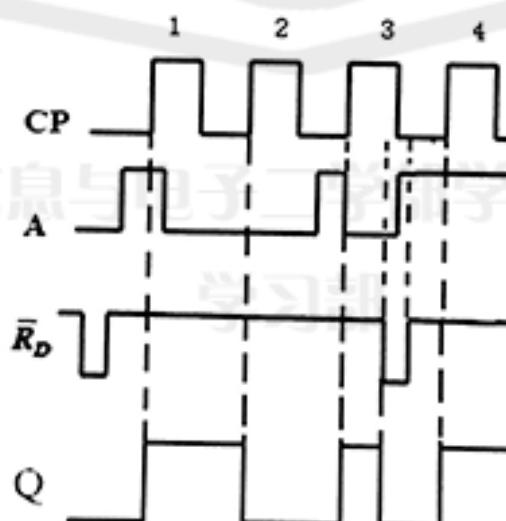


图 2-1

4. 图 2-3 各电路名称: a 图为二进制计数器; b 图为单稳态触发器; c 图为六进制计数器; d 图为施密特触发器。

三、(10 分) 解: 首先将所设计的逻辑函数  $\begin{cases} F_0 = \overline{ABD} + AD(B \oplus C) \\ F_1 = \overline{ABC}\bar{D} + \overline{ABC} \end{cases}$  转换为

最小项的和的形式为：  $\begin{cases} F_0(A, B, C, D) = \sum m(4, 6, 11, 13) \\ F_1(A, B, C, D) = \sum m(2, 6, 7, 10) \end{cases}$

$A_3 = A, A_2 = B, A_1 = C, A_0 = D$ ，则得到逻辑电路图如图 2 所示。

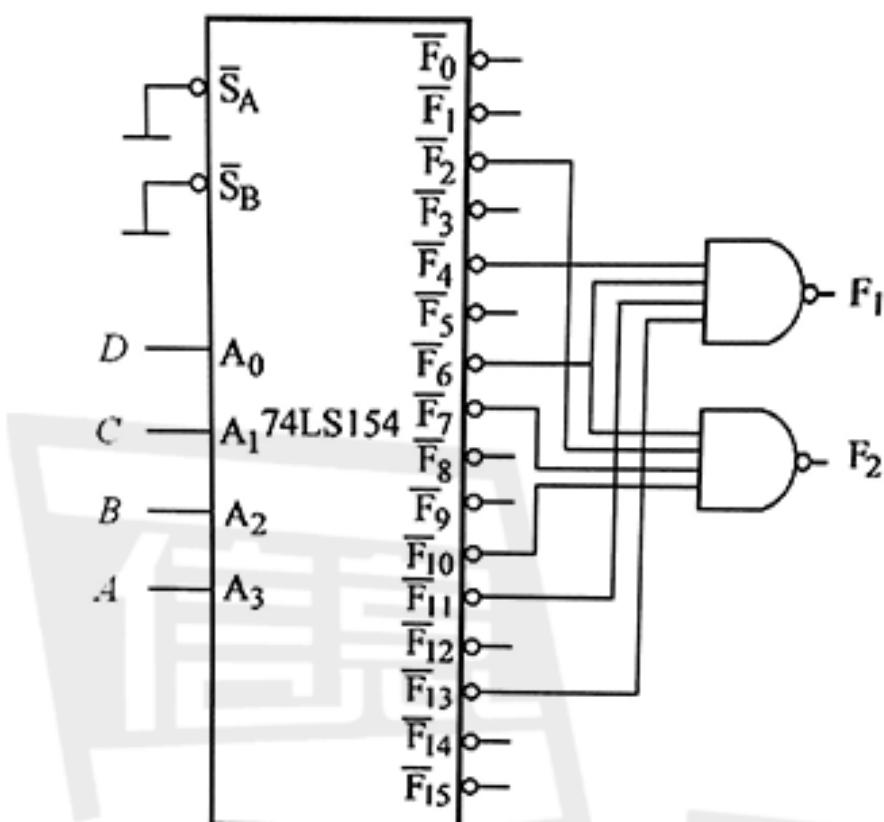


图 2

四、(14 分) 解：(1) 此时序逻辑电路的驱动方程为：

$$\begin{cases} J_1 = K_1 = 1 \\ J_2 = K_2 = A \oplus Q_1 \end{cases}$$

(2) 根据 JK 触发器的特性方程写出状态方程：

$$\begin{cases} Q_1^{n+1} = \overline{Q_1} \\ Q_2^{n+1} = A \oplus Q_1 \overline{Q_2} + \overline{A \oplus Q_1} Q_2 = A \oplus Q_1 \oplus Q_2 \end{cases}$$

$$\text{输出方程为: } CO = A Q_1 Q_2 + \overline{A} \overline{Q_1} \overline{Q_2}$$

(3) 电路的状态转换图如图 4 所示。

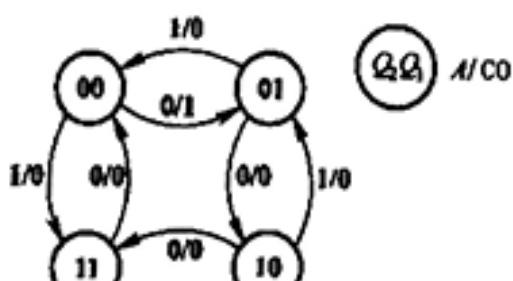


图 4

(5) 逻辑功能：此电路为可逆计数器。当  $A$  为 0 时实现两位二进制加法计数功能，输出  $CO$  为进位信号；当  $A$  为 1 时实现两位二进制减法计数功能，输出  $CO$  为借位信号。

五、(12 分) 解：由于所设计的可控进制计数器的模为 47 和 65，因此首先采用两片 74LS160 构成  $10 \times 10 = 100$  进制计数器。根据要求要采用进位输出端及预置端来实现设计，也就是采用 99 这个状态来进行预置。当  $M=0$  时为 47 进制，预置数为  $(99-47+1)=53$ ；当  $M=1$  时为 65 进制，预置数为  $(99-64+1)=35$ 。因此高位芯片 74LS160 的预置数为  $D_3=0, D_2=\bar{M}, D_1=M, D_0=1$ ；低位芯片的预置数为  $D_3=0, D_2=M, D_1=\bar{M}, D_0=1$ 。

实现此设计的逻辑电路图如图 5 所示。

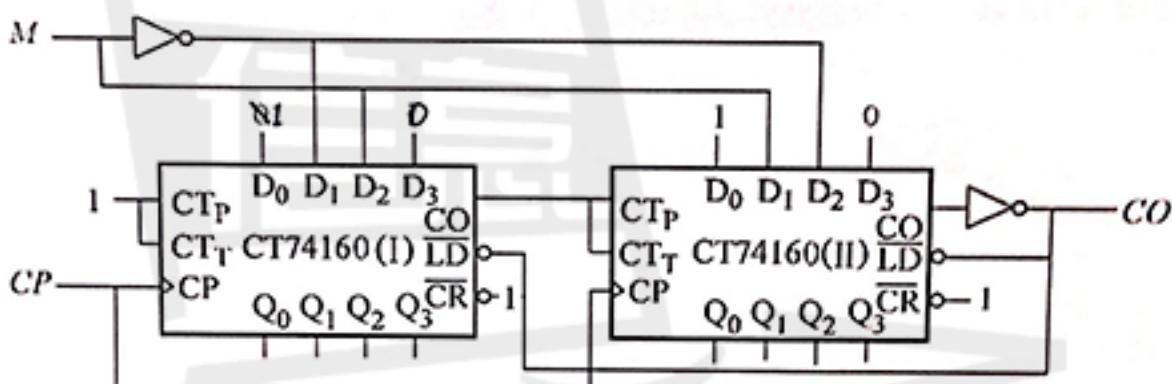


图 5

六、(11 分) 解：

对于上述逻辑问题，首先要进行逻辑抽象。设定输入变量为  $A$ 、 $B$  和  $CI$ ，其中  $A$  为被减数， $B$  为减数， $CI$  为低位的借位；设定输出变量为  $D$  和  $CO$ ，其中  $D$  为差， $CO$  为本位的借位。根据题意可得真值表如表 6 所示。

表 6

输入			输出	
$A$	$B$	$CI$	$D$	$CO$
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

入变量和 2 个输出变量，在此，选用的 ROM 地址线的数量与输入变量相同，数据位数与输出变量相同，即选用存储容量为  $2^3 \times 2$  位的 ROM 来实现该电路。

其次，将函数表示成最小项的和的形式-即标准与或式。由表 6 可得两输出变量的标准与或式为：

$$\begin{cases} D(A, B, CI) = \sum m(1, 2, 4, 7) \\ CO(A, B, CI) = \sum m(1, 2, 3, 7) \end{cases}$$

最后，画出 ROM 存储矩阵连接图。用输入的 3 根地址线表示输入变量  $A$ 、 $B$  和  $CI$ ，经过译码获得其包含的全部最小项；用 2 根位输出线表示输出变量  $D$  和  $CO$ ，并按照上述标准与或式，在存储矩阵的相应位置上放置存储器件。为了简化作图，以圆点代替存储器件，即在式中包含的最小项的矩阵交叉处画一个圆点，用以代表接入一个存储器件（后面各题同此处定义）。图中当接入存储器件时代表存入 1，未接入器件代表存入 0（后面各题同此处定义），则点阵图如图 6 所示。

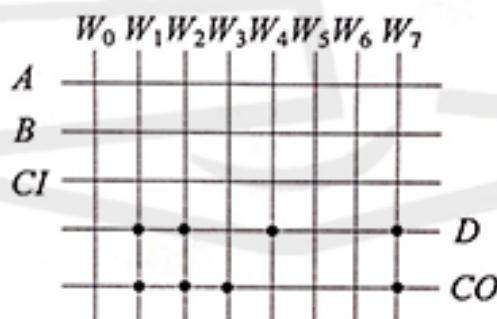


图 6

七、(18分)解:

1. 图中 CT74161 构成 12 进制计数器，有效状态转换图如图 7 所示。

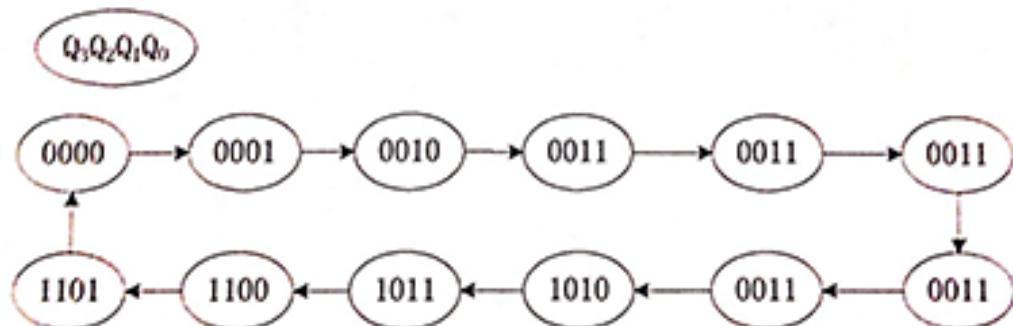


图 7



2.  $v_{O1}$  的频率  $f = \frac{1}{(R_1 + 2R_2)C \ln 2} = \frac{1}{(19 + 100) \times 10^3 \times 0.1 \times 10^{-6} \times \ln 2} \approx 120\text{Hz}$ 。
3. RAM 输入  $A_3A_2A_1A_0$  (即  $Q_3Q_2Q_1Q_0$ ) 不同取值时  $v_O$  的对应电压如表 7 所示

表 7

$A_3$	$A_2$	$A_1$	$A_0$	$v_O$	$A_3$	$A_2$	$A_1$	$A_0$	$v_O$
0	0	0	0	0	1	0	0	0	12
0	0	0	1	2	1	0	0	1	10
0	0	1	0	4	1	0	1	0	8
0	0	1	1	5	1	0	1	1	6
0	1	0	0	8	1	1	0	0	4
0	1	0	1	10	1	1	0	1	2
0	1	1	0	12	1	1	1	0	0
0	1	1	1	14	1	1	1	1	0

信息与电子二学部学生会

学习部