

Mikroişlemci Sistemleri

Dr. Öğr. Üyesi Erkan Uslu

14

YTÜ-CE

Ders-14 Konular

- Hafıza Birimleri

- ROM

- Masked ROM
 - PROM
 - EPROM
 - EEPROM
 - Flash Memory

- RAM

- SRAM

- DRAM

- Adres Çözümleme

- 8086 - Hafıza Birimleri Arayüzü

- Örnekler

ROM (Read Only Memory)

- ROM hafıza birimi çalışması sırasında sadece okunabilir
- ROM → non-volatile : enerjisi kesildiğinde verisi kaybolmaz
- 8086 reset vektöründe bir ROM yerleşiktir

ROM Çeşitleri

- Masked ROM
- PROM (programmable read-only memory)
- EPROM (erasable programmable read-only memory)
- EEPROM (electrically erasable programmable read-only memory)
- Flash Memory

Masked ROM

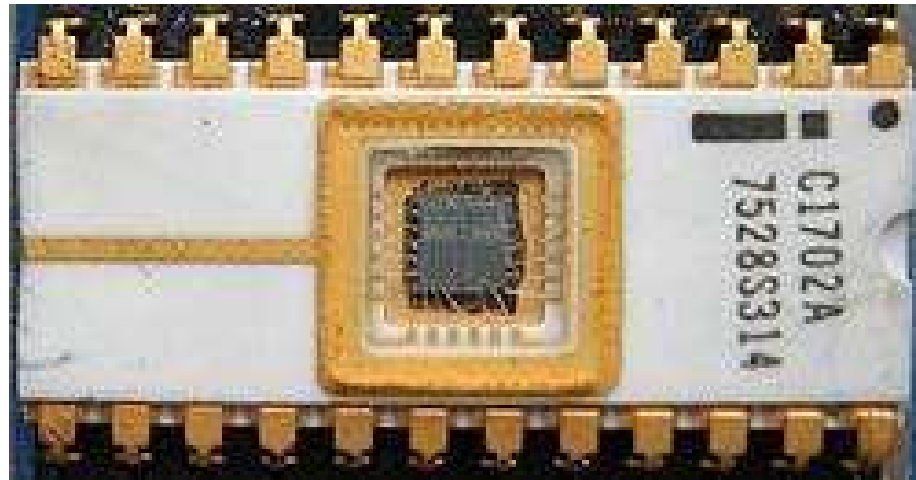
- Üretim aşamasında programlanır
- Kullanıcı tarafından yeniden programlanamaz
- Yüksek miktarda üretim için uygun maliyettedir

PROM

- Sigorta (fuse) link teknolojisi kullanır
- Kullanıcı tarafından 1 kere programlanabilir
- OTP (one time programmable) olarak da isimlendirilir

EPROM

- Kullanıcı tarafından çok defa silinip yazılabilir
- Silme işleminde tüm içerik silinir
- Silme işlemi UV ışık altında 15-20 dk tutularak yapılır



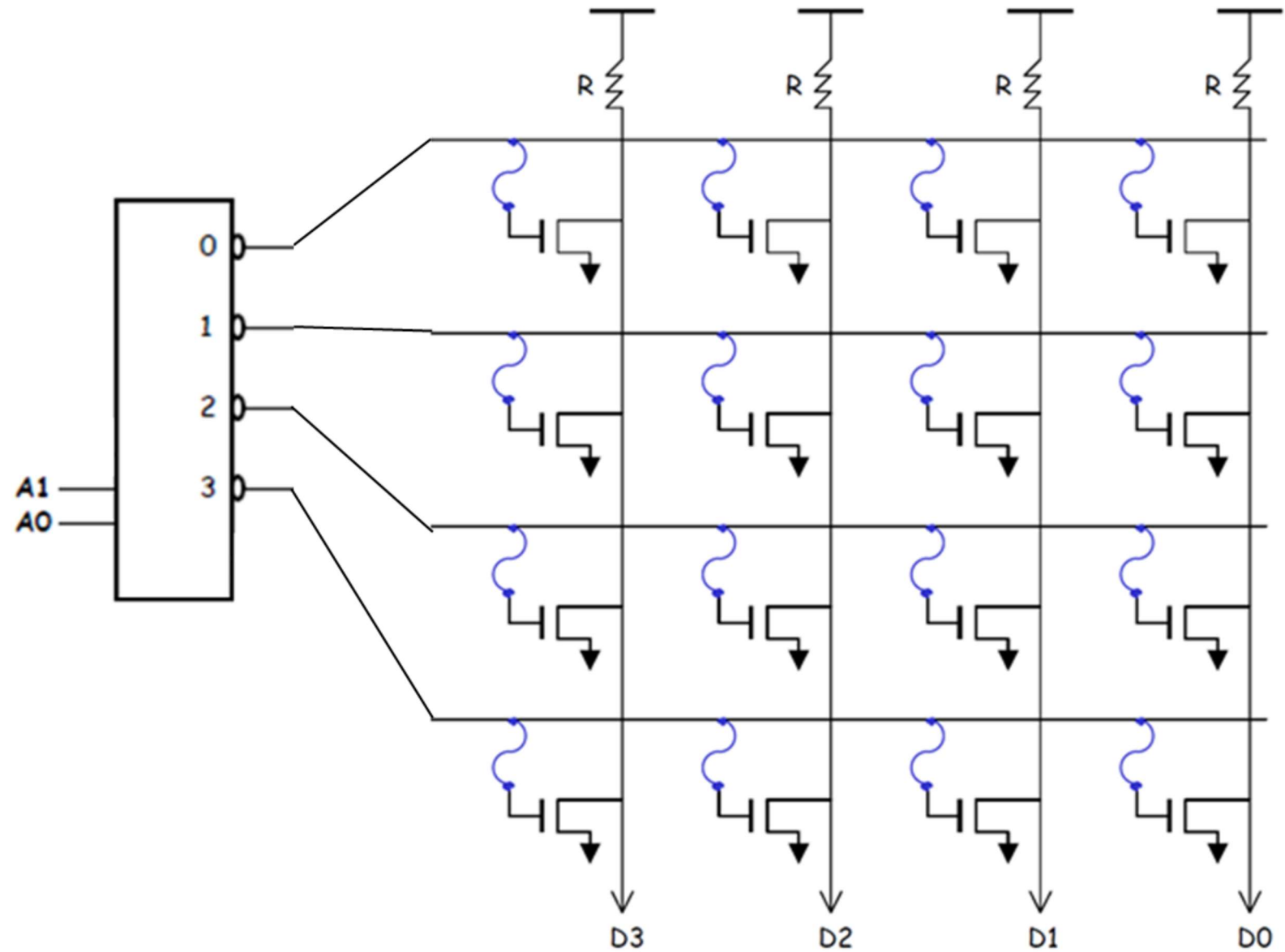
EEPROM

- Devrede programlanabilir
- Byte seviyesinde tekil silme imkanı var

Flash ROM

- Yığın olarak silinebilir
- EEPROM göre daha az esnektir

4x4 ROM



4x4 ROM

Program:

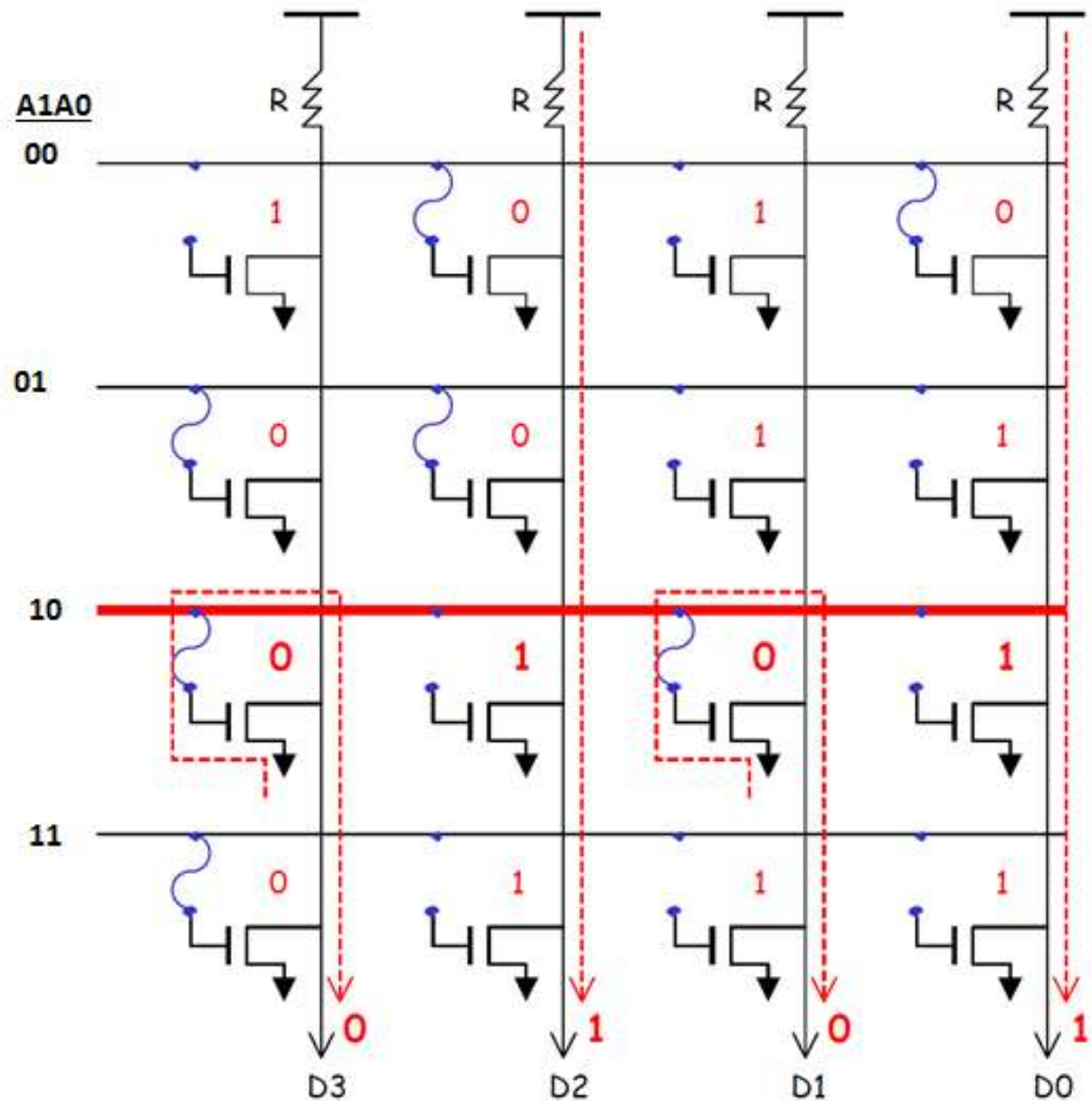
Adr./Data

0 – A

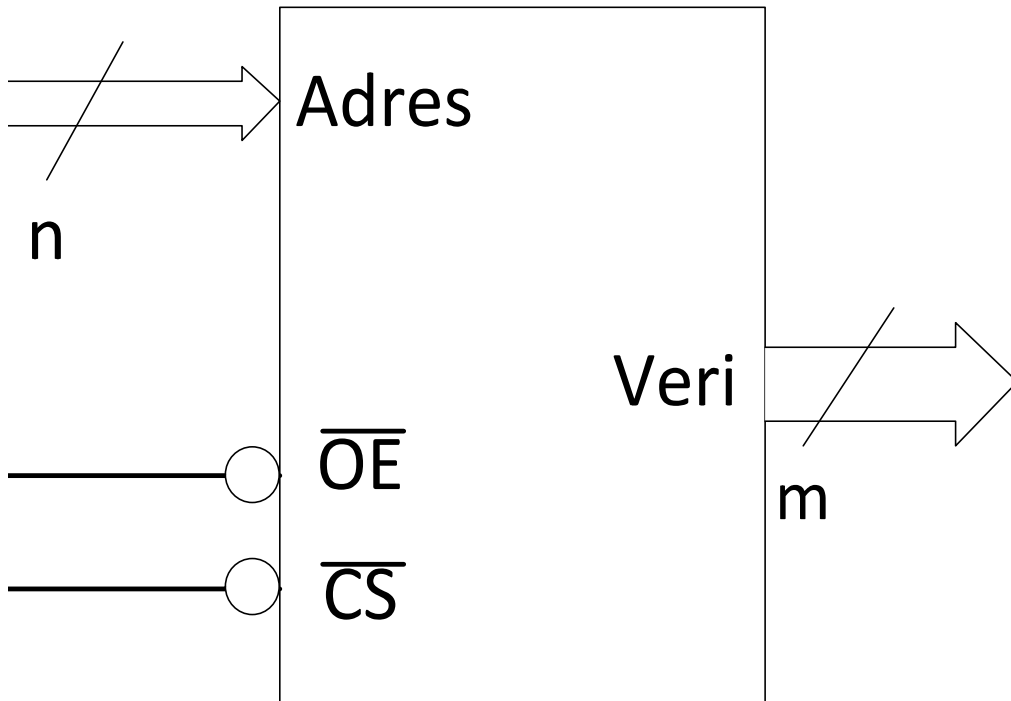
1 – 3

2 – 5

3 – 7



ROM Blok Diyagramı



$2^n \times m$ kapasiteli ROM

$\overline{OE} \leftrightarrow \overline{RD}$

$\overline{CS} \leftrightarrow$ Adres çözümleme

RAM (Random Access Memory)

- RAM → volatile memory
- Hızlı okuma ve yazma
- Bilgisayarda «main memory» olarak kullanılır
- Random access vs. sequential access

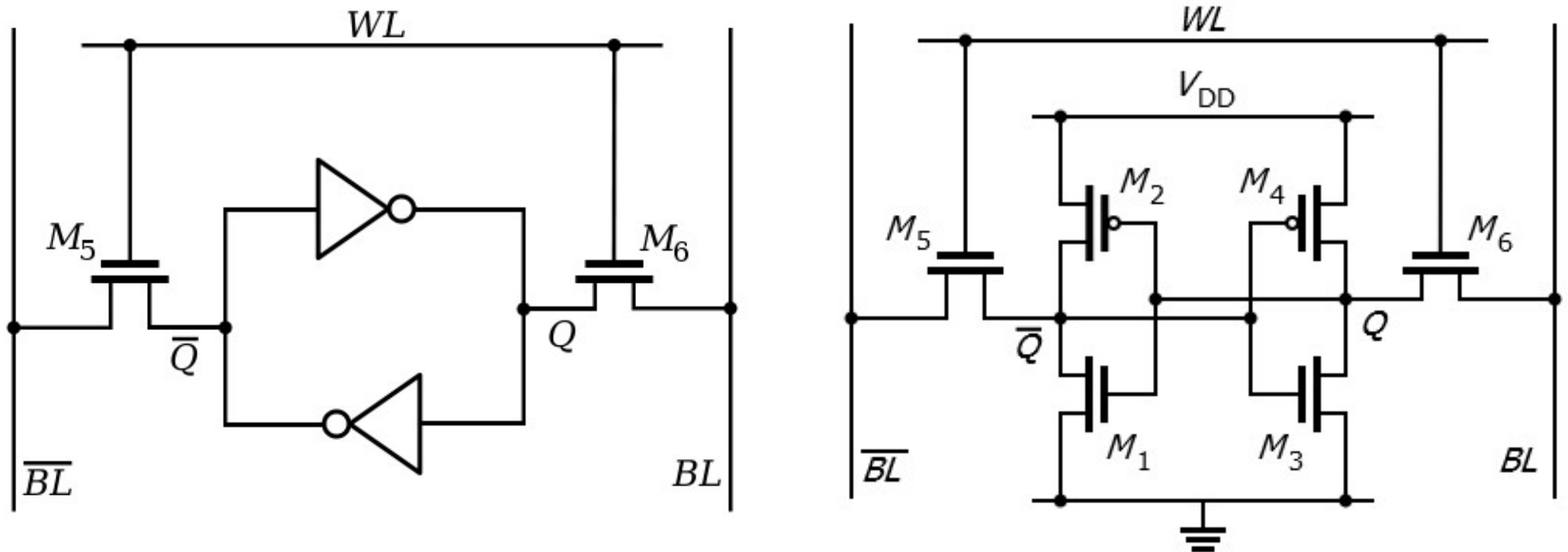
RAM Çeşitleri

- SRAM (static random access memory)
- DRAM (dynamic random access memory)

SRAM

- SRAM çapraz eşleştirilmiş değil kapıları kullanır.
- Hafıza bölgesine yeni bir veri yazılana kadar enerjisi mevcut olduğu sürece veriyi saklar

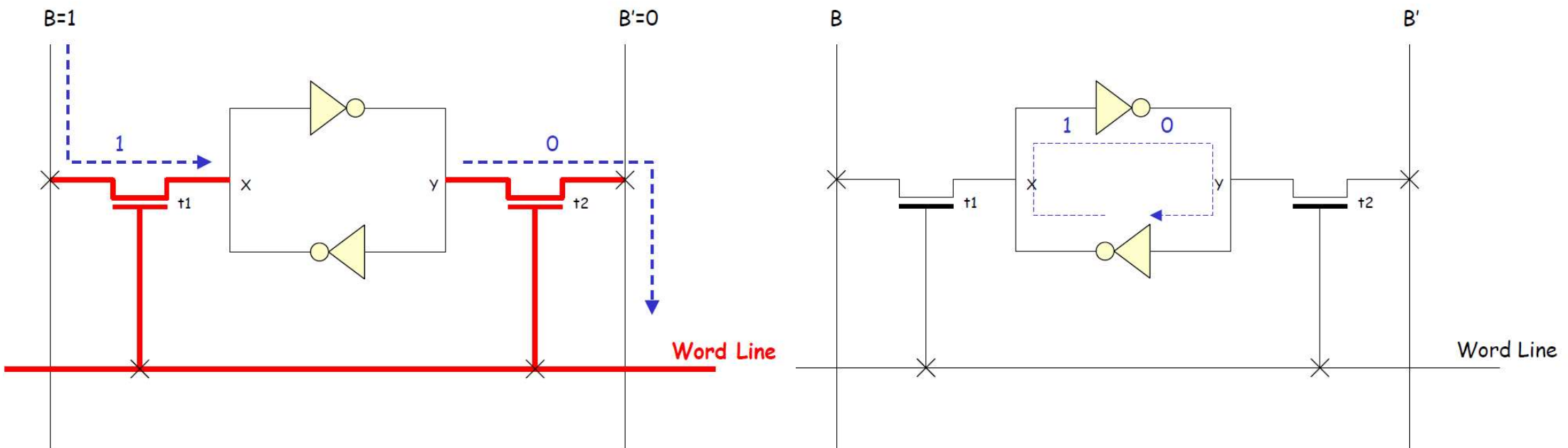
SRAM Hücresi



WL: word line (adres), BL: bit line (data)

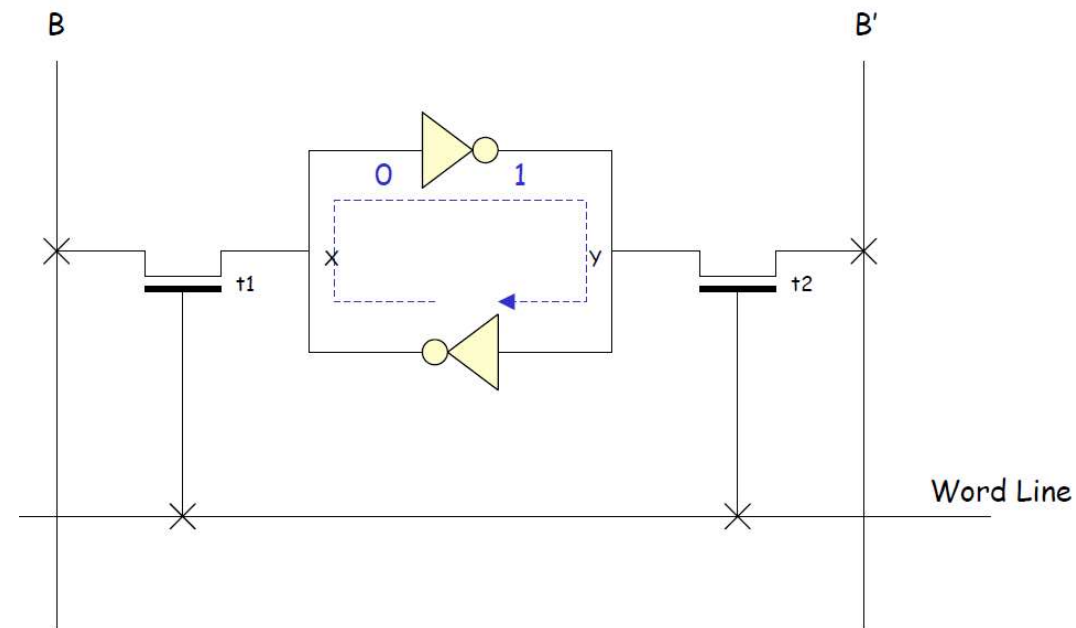
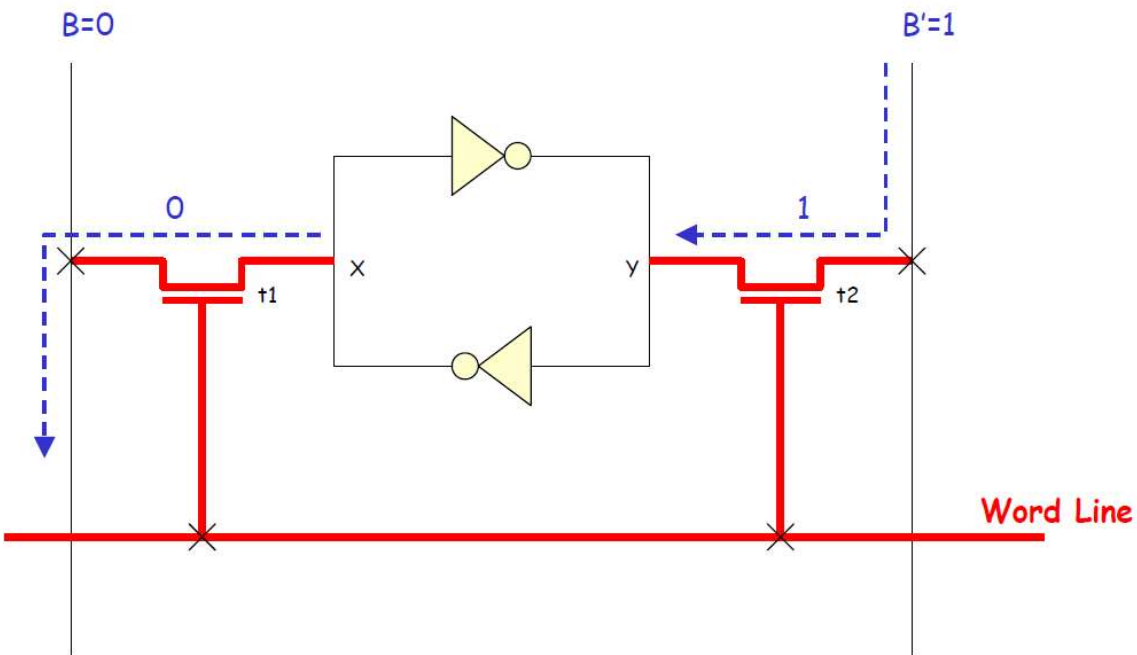
SRAM – 1 Yazma Mantığı

- $BL=1$ and $\overline{BL}=0$
- $WL=1$



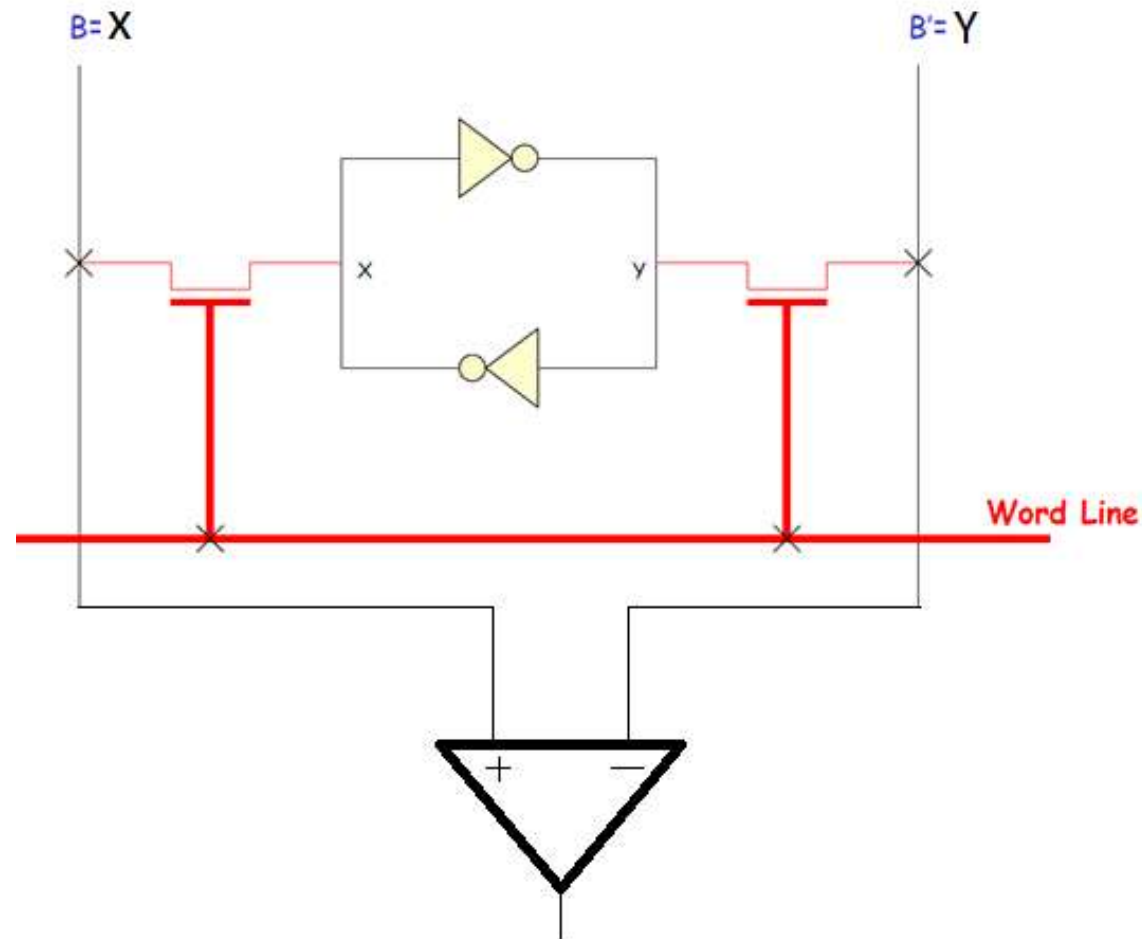
SRAM – 0 Yazma Mantığı

- $BL=0$ and $\overline{BL}=1$
- $WL=1$

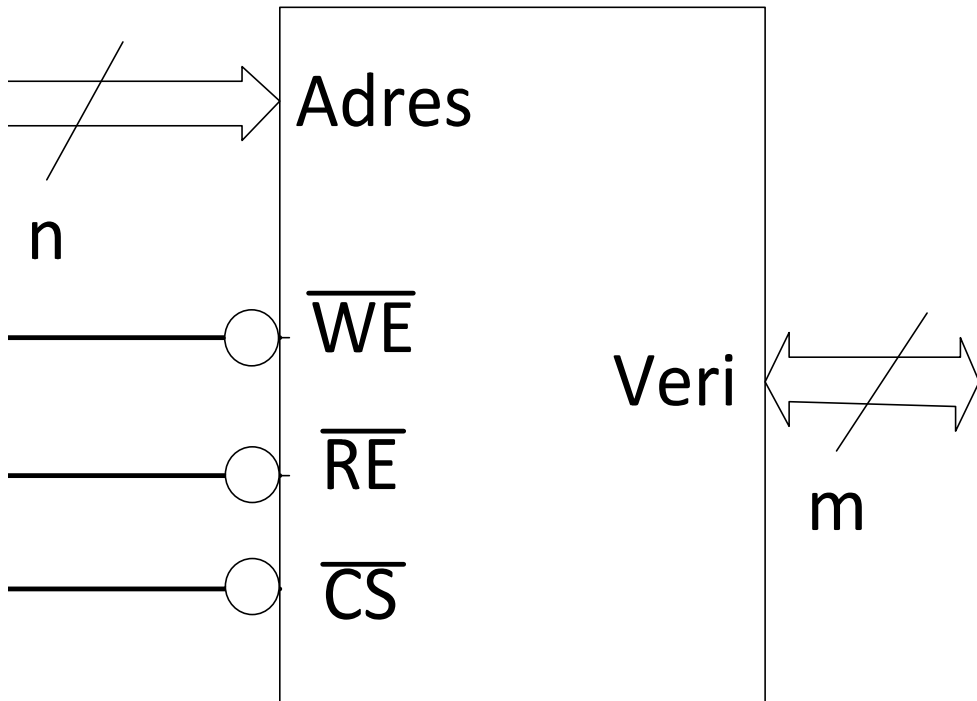


SRAM – Okuma Mantığı

- $WL=1$



SRAM Blok Diyagramı



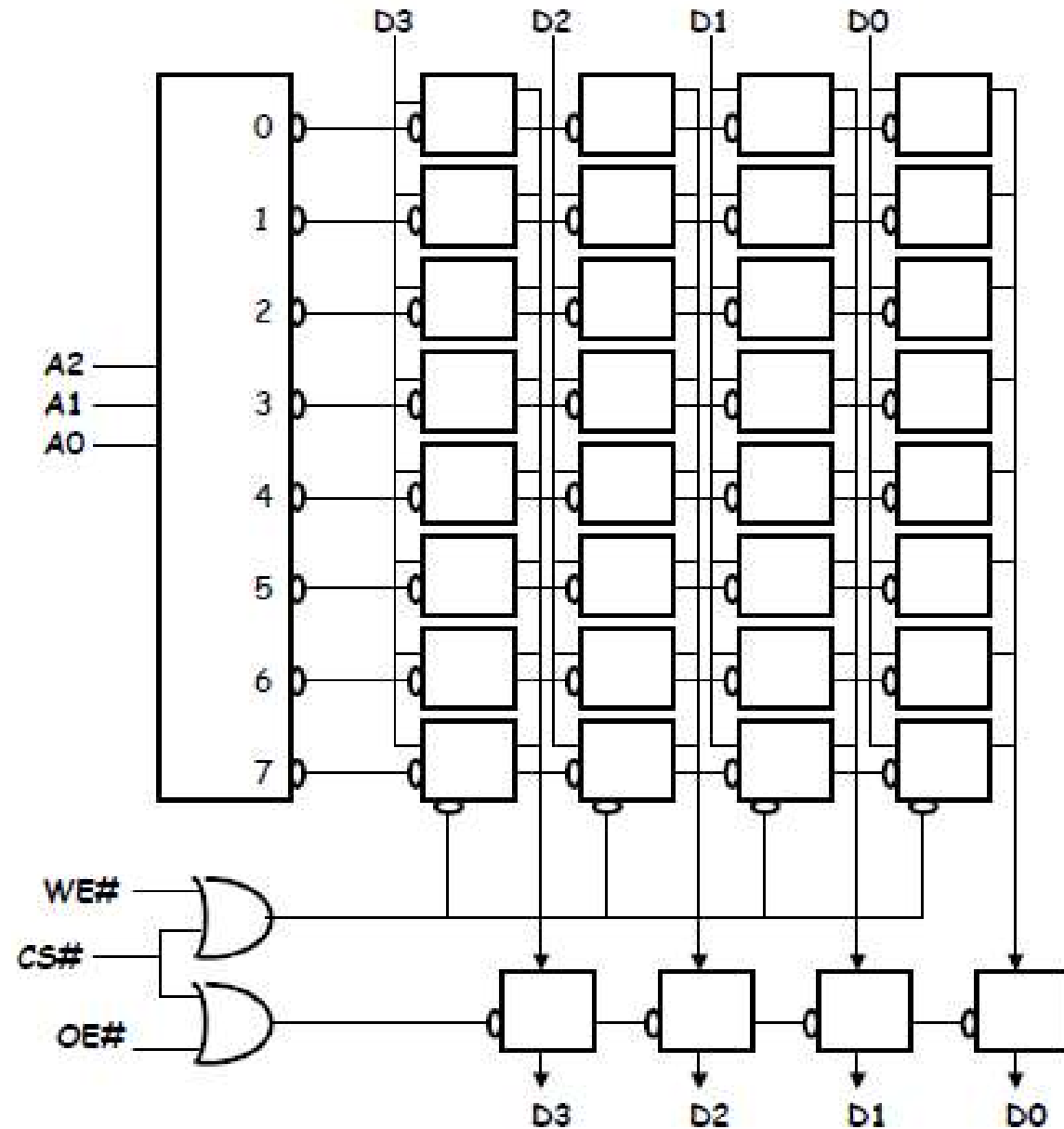
$2^n \times m$ kapasiteli SRAM

$\overline{RE} \leftrightarrow \overline{RD}$

$\overline{WE} \leftrightarrow \overline{WR}$

$\overline{CS} \leftrightarrow$ Adres çözümleme

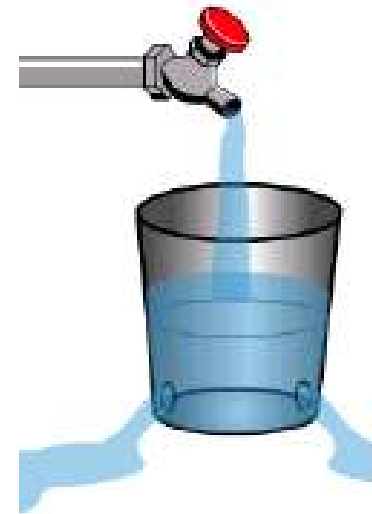
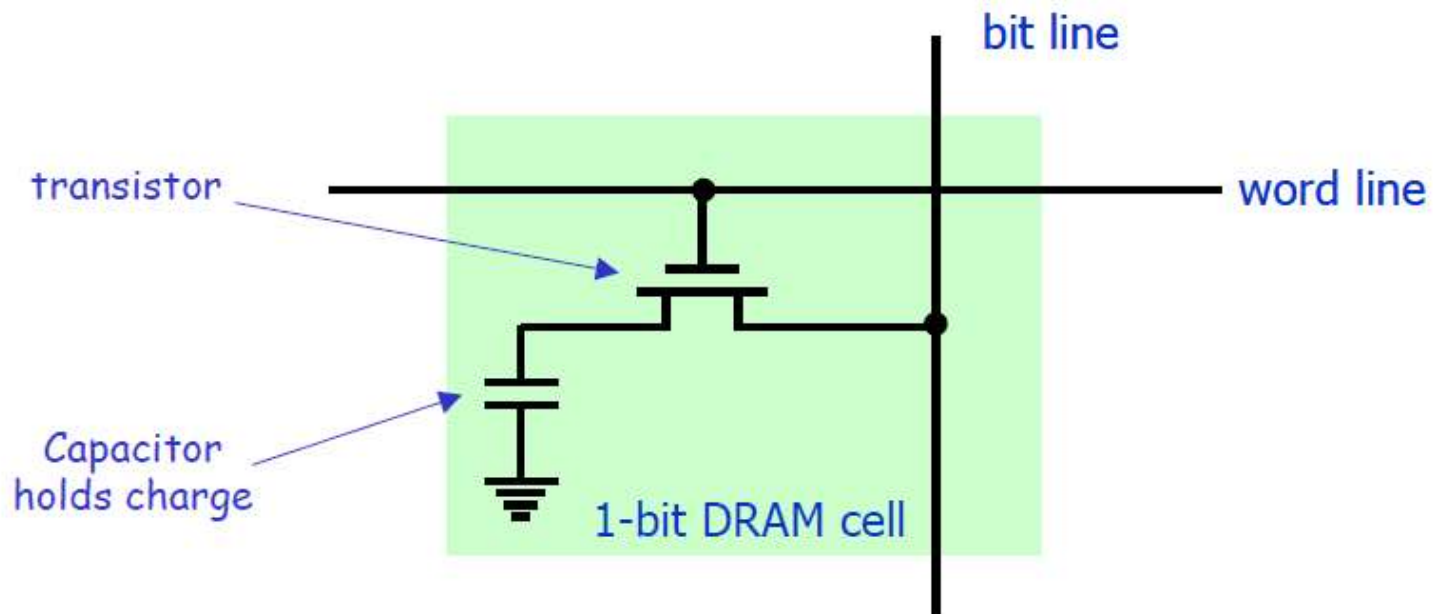
SRAM iç Yapısı



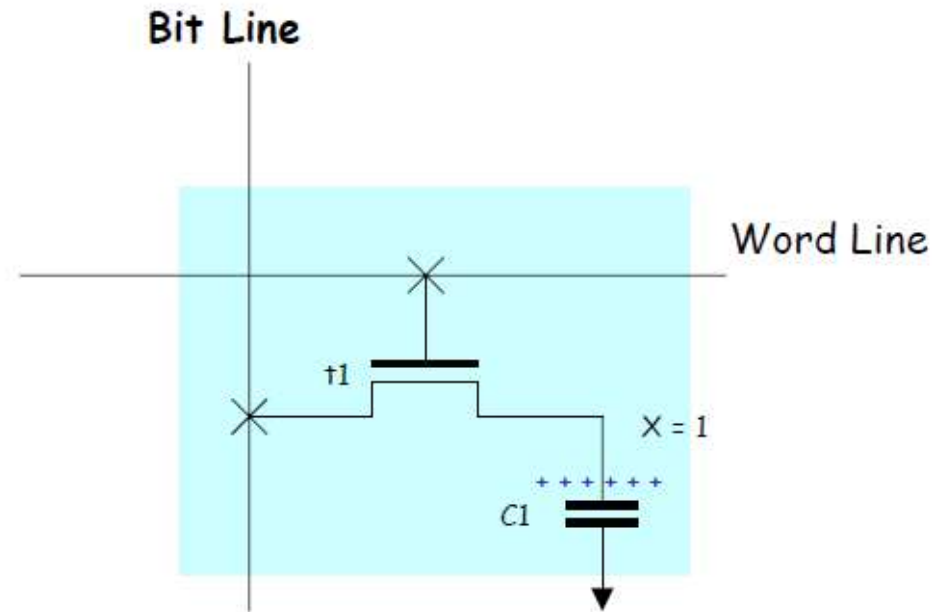
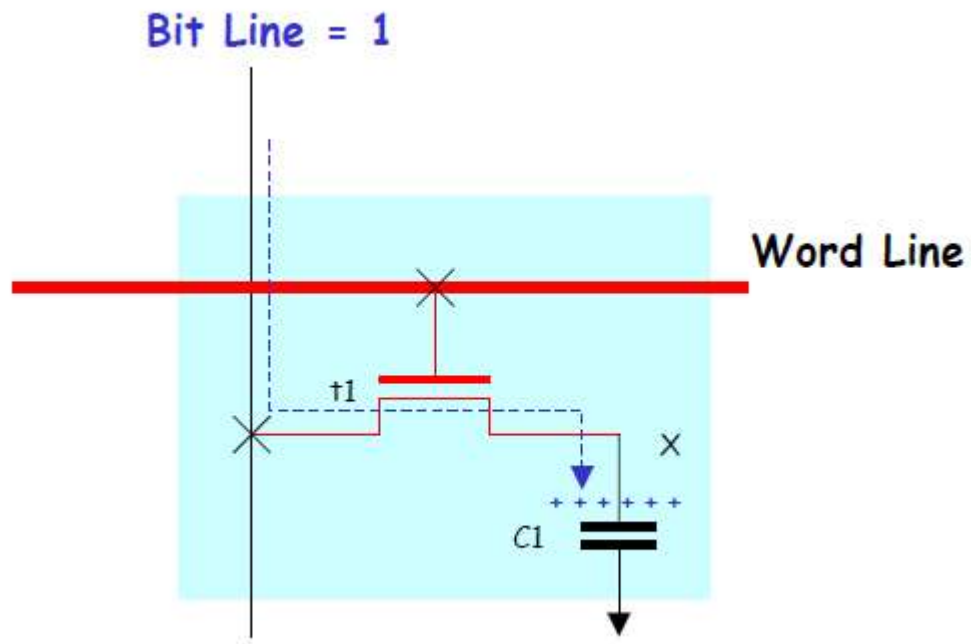
DRAM

- Kapasite + Transistor çiftlerinden oluşur
- Tuttuğu lojik değer belirli aralıklarla güncellenmek zorundadır
- Her bir hücresi SRAM'a göre entegrede 4 kat daha az yer kaplar
- 0 değeri kayıpsız saklanır, 1 değeri güncellenmezse kaybedilir

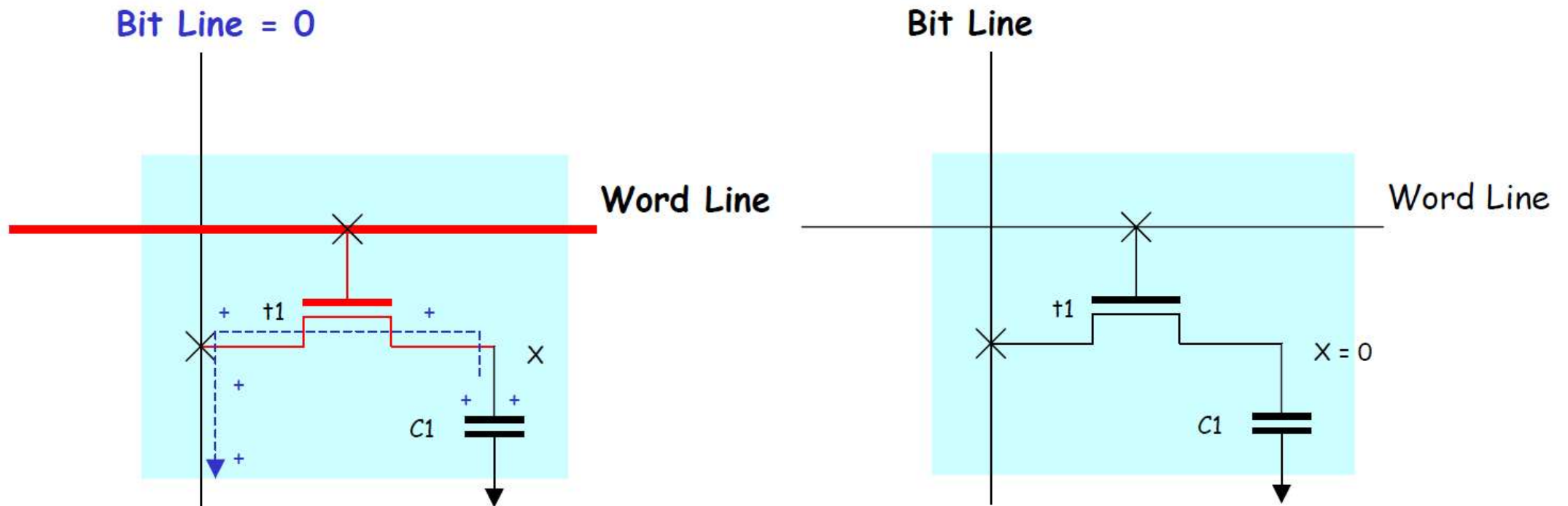
DRAM Hücresi



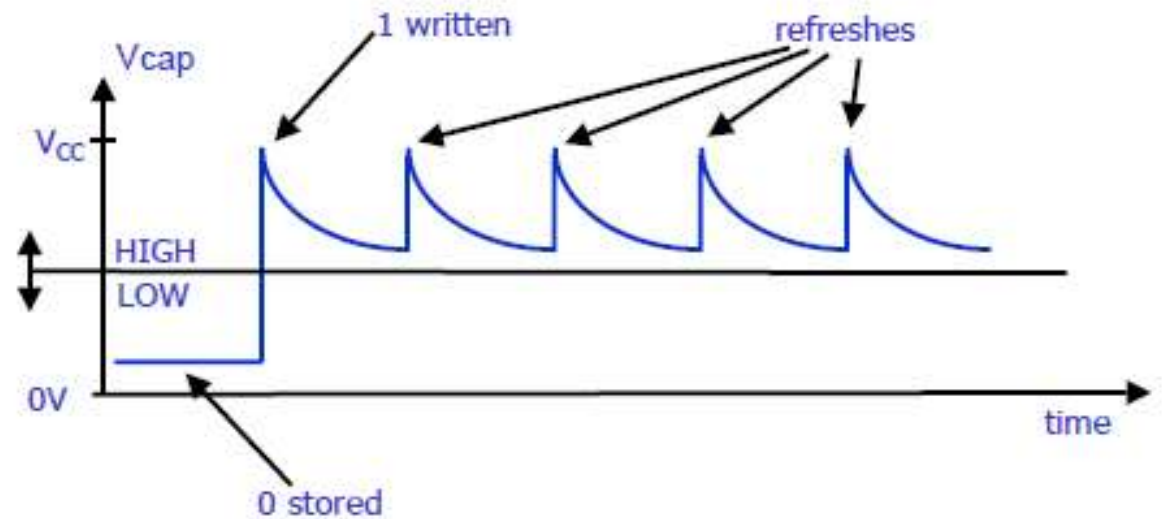
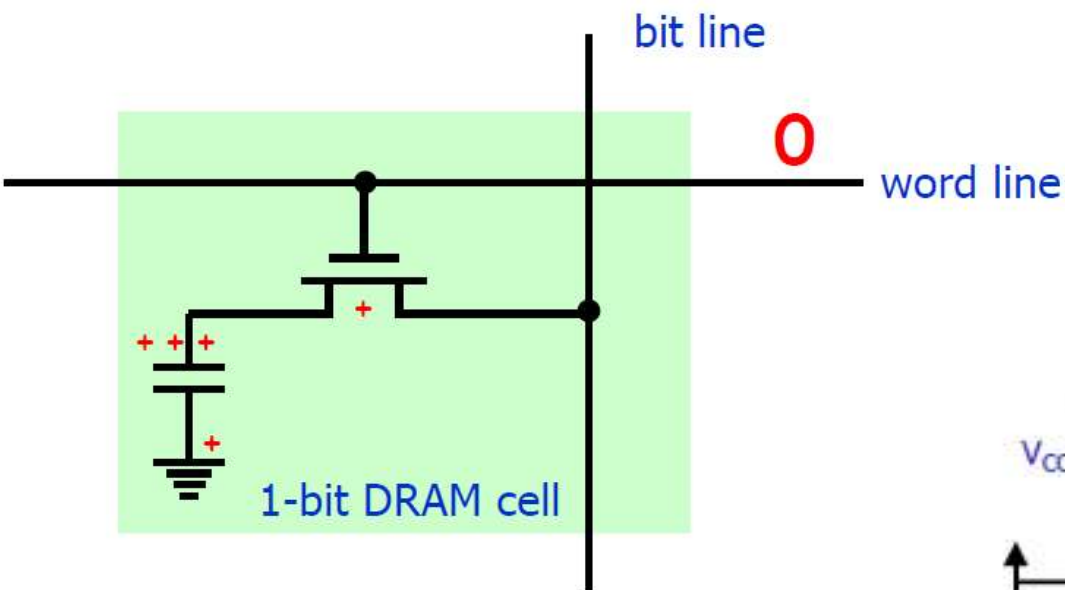
DRAM – 1 Yazma Mantığı



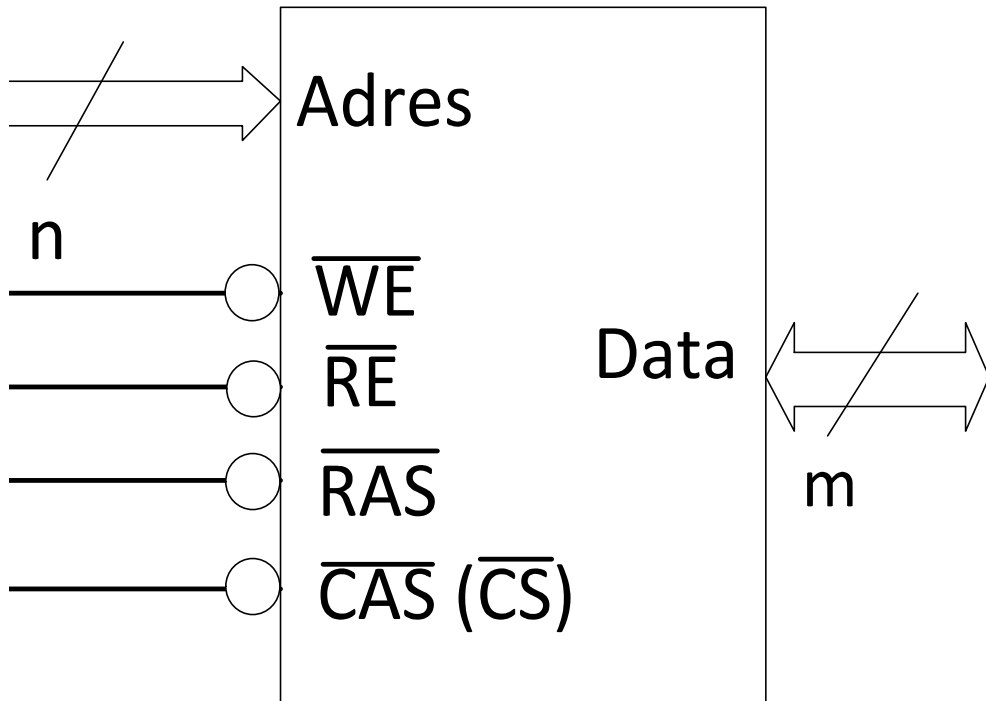
DRAM – 0 Yazma Mantığı



DRAM - Güncelleme



DRAM Blok Diyagramı



$2^{2n} \times m$ kapasiteli DRAM

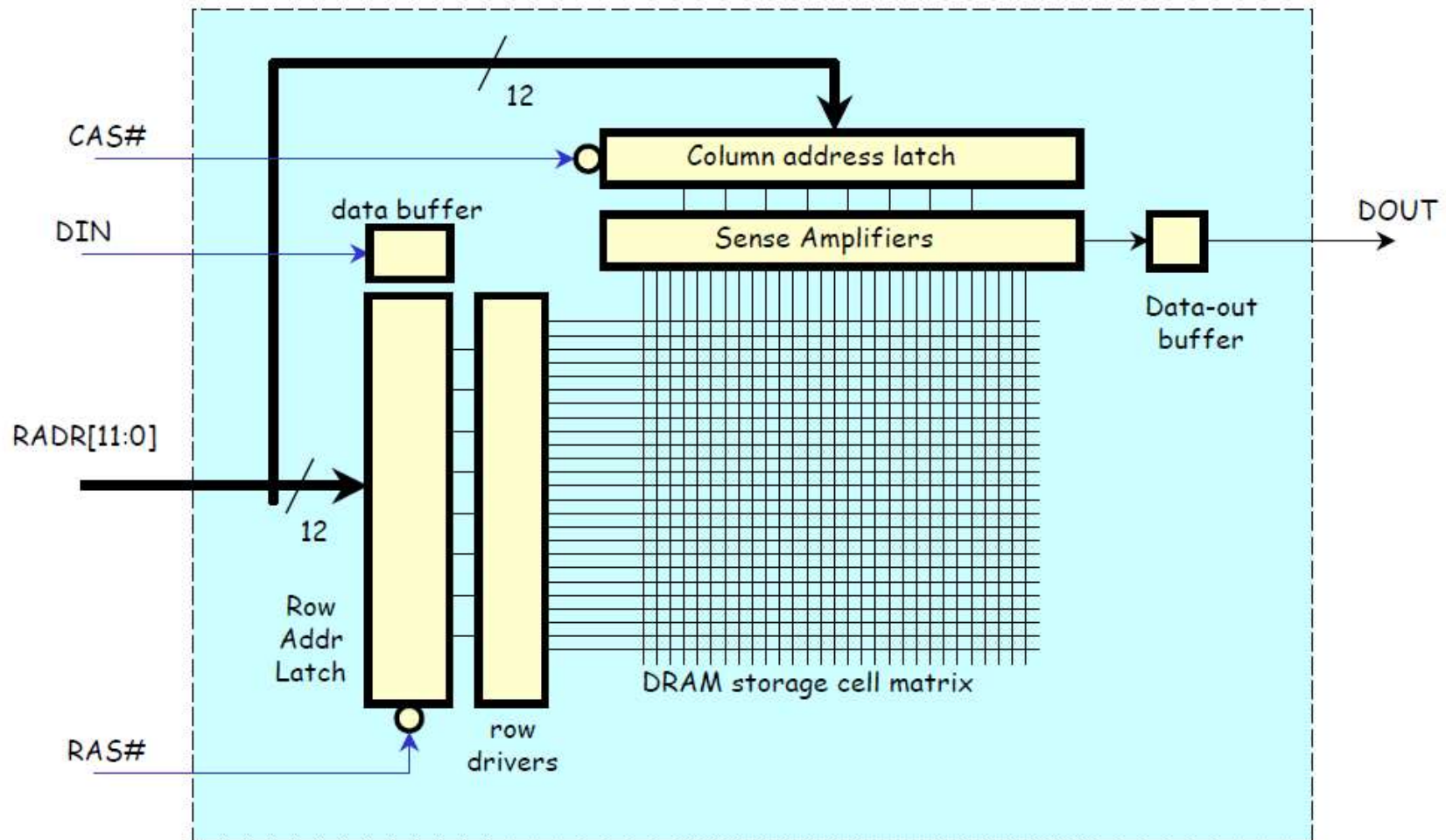
$\overline{RE} \leftrightarrow \overline{RD}$

$\overline{WE} \leftrightarrow \overline{WR}$

\overline{RAS} : row select

$\overline{CAS} (\overline{CS})$: column select

DRAM İç Yapısı

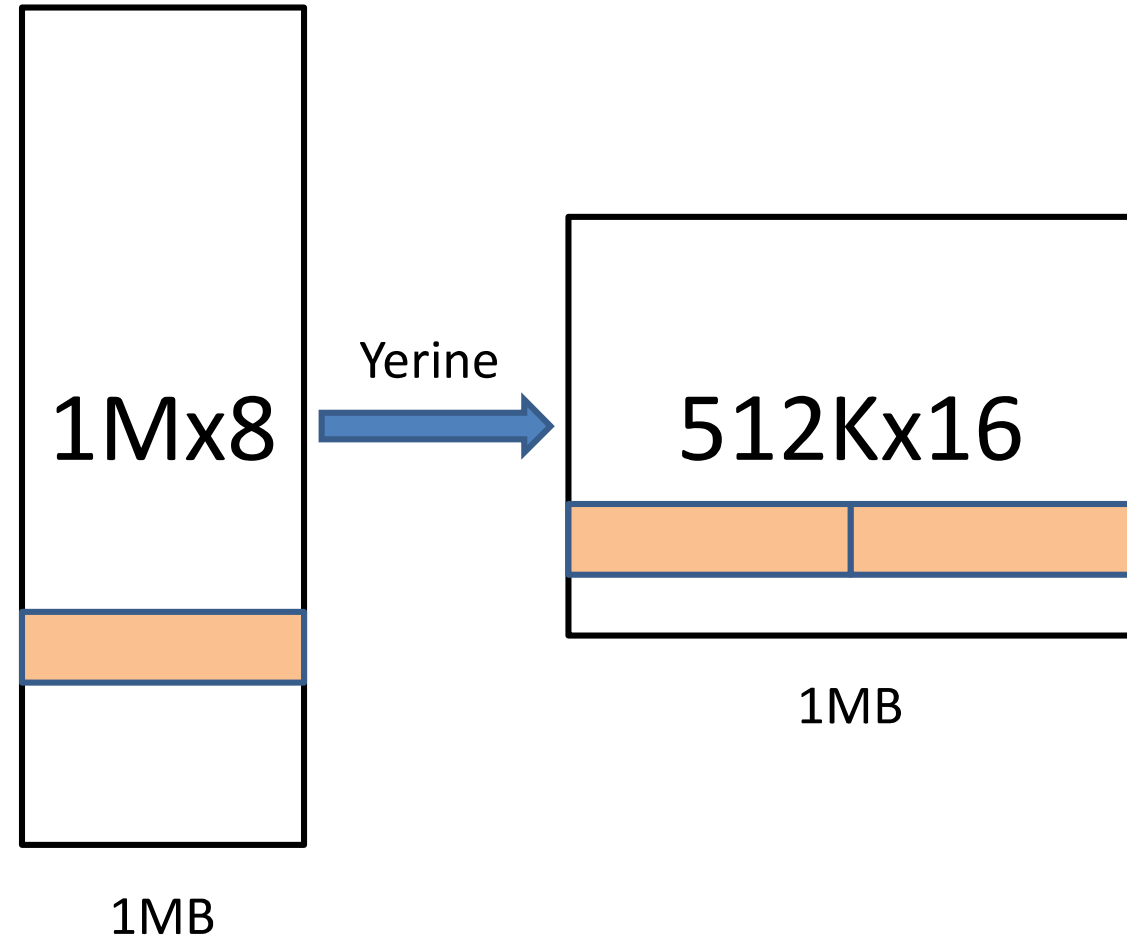


8086 Adres Uzayı

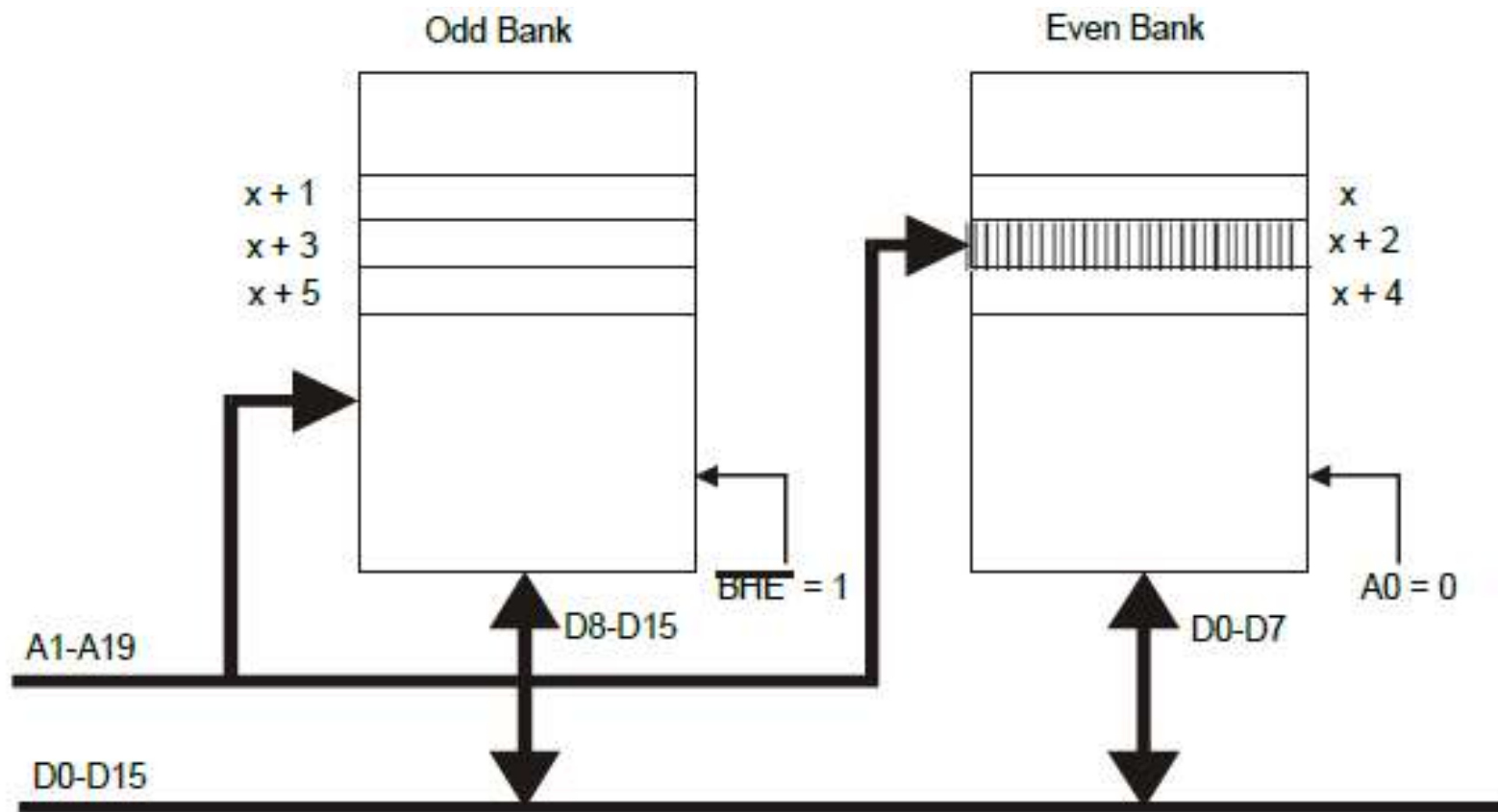
- 8086 → 20 adres ucu, 16 veri ucu var
- Hafıza birimleri → 8 veri ucuna sahip
- 8086 → çift adresten 16 bitlik, tek adresten 8 bitlik, çift adresten 8 bitlik işlemleri bir okuma/yazma çevriminde yapmayı desteklemeli

8086 Adres Uzayı

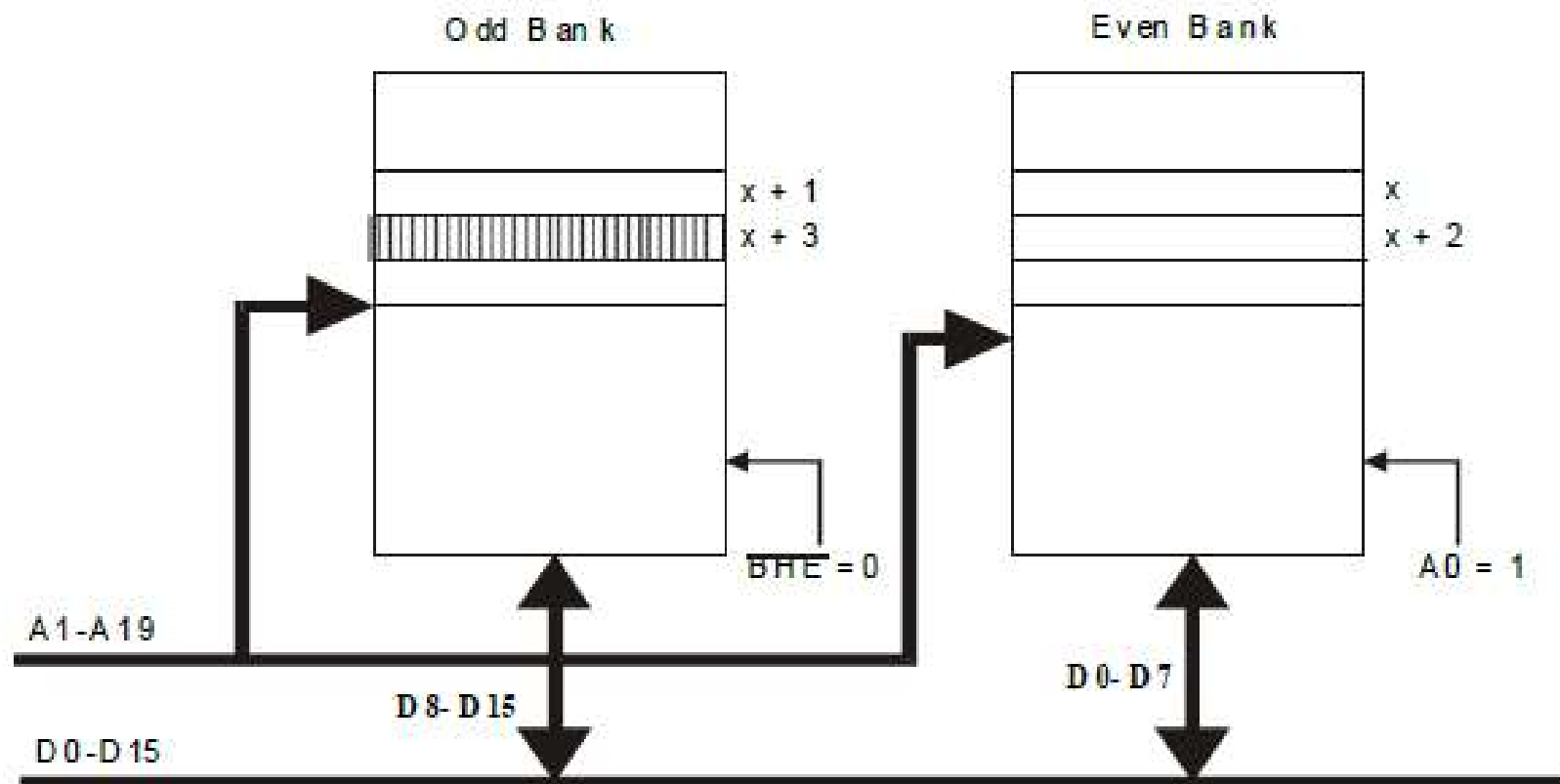
- 20 uç ile $2^{20} = 1\text{M}$ hafıza gözü adreslenebilir
- Hafıza birimi \rightarrow birim kapasite 1 byte (8 veri ucu)
- 8086 adresleme kapasitesi $\rightarrow 1\text{MB}$



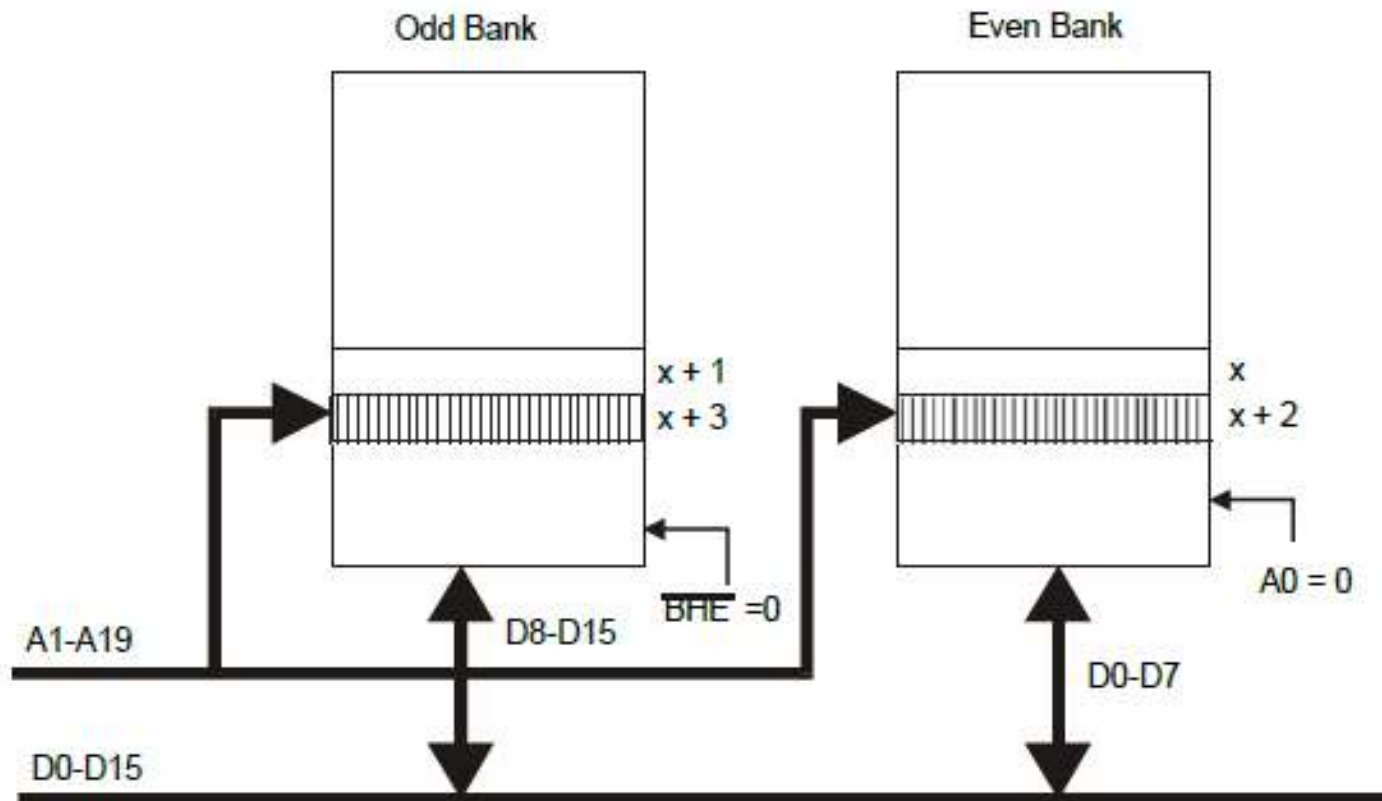
8086 Adres Uzayı – çift adresten 8 bit işlem



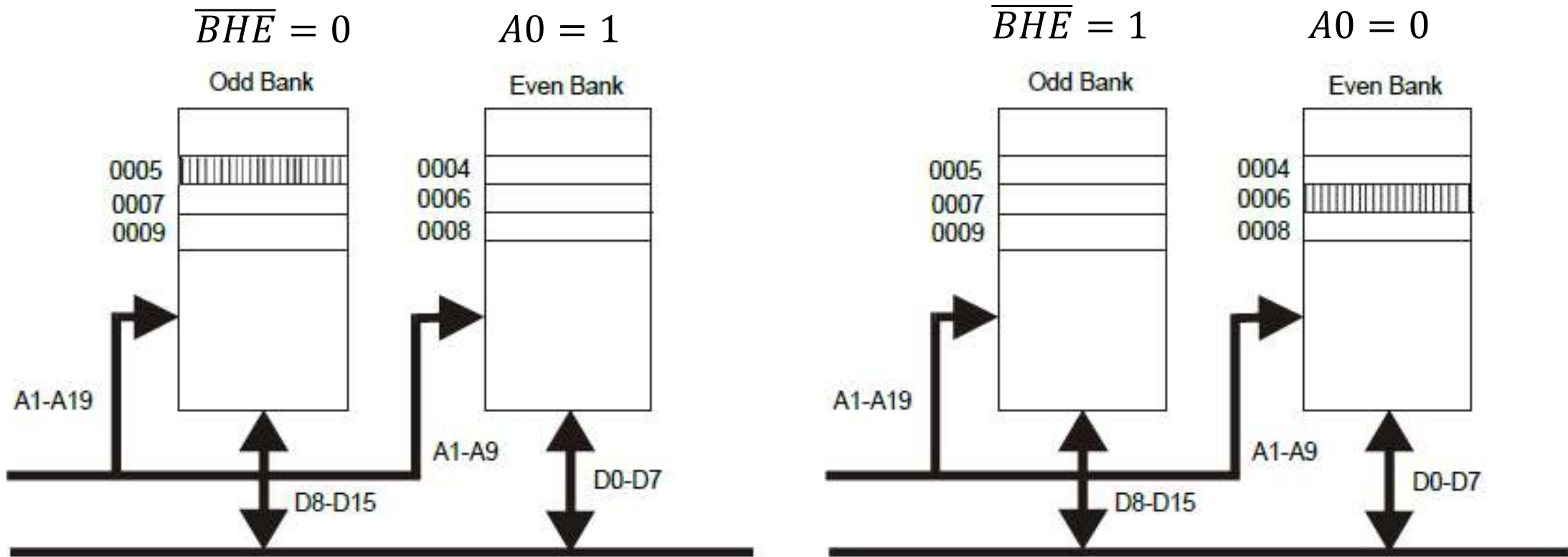
8086 Adres Uzayı – tek adresten 8 bit işlem



8086 Adres Uzayı – çift adresten 16 bit işlem



8086 Adres Uzayı – tek adresten 16 bit işlem



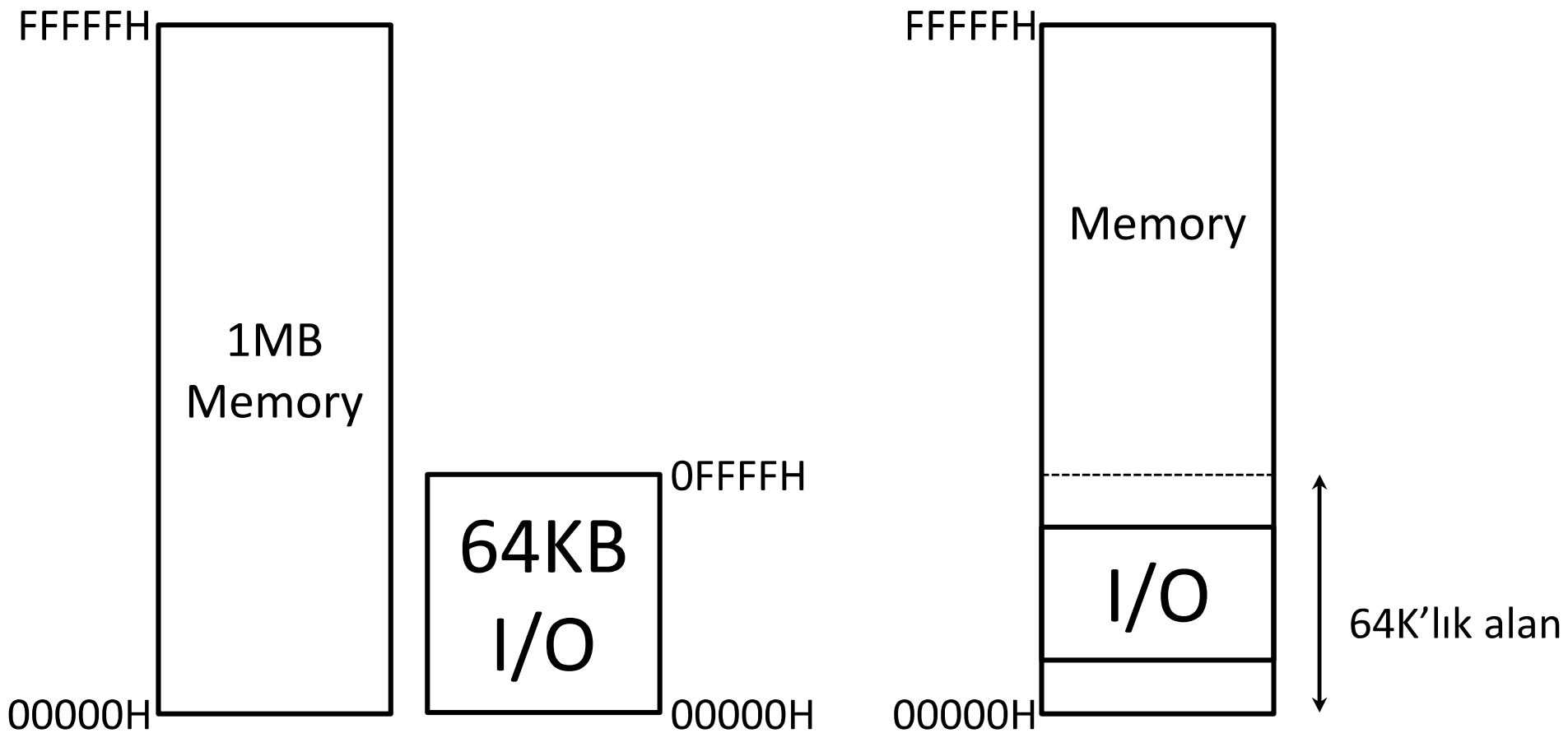
Adres Çözümleme

- Hafıza ve I/O çipleri ortak veri ve adres yollarını kullanır
- Bir seferde yola veri çıkan tek bir çip sağlamak için ADRES ÇÖZÜMLEME kullanılır
- Hafıza ve I/O çipleri sadece belirli adres aralıklarına yerleştirmek için ADRES ÇÖZÜMLEME gereklidir

Adres Çözümleme (AÇ)

- AÇ lojiği ile hafıza birimi için \overline{CS} işareti üretilir
- A1-Ai hafıza biriminin adres uçlarına bağlanır
- A(i+1)-A19 uçları AÇ lojiğine girdi olur
- M/\overline{IO} ucu AÇ'de kullanılırsa \rightarrow isolated I/O
- M/\overline{IO} ucu AÇ'de kullanılmazsa \rightarrow memory mapped I/O
- A0, \overline{BHE} AÇ'de kullanılırsa \rightarrow seperate bank decoder yöntemi
- A0, \overline{BHE} ; \overline{RD} , \overline{WR} işaretleri ile birleştirilerek kullanılıyorsa \rightarrow seperate bank strobe yöntemi

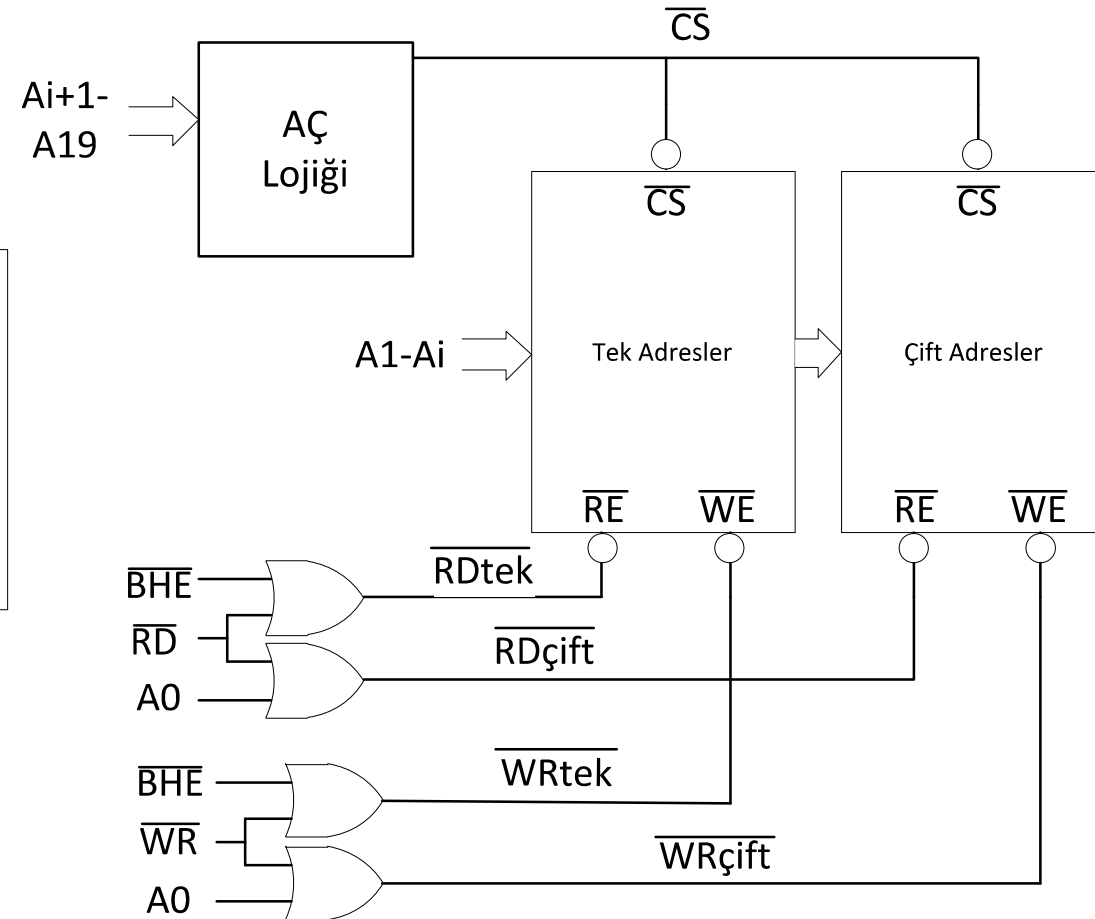
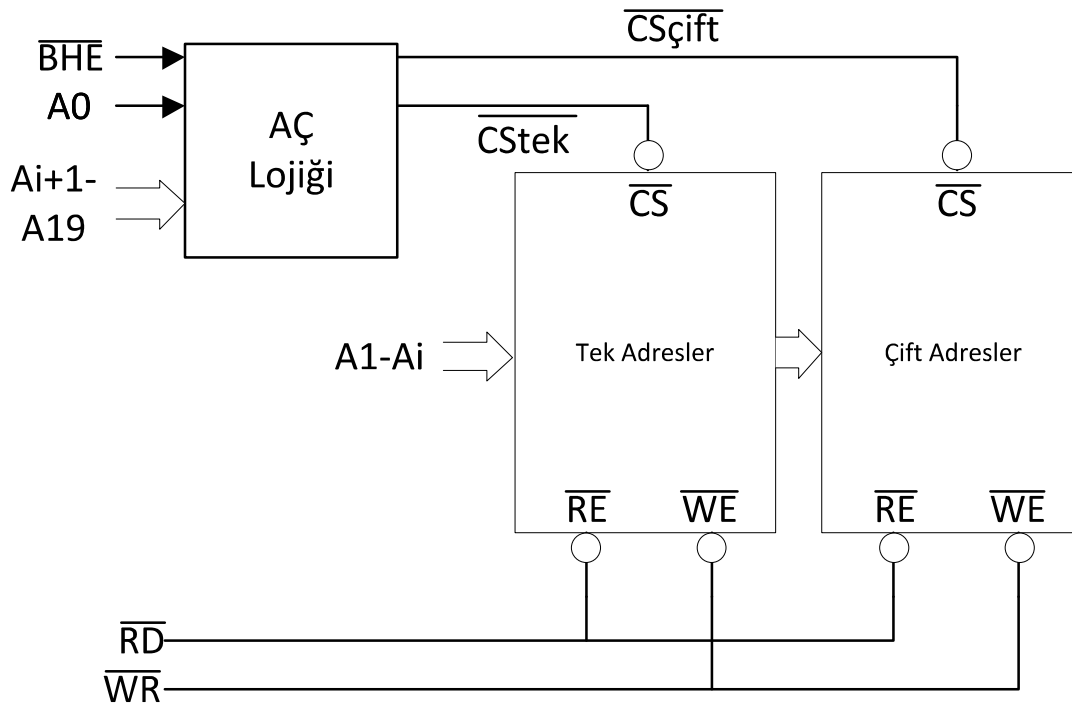
Isolated I/O – Memory Mapped I/O



Seperate Bank Decoder – Seperate Bank Strobe

- Seperate Bank Decoder : Verilen adres aralığına giren çift ve tek adresler için ayrı ayrı \overline{CS} üretilir
- Seperate Bank Strobe : Verilen adres aralığı için \overline{CS} üretilir, çift ve tek adresler için ayrı okuma/yazma işaretleri üretilir

Seperate Bank Decoder – Seperate Bank Strobe



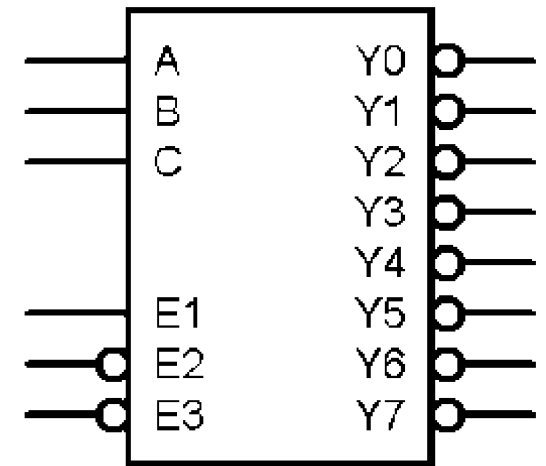
Adres Çözümleme

- AÇ lojiği için
 - Çok girişli NAND kapısı
 - Dekoder entegresi
 - PAL, PLD (programlanabilir lojik elemanlar)

Adres Çözümleme – 3x8 decoder (74138)

INPUTS						OUTPUTS								SELECTED OUTPUT	
ENABLE			SELECT												
<i>E1</i>	<i>E2</i>	<i>E3</i>	<i>C</i>	<i>B</i>	<i>A</i>	<i>Y0</i>	<i>Y1</i>	<i>Y2</i>	<i>Y3</i>	<i>Y4</i>	<i>Y5</i>	<i>Y6</i>	<i>Y7</i>		
L	X	X	X	X	X	H	H	H	H	H	H	H	H		NONE
X	X	H	X	X	X	H	H	H	H	H	H	H	H		NONE
X	H	X	X	X	X	H	H	H	H	H	H	H	H		NONE
H	L	L	L	L	L	L	H	H	H	H	H	H	H		<i>Y0</i>
H	L	L	L	L	H	H	L	H	H	H	H	H	H		<i>Y1</i>
H	L	L	L	H	L	H	H	L	H	H	H	H	H		<i>Y2</i>
H	L	L	L	H	H	H	H	H	L	H	H	H	H		<i>Y3</i>
H	L	L	H	L	L	H	H	H	H	L	H	H	H	<i>Y4</i>	
H	L	L	H	L	H	H	H	H	H	H	L	H	H	<i>Y5</i>	
H	L	L	H	H	L	H	H	H	H	H	H	L	H	<i>Y6</i>	
H	L	L	H	H	H	H	H	H	H	H	H	H	L	<i>Y7</i>	

X : Don't Care, L : Low, H : High



Adres Çözümleme – 2x4 decoder (74139)

INPUTS			OUTPUTS				SELECTED OUTPUT	
ENABLE	SELECT							
\overline{E}	B	A	$\overline{Y0}$	$\overline{Y1}$	$\overline{Y2}$	$\overline{Y3}$		
H	X	X	H	H	H	H		NONE
L	L	L	L	H	H	H		$\overline{Y0}$
L	L	H	H	L	H	H	$\overline{Y1}$	
L	H	L	H	H	L	H	$\overline{Y2}$	
L	H	H	H	H	H	L	$\overline{Y3}$	

X : Don't Care, L : Low, H : High

