



**Yıldız Teknik Üniversitesi,
Bilgisayar Mühendisliği Bölümü,
2020-2021 Öğretim Yılı Bahar yy.,
BLM2022 Bilgisayar Donanımı,
Kısa Sınav – 2,
Süre 50 dk**

SINAV TOPLAMDA 4 (DÖRT) SORUDAN OLUŞMAKTADIR.

SORU 1 – 50 puan

SORU2 – 50 puan

SORU3 – Bonus 10 puan

SORU4 – Bonus 10 puan

ÇÖZÜMLERİNİZİ/CEVAPLARINIZI TARAYARAK/RESMİNİ ÇEKEREK EN FAZLA 5MB BOYUTUNDA TEK BİR PDF DOSYASI HALİNE GETİRİP online.yildiz.edu.tr SİSTEMİ ÜZERİNDEN YÜKLEYİNİZ. FARKLI BİR YOL İLE GÖNDERİLEN CEVAPLAR KABUL EDİLMEMEYECİTİR.

Soru 1) 50 puan

Komut tablosu, datapath yapısı, kontrol kelime yapısı ile komut formatı verilen tek-çevrim hardwired CPU için

a) Aşağıda verilen komutlara karşılık komut çözümleme devresinin üreteceği **binary** değerleri tabloya yazınız. (JB: koşulsuz dallanmada 1, BC: negatif sayı için koşullu dallanmada 1 değeri alır)

Instruction	DA	AA	BA	MB	FS	MD	RW	MW	PL	JB	BC
ST R0, R7											
XOR R4, R3, R5											
MOVB R0, R1											
ADI R3, R2, 3											
JMP R4											

b) Aşağıda verilen komutların **binary** karşılıklarını bulunuz.

Instruction	Opcode	DR	SA	SB or Operand
ADD R0, R7, R6				
LDI R1, 5				
BRN R7, -20				
OR R4, R2, R1				
SHR R4, R2				

Instruction	Opcode	Mne-monic	Format	Description	Status Bits
Move A	0000000	MOVA	RD, RA	$R[DR] \leftarrow R[SA]^*$	N, Z
Increment	0000001	INC	RD, RA	$R[DR] \leftarrow R[SA] + 1^*$	N, Z
Add	0000010	ADD	RD, RA, RB	$R[DR] \leftarrow R[SA] + R[SB]^*$	N, Z
Subtract	0000101	SUB	RD, RA, RB	$R[DR] \leftarrow R[SA] - R[SB]^*$	N, Z
Decrement	0000110	DEC	RD, RA	$R[DR] \leftarrow R[SA] - 1^*$	N, Z
AND	0001000	AND	RD, RA, RB	$R[DR] \leftarrow R[SA] \wedge R[SB]^*$	N, Z
OR	0001001	OR	RD, RA, RB	$R[DR] \leftarrow R[SA] \vee R[SB]^*$	N, Z
Exclusive OR	0001010	XOR	RD, RA, RB	$R[DR] \leftarrow R[SA] \oplus R[SB]^*$	N, Z
NOT	0001011	NOT	RD, RA	$R[DR] \leftarrow \overline{R[SA]}^*$	N, Z
Move B	0001100	MOVB	RD, RB	$R[DR] \leftarrow R[SB]^*$	
Shift Right	0001101	SHR	RD, RB	$R[DR] \leftarrow sr\ R[SB]^*$	
Shift Left	0001110	SHL	RD, RB	$R[DR] \leftarrow sl\ R[SB]^*$	
Load	1001100	LDI	RD, OP	$R[DR] \leftarrow zf\ OP^*$	
Immediate					
Add Immediate	1000010	ADI	RD, RA, OP	$R[DR] \leftarrow R[SA] + zf\ OP^*$	N, Z
Load	0010000	LD	RD, RA	$R[DR] \leftarrow M[SA]^*$	
Store	0100000	ST	RA, RB	$M[SA] \leftarrow R[SB]^*$	
Branch on Zero	1100000	BRZ	RA, AD	if $(R[SA] = 0)$ $PC \leftarrow PC + se\ AD$, if $(R[SA] \neq 0)$ $PC \leftarrow PC + 1$	N, Z
Branch on Negative	1100001	BRN	RA, AD	if $(R[SA] < 0)$ $PC \leftarrow PC + se\ AD$, if $(R[SA] \geq 0)$ $PC \leftarrow PC + 1$	N, Z
Jump	1110000	JMP	RA	$PC \leftarrow R[SA]^*$	

The diagram illustrates the CS50 CPU architecture, divided into two main sections: CONTROL and DATAPATH.

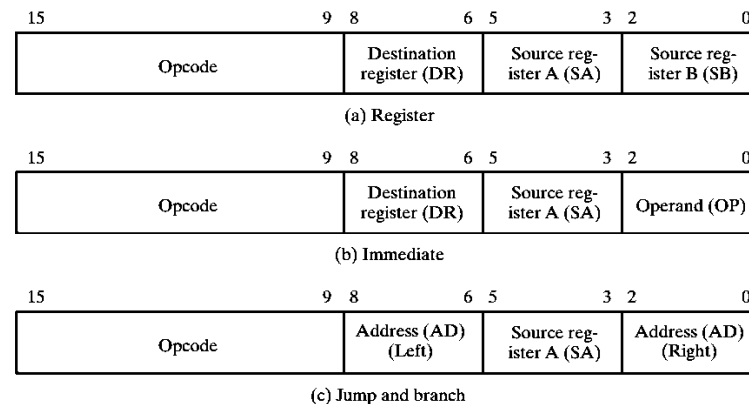
CONTROL Section:

- Branch Control:** Receives status flags V, C, N, Z and control signals P, J, B, L, B, C. It outputs to the PC and the Instruction decoder.
- PC (Program Counter):** Receives the Jump Address and the IR(8:6) || IR(2:0) signal. It outputs the Address to the Instruction memory.
- Instruction memory:** Receives the Address from the PC and outputs the IR(2:0) signal to the Instruction decoder and the Zero fill block.
- Instruction decoder:** Receives the IR(2:0) signal and outputs 12 control signals: D A A A, B A B S, M F M R, W W P J, B B L B C.
- Zero fill:** Receives the IR(2:0) signal and outputs the IR(8:6) || IR(2:0) signal to the PC and the Register file.

DATAPATH Section:

- Register file:** Receives the IR(8:6) || IR(2:0) signal and outputs to the MUX B. It also receives control signals RW, DA, AA and outputs BA.
- MUX B (1 0):** Receives the output from the Register file and the Constant in signal. It outputs to the Register file and the Function unit.
- Function unit:** Receives the output from the MUX B and the FS, V, C, N, Z signals. It outputs the F signal to the MUX D.
- MUX D (0 1):** Receives the output from the Function unit and the MD signal. It outputs to the Data memory.
- Data memory:** Receives the output from the MUX D and outputs the Data in signal to the MUX B.
- Bus A:** Connects the Register file, MUX B, and Function unit.
- Bus B:** Connects the MUX B and the Data memory.
- Bus D:** Connects the MUX D and the Data memory.

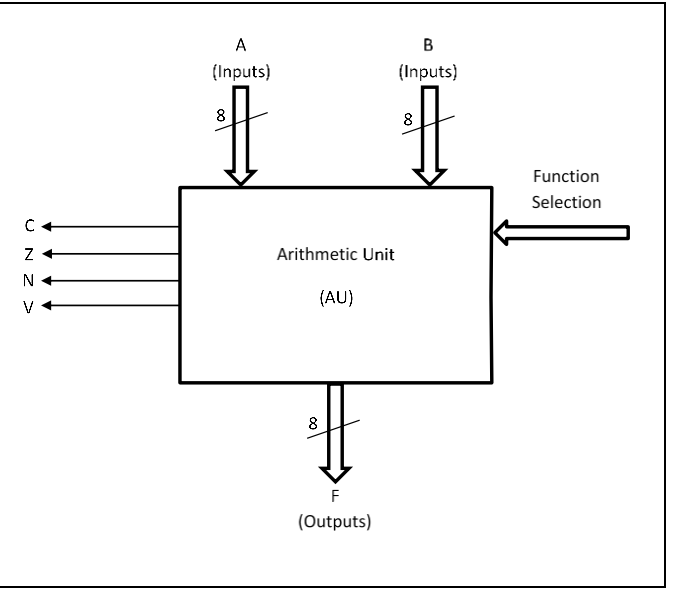
DA, AA, BA		MB	FS	MD	RW	
Function Code	Function Code	Function	Code	Function Code	Function Code	
R0	000	Register 0	$F = A$	0000	Function 0	No Write 0
R1	001	Constant 1	$F = A + 1$	0001	Data in 1	Write 1
R2	010		$F = A + B$	0010		
R3	011		$F = A + B + 1$	0011		
R4	100		$F = A + \overline{B}$	0100		
R5	101		$F = A + \overline{B} + 1$	0101		
R6	110		$F = A - 1$	0110		
R7	111		$F = A$	0111		
			$F = A \wedge B$	1000		
			$F = A \vee B$	1001		
			$F = A \oplus B$	1010		
			$F = \overline{A}$	1011		
			$F = B$	1100		
			$F = \text{sr } B$	1101		
			$F = \text{sl } B$	1110		



Soru 2) 50 puan

Fonksiyon tablosu aşağıda verilen 8-bitlik Aritmetik Birim tasarımının, tam toplayıcılar (full adder), gerekli genişlikteki çoğullayıcılar (multiplexer) ve DEĞİL (NOT) kapıları ile gerçekleştirilmesi istenmektedir. Tasarım için fonksiyon seçim uçlarından en düşük anlamlısının doğrudan en düşük anlamlı tam toplayıcı elde girişine bağlı olduğu verilmiştir. Buna göre:

- a) Aritmetik Birimin 4. bitine ilişkin kesitini tasarlayınız.
b) Aritmetik Birim durum bayrakları olan Carry Flag (C), Zero Flag (Z), Sign Flag (N) ve Overflow Flag (V) için uygun değer üreten kombinasyonel devreleri çiziniz.

<i>Fonksiyon Kodu</i>	<i>Fonksiyon</i>	<i>Açıklama</i>	
0	$A + B$	Addition	
1	A	Transfer A	
2	B	Transfer B	
3	$A + 1$	Increment A	
4	$A - 1$	Decrement A	
5	$B + 1$	Increment B	
6	$B - 1$	Decrement B	
7	$A - B$	Subtraction	
8	A'	Complement A	
9	0	Zero	
10	$A + B'$	Complement addition	
11	$A + B + 1$	Add with carry	
12	B'	Complement B	
13	1	One	
14	$A' + B$	Complement addition	
15	$A' + B' + 1$	Complement add with carry	

Soru 3) Bonus 10 puan

CMP A, B komutu yürütüldüğünde V=1, N=0, C=1 ve Z=0 değerlerine sahip olmaktadır. Bu sonucu üreten bir A, B ikilisi örneği veriniz.

Soru 4) Bonus 10 puan

Komut genişliği 10 bit olan, 8 yazmaca sahip bir işlemci yapısında

opcode operand1, operand2

formatı kullanılmaktadır. Bu işlemci mimarisinde kaç farklı opcode oluşturulabilir.