



数字逻辑

课程设计报告

题目名称： 电子视力表

学院(部)： 信息工程学院

专 业： 计算机科学与技术

学号 2021902610 姓名 刘文越

学号 2021901374 姓名 王子卓

学号 2021902141 姓名 孙 翔

学号 2021904571 姓名 康 旭

指导教师：马峻岩

2023年06月

**目录**

[1、 课程设计要求概述 2](#_Toc138557016)

[2、 成员及分工 2](#_Toc138557017)

[3、 系统功能列表与模块划分 2](#_Toc138557018)

[3.1 主要功能划分及对应模块 2](#_Toc138557019)

[3.2 确定系统输入输出信号 3](#_Toc138557020)

[4、 硬件模块及原理介绍 3](#_Toc138557021)

[4.1 VGA原理及色彩原理 3](#_Toc138557022)

[4.2 VGA显示原理 3](#_Toc138557023)

[4.3 VGA时序标准 4](#_Toc138557024)

[5、 关键模块设计与验证 4](#_Toc138557025)

[5.1 Data2VGA模块设计与验证 4](#_Toc138557026)

[5.2 EyeChart\_Control模块设计验证 5](#_Toc138557027)

[6、 开发板测试验证 7](#_Toc138557028)

[7、 遇到的问题及解决方法 10](#_Toc138557029)

[8、 源码 10](#_Toc138557030)

# 课程设计要求概述

课程设计内容为掌握数字系统设计的基本内容和设计方法，基于Basys3开发板进行电子视力表功能的设计及开发，拓展功能的设计及开发。

课程设计要求**主要功能**为：

* 通过VGA接口在显示屏显示视力表图像；
* 通过四个按键输入，判断视力表的方向；
* 将判断结果显示；

设计实现的**拓展功能**为：

* 正常视力表、红绿视力表、红绿对比视力表的切换
* 视力表判断结果转化为汉字显示
* 调整“E”图像的大小，并给出相应的视力值
* 实现不同规范视力值的切换（国际2.0规范和国内5.3规范）
* 调整“E”图像为RGB渐变效果

课程设计中我们应用所学数字逻辑与Verilog知识，独立完成了问题分析，原理设计，掌握编写 Verilog程序求解指定问题的能力。学习掌握FPGA器件的开发，熟练使用开发环境，掌握Verilog语言的编程，掌握数字电路和系统的设计，可运用Verilog设计并实现组合逻辑与时序逻辑数字电路。在理解开发 板各接口的工作原理基础上，可以熟练使用FPGA进行LED、按键、7段数码管、 VGA等常见硬件接口的设计和开发。

# 成员及分工

**刘文越（组长）：**实现Data2VGA、Pic\_E/Correct/Wrong、EyeChart\_Control、RGB\_Trans、顶层模块的设计，协助小组成员进行模块设计，撰写报告

**王子卓（组员）：**实现Pic\_E\_Compare模块的设计，撰写报告

**孙 翔（组员）：**实现Vision2Seg模块的设计，撰写报告

**康 旭（组员）：**实现pix\_data选择的设计，撰写报告

# 系统功能列表与模块划分

## 3.1 主要功能划分及对应模块

**表3-1 功能划分与对应模块表**

|  |  |
| --- | --- |
| **系统功能** | **对应Verilog模块** |
| 顶层模块，连接各模块和引脚信号 | EyeChart\_Top.v |
| 将像素数据转化为VGA时序信号 | Data2VGA.v |
| 实现视力表控制，判断结果和信号选择 | EyeChart\_Control.v |
| 将视力值数据转化为数码管信号 | Vision2Seg.v |
| E图标的像素数据 | Pic\_E.v |
| 红绿视力表的像素数据 | Pic\_E\_Compare.v |
| “正确”图像的像素数据 | Pic\_Correct.v |
| “错误”图像的像素数据 | Pic\_Wrong.v |
| RGB渐变效果的像素数据 | RGB\_Trans.v |

## 3.2 确定系统输入输出信号

**表3-2 系统输入、输出及寄存器**

|  |  |  |
| --- | --- | --- |
| **名称** | **类型** | **说明** |
| clk | input | 板载时钟信号 |
| btnU/L/R/D/C | input | 按钮开关信号 |
| sw[6:0] | input | 拨码开关信号 |
| an[3:0] | output | 数码管使能信号 |
| seg[6:0] | output | 数码管七段信号 |
| dp | output | 小数点使能信号 |
| vgaRed/Green/Blue | output | VGA色彩信号 |
| Hsync/Vsync | output | VGA行/场同步信号 |
| pix\_data | reg | 像素点的色彩数据 |

# 硬件模块及原理介绍

课程设计使用的硬件部分有Basys3开发板、Dell型号VGA接口显示器、若干数据连接线。这里我们重点介绍Basys3开发板中VGA数据输出接口。

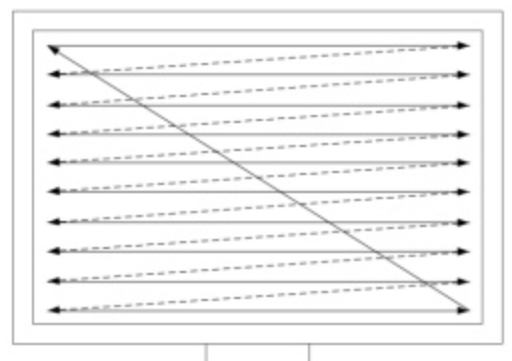
## 4.1 VGA原理及色彩原理

VGA（Video Graphics Array)视频图形阵列是IBM于1987年随PS/2机一起推出的一种使用模拟信号的视频传输标准，具有分辨率高、显示速率快、颜色丰富等优点，在彩色显示器领域得到了广泛的应用。但不支持热插拔，不支持音频传输。

由于人的肉眼仅可以感知到红绿蓝三种颜色，因此色彩空间通常可以由三种基本色来表达。红绿蓝是三基色，这三种颜色合成的颜色范围最为广泛。而RGB信号就是三基色的运用，对这三个信号赋予不同的数值，可以构成广泛的色彩域。

## 4.2 VGA显示原理

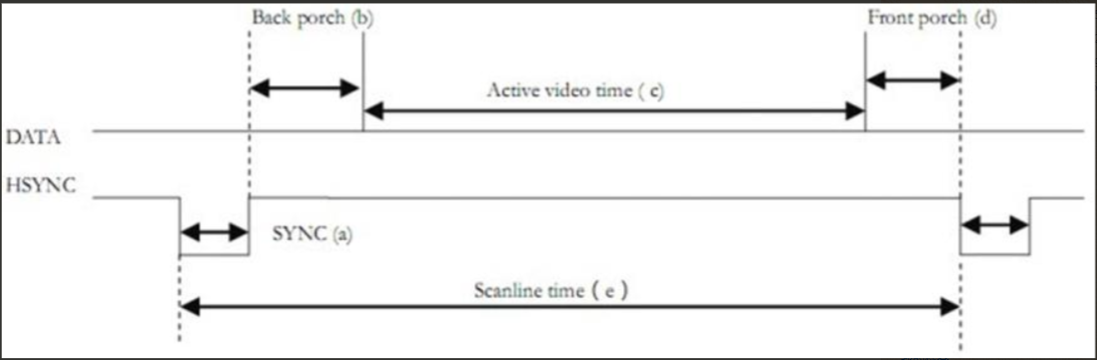
VGA显示图像使用扫描的方式，从第一行的第一个像素开始，逐渐填充，第一行第一个、第一行第二个、、、、第二行第一个、第二行第二个、、、、最后行最后一个。通过这种方式构成一帧完整的图像，当频率足够快，由于人眼的视觉暂留特性，我们会看到一幅完整的图片。



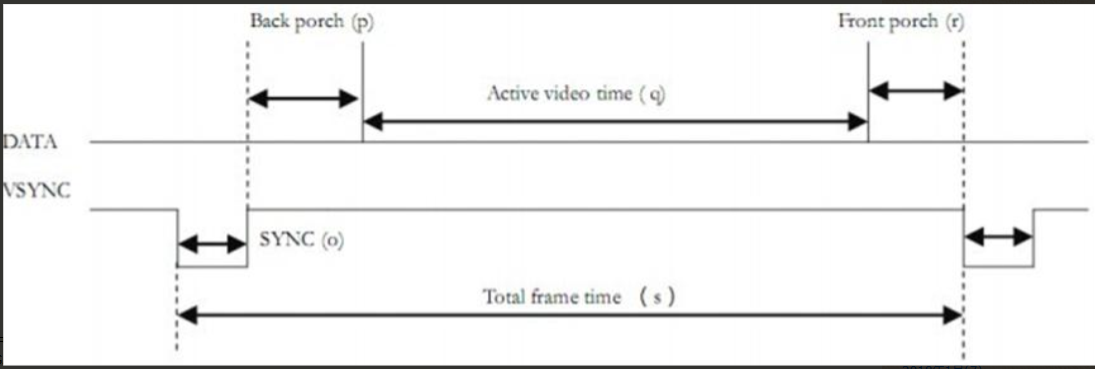
**图4-1 VGA显示原理图**

## 4.3 VGA时序标准

VGA显示器扫描方式从屏幕左上角一点开始，从左像右逐点扫描，每扫描完一行,电子束回到屏幕的左边下一行的起始位置，在这期间，CRT对电子束进行消隐，每行结束时，用行同步信号进行同步；当扫描完所有的行，形成一帧，用场同步信号进行场同步，并使扫描回到屏幕左上方，同时进行场消隐,开始下一帧。完成一行扫描的时间称为水平扫描时间，对应频率称为行频率；完成一帧扫描的时间称为垂直扫描时间，对应频率称为场频率，即刷新一帧的频率。



**图4-2 VGA行时序图**



**图4-3 VGA场时序图**

本课程设计采用640x480@59.94Hz(60Hz)，行时序和场时序相关参数如下表所示。

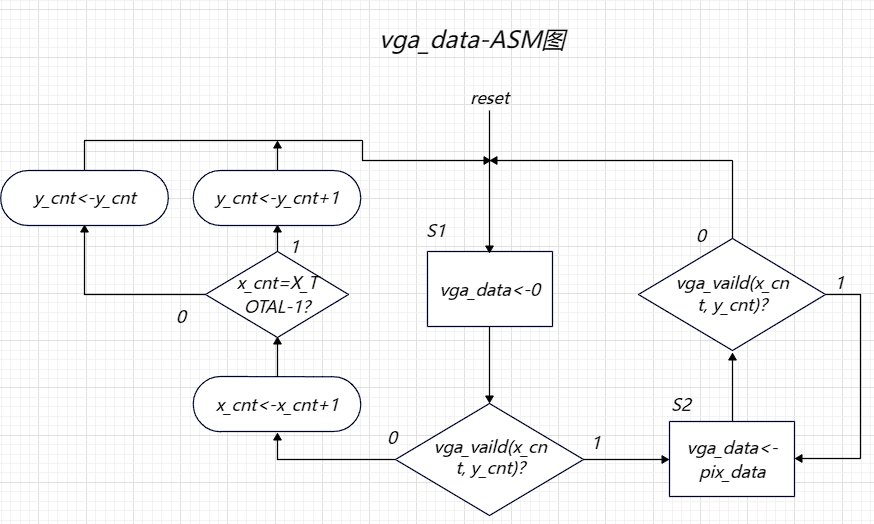
**表3-2 系统输入、输出及寄存器**

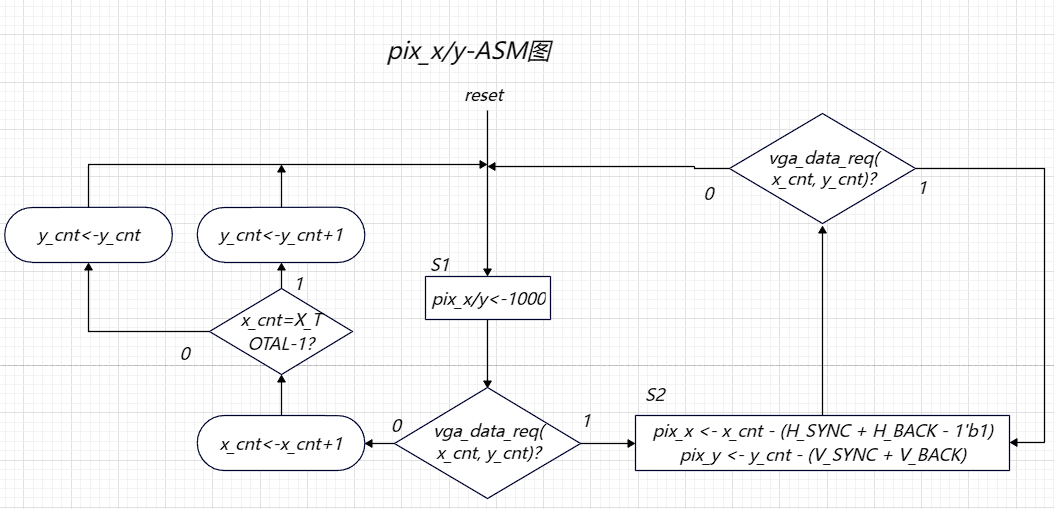
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | **同步脉冲** | **显示后沿** | **显示时序段** | **显示前沿** |
| **行时序** | 96 | 48 | 640 | 16 |
| **场时序** | 2 | 33 | 480 | 10 |

# 关键模块设计与验证

## 5.1 Data2VGA模块设计与验证

1. Data2VGA模块状态机及设计：





**图5-1 Data2VGA模块ASM图**

2. 模块输入输出信号：

**表5-1 系统输入、输出及寄存器**

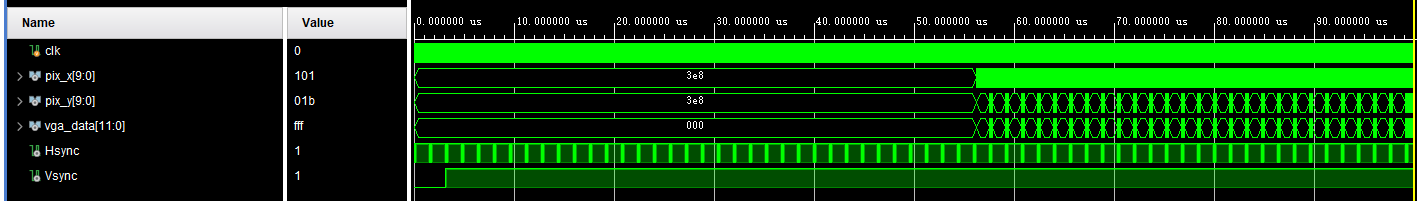
|  |  |  |
| --- | --- | --- |
| **名称** | **类型** | **说明** |
| clk | input | VGA时钟信号 |
| pix\_data[11:0] | input | 预置位像素点色彩信号 |
| pix\_x[9:0] | output | 预置位像素行坐标信号 |
| pix\_y[9:0] | output | 预置位像素列坐标信号 |
| vga\_data[11:0] | output | VGA色彩信号 |
| Hsync/Vsync | output | VGA行/场同步信号 |
| x/y\_cnt[9:0] | reg | 当前像素点坐标 |

3. 模块设计思路：

模块采用时序逻辑设计，敏感信号为输入的时钟信号上升沿，模块中定义vga\_valid信号判断x\_cnt和y\_cnt是否位于有效显示区域，若在vga\_data输出pix\_data中预置位像素的信号，若不在输出黑色信号。同时，模块输出预置位的坐标信号，用于传输给其他模块准备下一像素点的色彩信息。

4. Data2VGA仿真验证

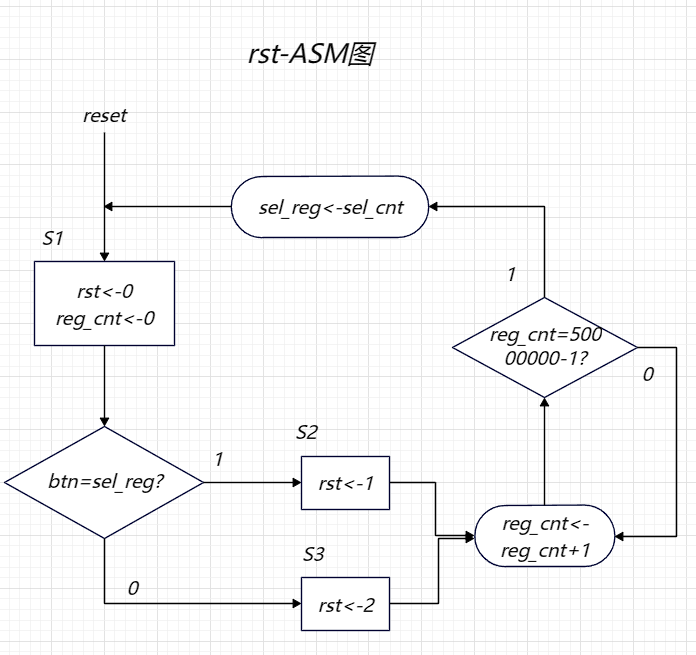
仿真验证了一部分画面的帧数据，像素点坐标、行同步信号、场同步信号均输出正常。



**图5-2 Data2VGA模块仿真图**

## 5.2 EyeChart\_Control模块设计验证

1. EyeChart\_Control模块状态机及设计：



**图5-3 EyeChart\_Control模块ASM图**

2. 模块输入输出信号：

**表5-2 模块输入、输出及寄存器**

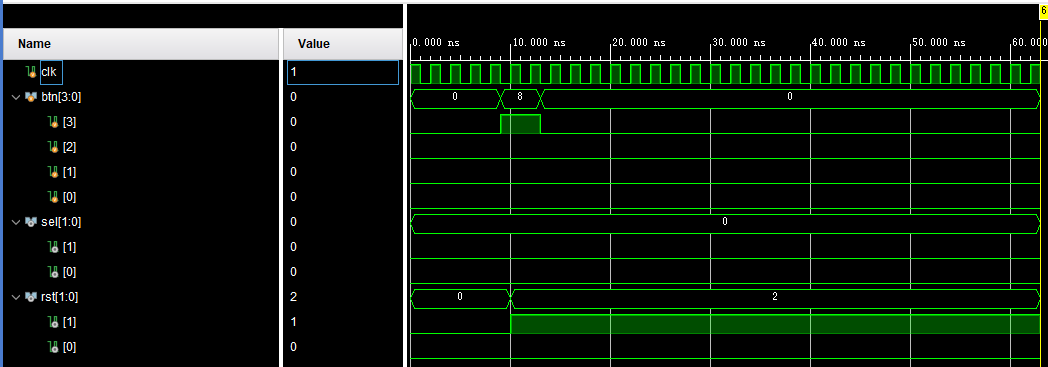
|  |  |  |
| --- | --- | --- |
| **名称** | **类型** | **说明** |
| clk | input | VGA时钟信号 |
| btn[3:0] | input | 按钮信号 |
| sel[1:0] | output | “E”图标方向信号 |
| rst[1:0] | output | 判断方向结果信号 |
| sel\_reg[1:0] | reg | 当前“E”方向信号寄存器 |
| sel\_cnt[1:0] | reg | “E”方向生成计数器寄存器 |
| reg\_cnt[25:0] | reg | 延迟计数器寄存器 |

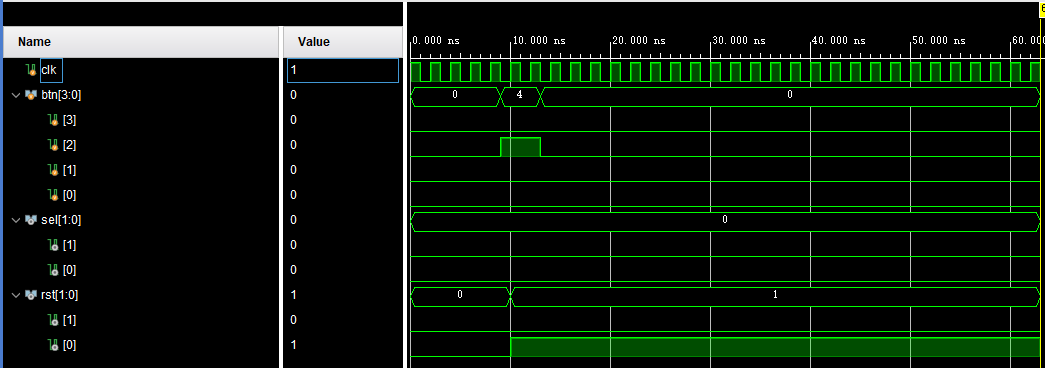
3. 模块设计思路：

模块采用时序逻辑设计，敏感信号为输入的时钟信号上升沿，模块主要分为两部分，“E”方向的生成部分，结果判断部分。方向生成部分是一个随着时钟信号不断计数的模4循环计数器，在0，1，2，3之中不断切换状态，代表“E”的四个方向。结果判断部分在按键触发时，判断按键是否和当前寄存器内“E”方向是否相同，若相同，则将结果信号置1，若不同，将结果信号置2。当结果信号不为0时，则启动另一个延迟计数器，在50000000次时钟上升沿后，当前寄存器被“E”方向生成部分的状态赋值，结果信号和延迟计数器重新置0。

4. EyeChart\_Control仿真验证：

从仿真模块中可以看出，根据不同的按钮信号，rst结果信号可以随时钟上升沿正确置数，并且维持一段时间。





**图5-4 EyeChart\_Control模块仿真图**

# 开发板测试验证

**表6-1 功能测试**

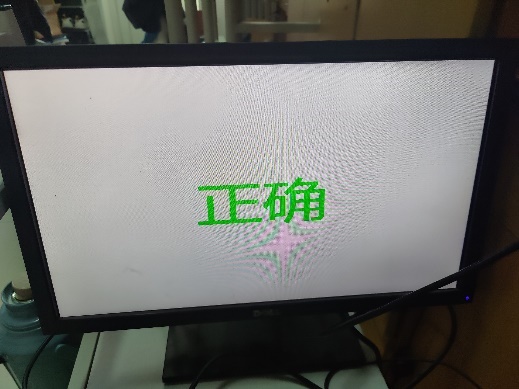
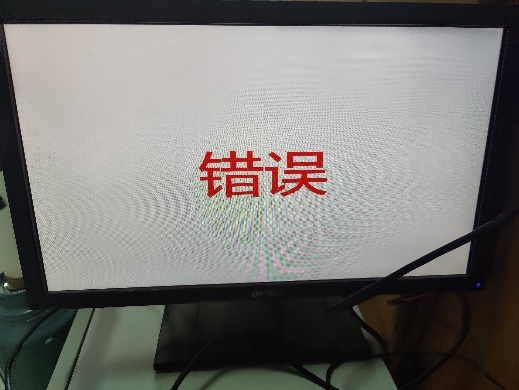
|  |  |  |  |
| --- | --- | --- | --- |
| **功能点** | **测试方法步骤描述** | **预期测试结果** | **测试是否通过** |
| 图像的显示 | 写入开发板后开机验证 | 出现正常图形 | 通过 |
| “E”方向判断 | 依据“E”的方向触发按键 | 根据结果显示“正确”、“错误”字样 | 通过 |
| 红绿背景切换 | 通过拨码开关控制背景色彩 | 正确切换红绿背景 | 通过 |
| 红绿视力表 | 通过拨码开关切换为红绿视力表 | 正确切换为红绿视力表 | 通过 |
| “E”的大小和对应视力值的显示 | 通过拨码开关控制“E”的大小，观察数码管上显示的视力值 | 正确切换“E”大小，数码管上正常显示对应视力值 | 通过 |
| 切换视力值规范 | 通过拨码开关切换视力值规范 | 正确显示不同规范下视力值 | 通过 |
| RGB渐变效果 | 通过按键控制“E”的颜色 | 按下按键“E”变为彩色渐变效果 | 通过 |

1. 图像显示：



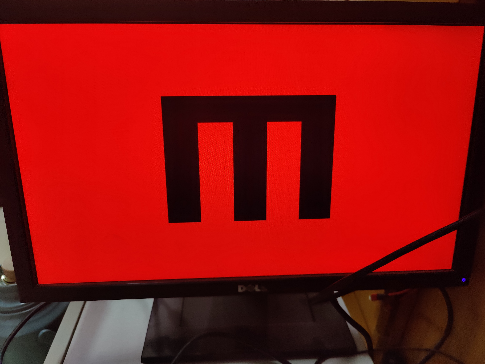
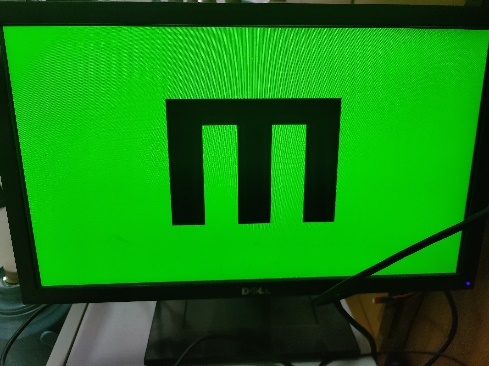
**图5-1 图像显示测试图**

1. “E”方向判断：



**图5-2 “E”方向测试图**

1. 红绿背景切换：



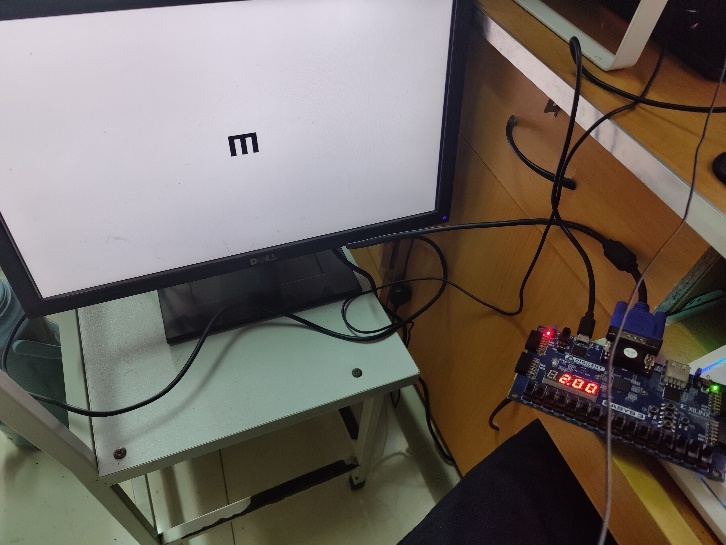
**图5-3 红绿背景切换测试图**

1. 红绿视力表：

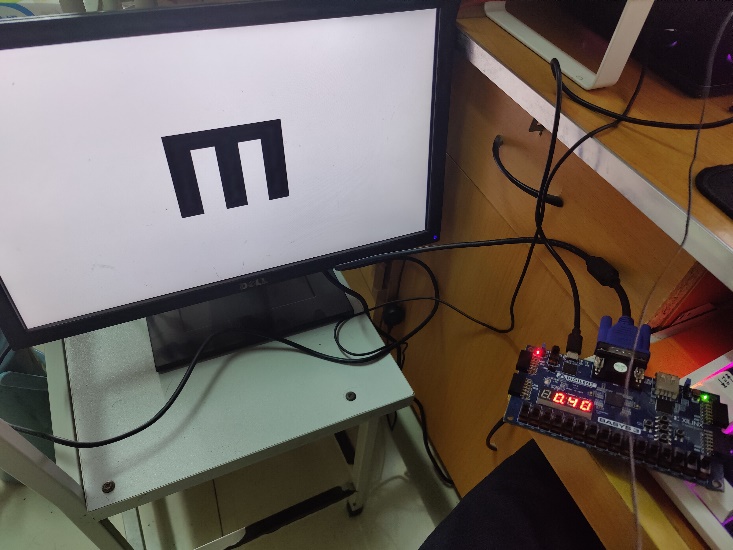


**图5-4 红绿视力表测试图**

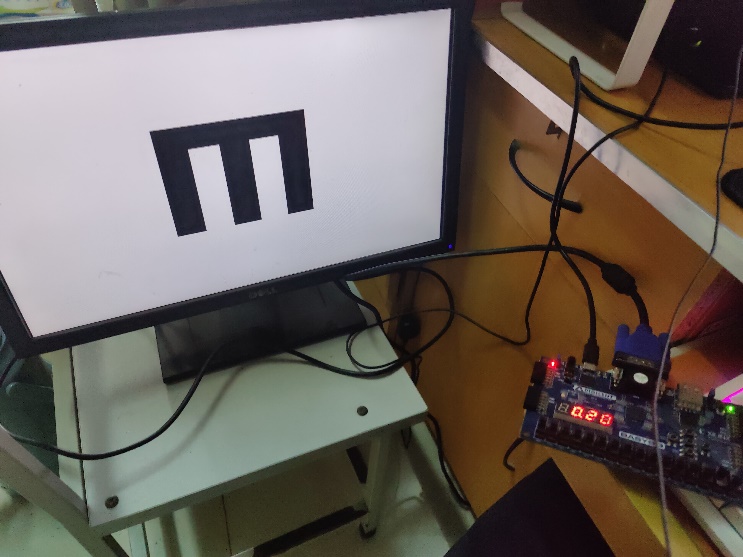
1. “E”的大下和对应视力值的显示：



**图5-5 “E”的大小和视力值测试图1**

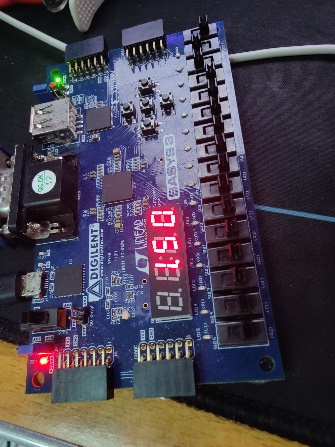
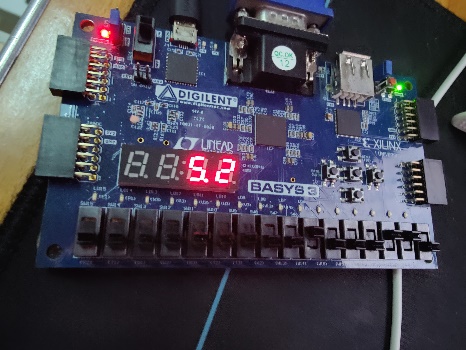


**图5-6 “E”的大小和视力值测试图2**



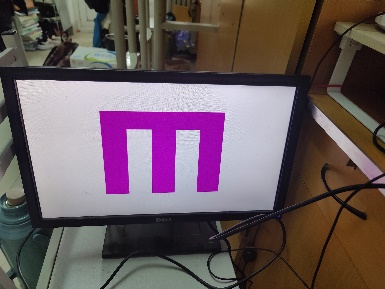
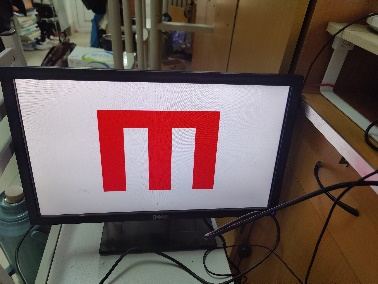
**图5-7 “E”的大小和视力值测试图3**

1. 切换视力值规范：



**图5-8 切换视力值测试图**

1. RGB渐变效果：



**图5-9 RGB渐变测试图**

# 遇到的问题及解决方法

1. **通过转接器无法将VGA信号输入至显示屏**更换老式显示器，采用VGA接口直接接入。
2. **VGA显示出现大面积黑屏，无法正常显示图案**原因是向非有效像素位置输出了白色信号，将代码逻辑更换为在非有效像素位置输出黑色色彩信号即可正常显示。
3. **屏幕上出现某颜色条纹**

连接不良或者是线路老化，提高时钟频率可以一定程度上缓解该现象。

# 源码

源代码已全部开源至GitHub：[verilog\_coursedesign/Eye\_Chart](https://github.com/BLUEMOON233/code/tree/main/course_design/verilog/verilog_coursedesign/Eye_Chart)