

Рис. 1.1. Электрические сигналы: аналоговый (а), цифровой (б).

| Вход | Выход |
|------|-------|
| 0 | 1 |
| 1 | 0 |



Рис. 1.3. Три уровня представления цифровых сигналов

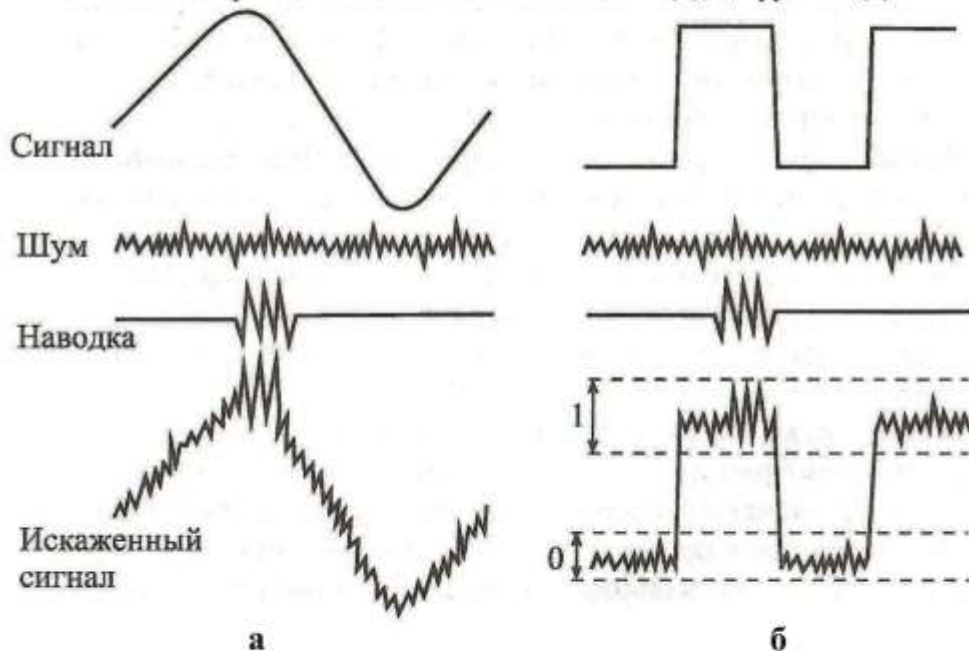
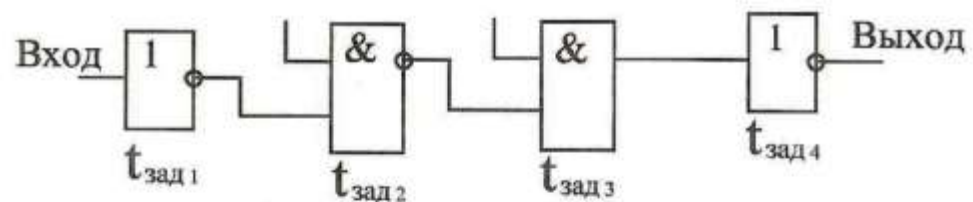
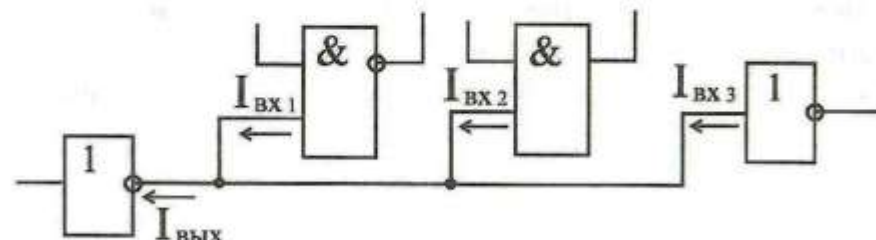


Рис. 1.2. Искажение шумами и наводками аналогового (а) и цифрового (б) сигналов



$$t_{\text{зад}} = t_{\text{зад}1} + t_{\text{зад}2} + t_{\text{зад}3} + t_{\text{зад}4}$$

Рис. 1.4. Суммирование задержек элементов



$$I_{\text{ВЫХ}} = I_{\text{ВХ}1} + I_{\text{ВХ}2} + I_{\text{ВХ}3}$$

Рис. 1.5. Суммирование входных токов элементов

$$(t_{\text{PHL}}) \quad (t_{\text{PLH}}) \quad (I_{\text{IL}}) \quad (I_{\text{IH}}) \quad (I_{\text{OL}}) \quad (I_{\text{OH}})$$

$$(U_{\text{OL}}) \quad (U_{\text{OH}}) \quad U_{\text{IH}} > 2,5 \text{ В}, U_{\text{IL}} < 0,8 \text{ В}.$$

$$(t_{\text{LH}}) \quad (t_{\text{HL}}) \quad (U_{\text{CC}}) \quad (I_{\text{CC}})$$

ТТЛ (TTL) и ТТЛШ (TTLS); КМОП (CMOS)

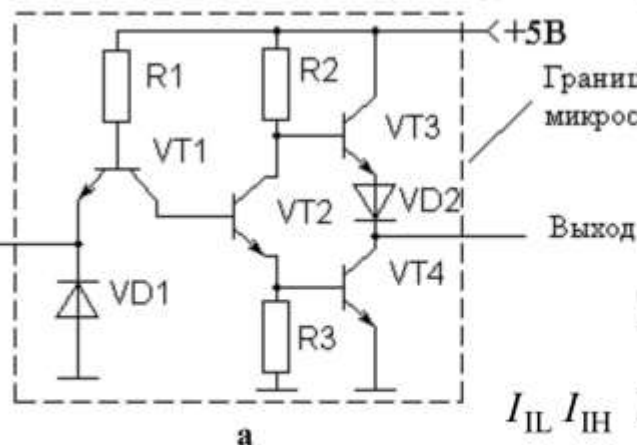


Рис. 1.6. Инверторы, реализованные по ТТЛ (а) и КМОП (б) технологии

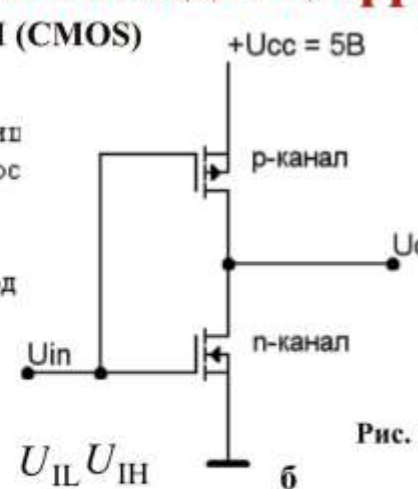
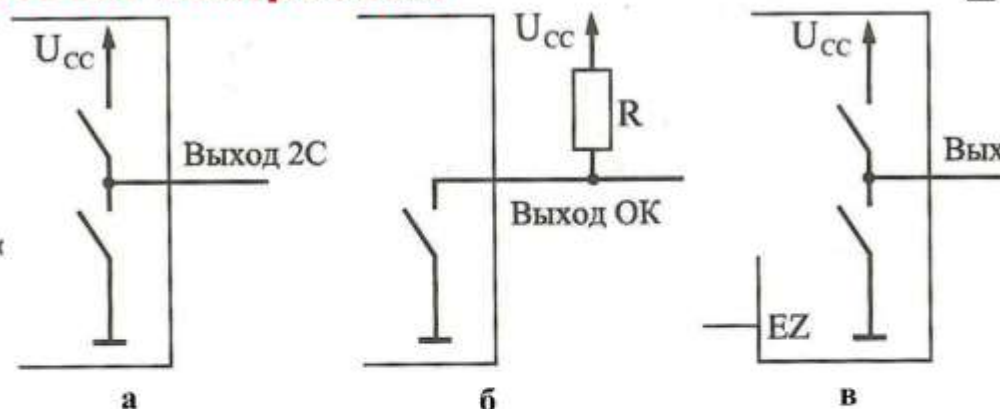


Рис. 1.7. Три типа выходов цифровых микросхем: а - 2С (2S); б - ОК; в - 3С (3S)



Положительный сигнал

Отрицательный сигнал



Рис. 1.9. Элементы цифрового сигнала

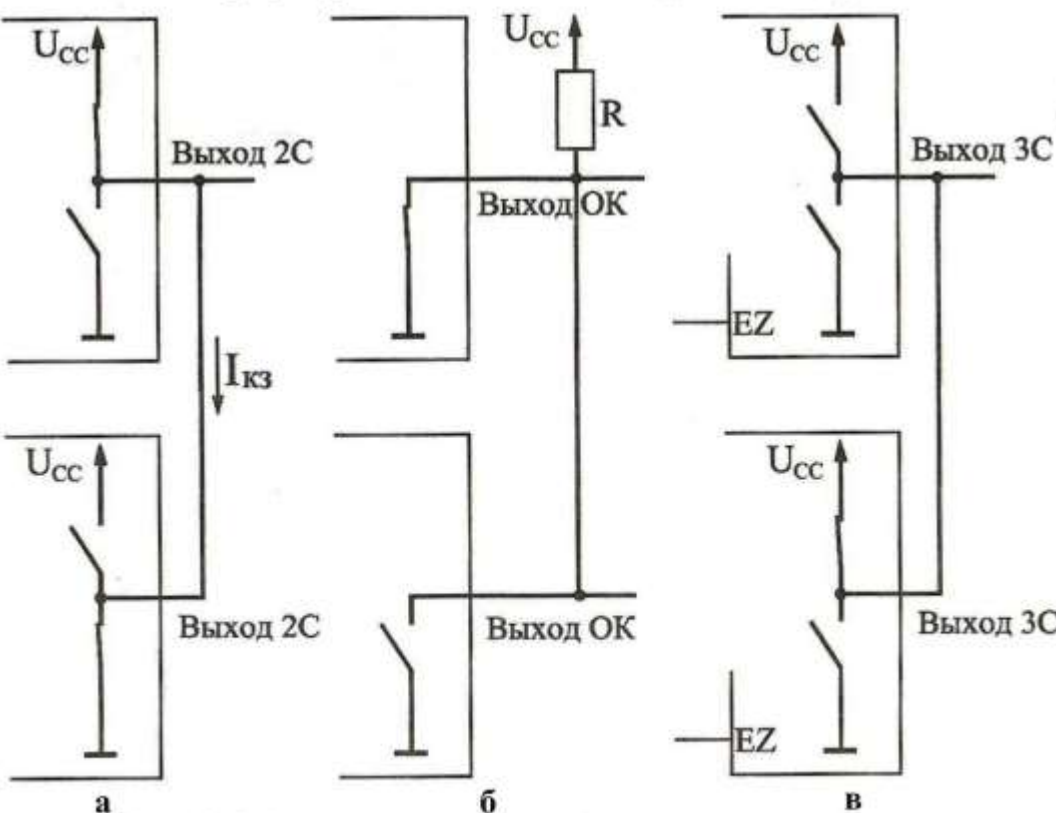


Рис. 1.8. Объединение выходов цифровых микросхем



Рис. 1.10. Обозначения входов и выходов микросхем

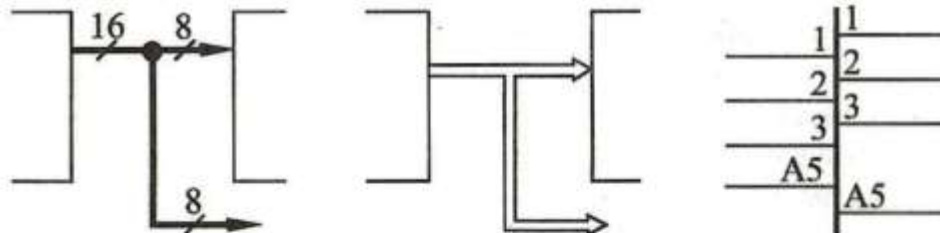


Рис. 1.11. Обозначения шин

| Обозначение | Название | Назначение |
|-------------|----------------|-------------------------------|
| & | And | Элемент И |
| =1 | Exclusive Or | Элемент Исключающее ИЛИ |
| 1 | Or | Элемент ИЛИ |
| A | Address | Адресные разряды |
| BF | Buffer | Буфер |
| C | Clock | Тактовый сигнал (строб) |
| CE | Clock Enable | Разрешение тактового сигнала |
| CT | Counter | Счетчик |
| CS | Chip Select | Выбор микросхемы |
| D | Data | Разряды данных, данные |
| DC | Decoder | Дешифратор |
| EZ | Enable Z-state | Разрешение третьего состояния |
| G | Generator | Генератор |
| I | Input | Вход |
| I/O | Input/Output | Вход/Выход |
| OE | Output Enable | Разрешение выхода |
| MS | Multiplexer | Мультиплексор |
| Q | Quit | Выход |
| R | Reset | Сброс (установка в нуль) |
| RG | Register | Регистр |
| S | Set | Установка в единицу |
| SUM | Summator | Сумматор |
| T | Trigger | Триггер |
| TC | Terminal Count | Окончание счета |
| Z | Z-state | Третье состояние выхода |

Таблица 1. Некоторые обозначения сигналов и микросхем



Рис. 1.12. Система обозначений фирмы Texas Instruments



Рис. 1.13. Обозначения отечественных микросхем

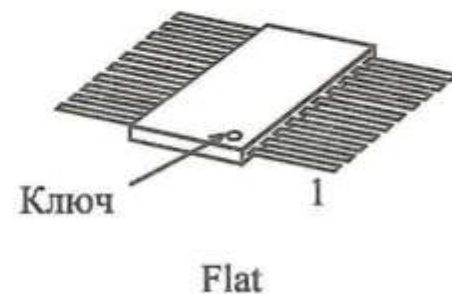
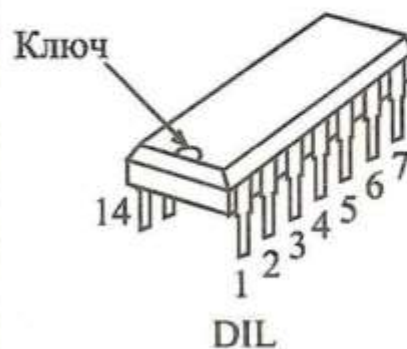


Рис. 1.14. Примеры корпусов DIL и FLAT

Лекция №2. Двоичные логические элементы

1

Числа, используемые в цифровой электронике. Двоичное кодирование



Рис. 2.1. Десятичное и двоичное кодирование

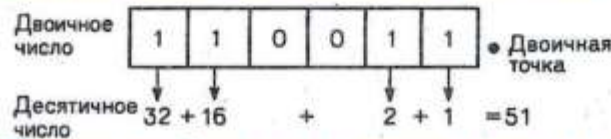


Рис. 2.2. Пример преобразования двоичного числа в десятичное

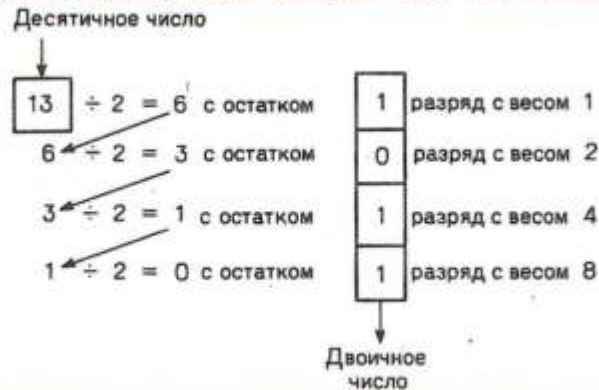


Рис. 2.3. Пример преобразования десятичного числа в двоичное

| Десятичная система | 16-ричная система | Десятичная система | 16-ричная система |
|--------------------|-------------------|--------------------|-------------------|
| 0 | 0 (0) | 10 | A (1010) |
| 1 | 1 (1) | 11 | B (1011) |
| 2 | 2 (10) | 12 | C (1100) |
| 3 | 3 (11) | 13 | D (1101) |
| 4 | 4 (100) | 14 | E (1110) |
| 5 | 5 (101) | 15 | F (1111) |
| 6 | 6 (110) | 16 | 10 (1 0000) |
| 7 | 7 (111) | 17 | 11 (1 0001) |
| 8 | 8 (1000) | 18 | 12 (1 0010) |
| 9 | 9 (1001) | 19 | 13 (1 0011) |

Таблица 2.2. Соответствие первых 20-ти десятичных и шестнадцатеричных чисел



Рис. 2.4. Двоичная и шестнадцатеричная записи числа

$$A17F_{16} = F \cdot 16^0 + 7 \cdot 16^1 + 1 \cdot 16^2 + A \cdot 16^3 = 15 \cdot 1 + 7 \cdot 16 + 1 \cdot 256 + 10 \cdot 496 = 41343_{10}$$

Пример преобразования шестнадцатеричного числа в десятичное

| Десятичная система | Двоично-десятичная система | Десятичная система | Двоично-десятичная система |
|--------------------|----------------------------|--------------------|----------------------------|
| 0 | 0 (0) | 10 | 10 (1 0000) |
| 1 | 1 (1) | 11 | 11 (1 0001) |
| 2 | 2 (10) | 12 | 12 (1 0010) |
| 3 | 3 (11) | 13 | 13 (1 0011) |
| 4 | 4 (100) | 14 | 14 (1 0100) |
| 5 | 5 (101) | 15 | 15 (1 0101) |
| 6 | 6 (110) | 16 | 16 (1 0110) |
| 7 | 7 (111) | 17 | 17 (1 0111) |
| 8 | 8 (1000) | 18 | 18 (1 1000) |
| 9 | 9 (1001) | 19 | 19 (1 1001) |

Таблица 2.3. Соответствие первых 20-ти десятичных чисел и их двоично-десятичного кода

Таблица 2.1. Соответствие первых 20-ти десятичных и двоичных чисел

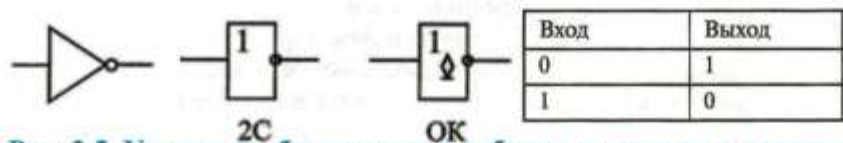


Рис. 2.5. Условные обозначения и таблица истинности инвертора

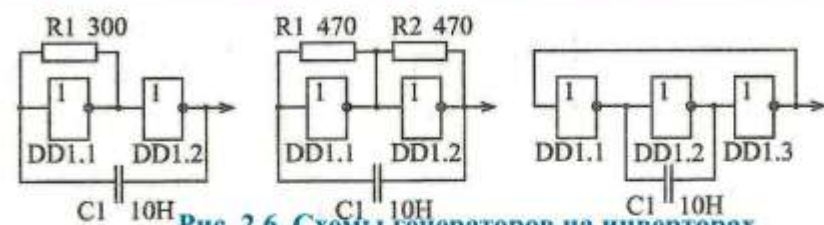


Рис. 2.6. Схемы генераторов на инверторах

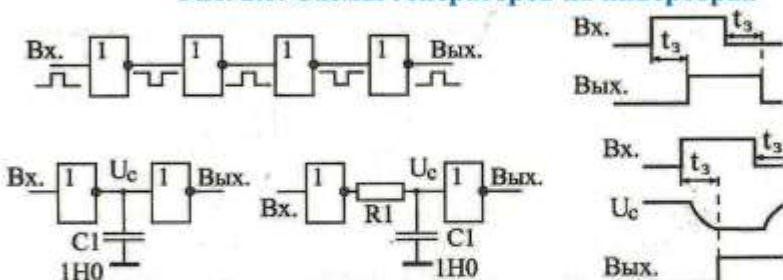


Рис. 2.7. Использование инверторов для задержки сигнала

Элементы И (AND), И-НЕ (NAND), ИЛИ (OR), ИЛИ-НЕ (NOR)

| Вход 1 | Вход 2 | Выход И | Выход И-НЕ | Выход ИЛИ | Выход ИЛИ-НЕ |
|--------|--------|---------|------------|-----------|--------------|
| 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 | 0 |

Таблица 2.5. Таблица истинности двухвходовых элементов И, И-НЕ, ИЛИ, ИЛИ-НЕ

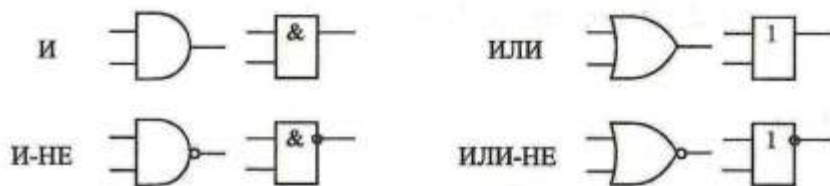


Рис. 2.8. Обозначения элементов И, И-НЕ, ИЛИ, ИЛИ-НЕ зарубежное (слева) и отечественное (справа)

$$\overline{A+B} = A \downarrow B$$

Стрелка Пирса

$$\overline{A \cdot B} = A | B$$

Штрих Шеффера

Элемент Исключающее ИЛИ

| Вход 1 | Вход 2 | Выход |
|--------|--------|-------|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

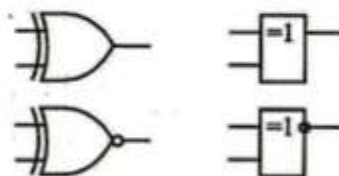


Рис. 2.9. Таблица истинности и обозначения элемента исключающее ИЛИ

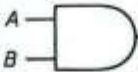


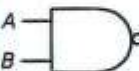

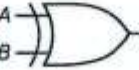
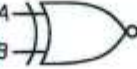
| Логическая функция | Условное обозначение | Булево выражение | Таблица истинности | | |
|----------------------|---|-----------------------------|--------------------|---|-------|
| | | | Входы | | Выход |
| | | | B | A | Y |
| И |  | $A \cdot B = Y$ | 0 | 0 | 0 |
| | | | 0 | 1 | 0 |
| | | | 1 | 0 | 0 |
| | | | 1 | 1 | 1 |
| | | | | | |
| ИЛИ |  | $A + B = Y$ | 0 | 0 | 0 |
| | | | 0 | 1 | 1 |
| | | | 1 | 0 | 1 |
| | | | 1 | 1 | 1 |
| Инвертор |  | $A = \bar{A}$ | | 0 | 1 |
| | | | | 1 | 0 |
| И – НЕ |  | $\overline{A \cdot B} = Y$ | 0 | 0 | 1 |
| | | | 0 | 1 | 1 |
| | | | 1 | 0 | 1 |
| | | | 1 | 1 | 0 |
| ИЛИ – НЕ |  | $\overline{A + B} = Y$ | 0 | 0 | 1 |
| | | | 0 | 1 | 0 |
| | | | 1 | 0 | 0 |
| | | | 1 | 1 | 0 |
| Исключающее ИЛИ |  | $A \oplus B = Y$ | 0 | 0 | 0 |
| | | | 0 | 1 | 1 |
| | | | 1 | 0 | 1 |
| | | | 1 | 1 | 0 |
| Исключающее ИЛИ – НЕ |  | $\overline{A \oplus B} = Y$ | 0 | 0 | 1 |
| | | | 0 | 1 | 0 |
| | | | 1 | 0 | 0 |
| | | | 1 | 1 | 1 |

Таблица 2.6. Сводная таблица базовых логических элементов

Конструирование схем на основе логических выражений

$$\bar{A} \cdot B + A \cdot \bar{B} + \bar{B} \cdot C = Y$$

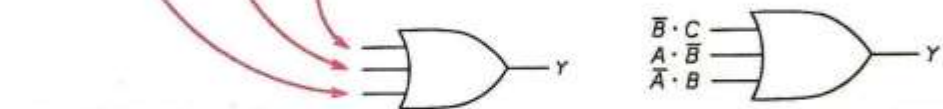


Рис. 2.10. Первый шаг в конструировании логической схемы по ДНФ

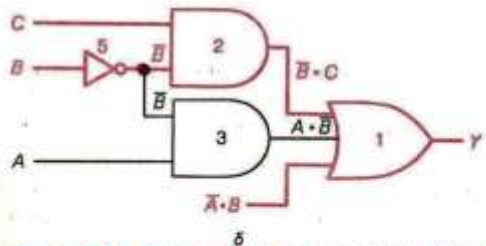
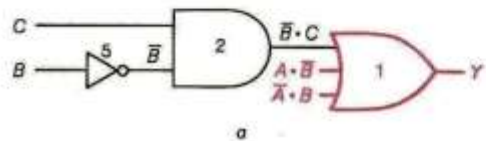


Рис. 2.11. Второй шаг в конструировании логической схемы по ДНФ

$$(A+B+C) \cdot (\bar{A} + \bar{B}) = Y$$

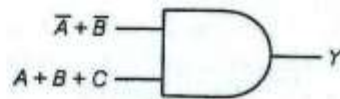


Рис. 2.12. Первый шаг в конструировании логической схемы по КНФ

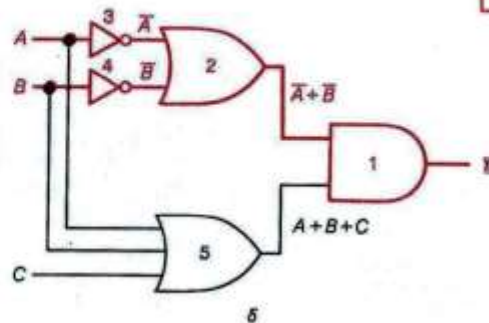
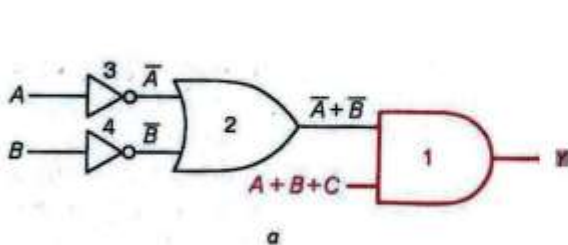


Рис. 2.13. Второй шаг в конструировании логической схемы по КНФ

Конструирование схем по таблицам истинности 3

| Входы | | | Выход |
|-------|---|---|-------|
| C | B | A | Y |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 |

$$\bar{C} \cdot B \cdot A = 1$$

$$C \cdot \bar{B} \cdot \bar{A} = 1$$

$$Y = \bar{C} \cdot B \cdot A + C \cdot \bar{B} \cdot \bar{A}$$

Рис. 2.14. Построение булева выражения по таблице истинности

$$\bar{C} \cdot B \cdot \bar{A} + C \cdot \bar{B} \cdot A = Y$$

Таблица истинности

| Входы | | | Выход |
|-------|---|---|-------|
| C | B | A | Y |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 |

а

$$B + \bar{B} = 1. \quad \bar{C} \cdot \bar{A} = \bar{C} \cdot \bar{A} \cdot 1 = \bar{C} \cdot \bar{A} \cdot (B + \bar{B}) = \bar{C} \cdot \bar{A} \cdot B + \bar{C} \cdot \bar{A} \cdot \bar{B}$$

$$Y = \bar{C} \cdot \bar{A} + C \cdot B \cdot A = \bar{C} \cdot \bar{A} \cdot B + \bar{C} \cdot \bar{A} \cdot \bar{B} + C \cdot B \cdot A$$

$$\bar{C} \cdot \bar{A} + C \cdot B \cdot A = Y$$

Таблица истинности

| Входы | | | Выход |
|-------|---|---|-------|
| C | B | A | Y |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

б

| название | для И | для ИЛИ |
|------------------------|--|--|
| двойного отрицания | $\overline{\overline{A}} = A$ | |
| исключения третьего | $A \cdot \overline{A} = 0$ | $A + \overline{A} = 1$ |
| операции с константами | $A \cdot 0 = 0, A \cdot 1 = A$ | $A + 0 = A, A + 1 = 1$ |
| повторения | $A \cdot A = A$ | $A + A = A$ |
| поглощения | $A \cdot (A + B) = A$ | $A + A \cdot B = A$ |
| переместительный | $A \cdot B = B \cdot A$ | $A + B = B + A$ |
| сочетательный | $A \cdot (B \cdot C) = (A \cdot B) \cdot C$ | $A + (B + C) = (A + B) + C$ |
| распределительный | $A + B \cdot C = (A + B) \cdot (A + C)$ | $A \cdot (B + C) = A \cdot B + A \cdot C$ |
| правила де Моргана | $\overline{A \cdot B} = \overline{A} + \overline{B}$ | $\overline{A + B} = \overline{A} \cdot \overline{B}$ |

Таблица 2.7. Законы алгебры логики

а Булево выражение

$$A \cdot \overline{B} \cdot \overline{C} + \overline{A} \cdot \overline{B} \cdot \overline{C} + \overline{A} \cdot \overline{B} \cdot C + A \cdot \overline{B} \cdot C = Y$$

б Карта Карно

| | \overline{C} | C |
|-----------------------------|----------------|-----|
| $\overline{A} \overline{B}$ | 1 | 1 |
| $\overline{A} B$ | | |
| $A \overline{B}$ | | 1 |
| $A B$ | | 1 |

в Объединение контурами и опускание переменных

| | \overline{C} | C |
|-----------------------------|----------------|-----|
| $\overline{A} \overline{B}$ | 1 | 1 |
| $\overline{A} B$ | | |
| $A \overline{B}$ | | 1 |
| $A B$ | | 1 |

г Упрощенное булево выражение

$$A \cdot \overline{C} + \overline{A} \cdot \overline{B} = Y$$

Рис. 2.16. Упрощение булева выражения с тремя переменными в карте Карно

а Булево выражение

$$A \cdot \overline{B} \cdot \overline{C} \cdot \overline{D} + \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot D + \overline{A} \cdot \overline{B} \cdot C \cdot \overline{D} + \overline{A} \cdot \overline{B} \cdot C \cdot D + \overline{A} \cdot B \cdot C \cdot D + A \cdot \overline{B} \cdot \overline{C} \cdot D = Y$$

б Карта Карно

| | $\overline{C} \overline{D}$ | $\overline{C} D$ | $C \overline{D}$ | $C D$ |
|-----------------------------|-----------------------------|------------------|------------------|-------|
| $\overline{A} \overline{B}$ | | 1 | 1 | |
| $\overline{A} B$ | | 1 | 1 | |
| $A \overline{B}$ | | | | |
| $A B$ | 1 | 1 | | |

в Объединение контурами и опускание переменных

| | $\overline{C} \overline{D}$ | $\overline{C} D$ | $C \overline{D}$ | $C D$ |
|-----------------------------|-----------------------------|------------------|------------------|-------|
| $\overline{A} \overline{B}$ | | 1 | 1 | |
| $\overline{A} B$ | | 1 | 1 | |
| $A \overline{B}$ | | | | |
| $A B$ | 1 | 1 | | |

г Упрощенное булево выражение

$$A \cdot \overline{B} \cdot \overline{C} + \overline{A} \cdot D = Y$$

Рис. 2.17. Упрощение булева выражения с четырьмя переменными в карте Карно

| | $\overline{C} \overline{D}$ | $\overline{C} D$ | $C \overline{D}$ | $C D$ |
|-----------------------------|-----------------------------|------------------|------------------|-------|
| $\overline{A} \overline{B}$ | | | | |
| $\overline{A} B$ | 1 | | | 1 |
| $A \overline{B}$ | 1 | | | 1 |
| $A B$ | | | | |

Упрощенное булево выражение

$$B \cdot \overline{D} = Y$$

| | $\overline{C} \overline{D}$ | $\overline{C} D$ | $C \overline{D}$ | $C D$ |
|-----------------------------|-----------------------------|------------------|------------------|-------|
| $\overline{A} \overline{B}$ | 1 | 1 | | |
| $\overline{A} B$ | | | | |
| $A \overline{B}$ | 1 | 1 | | |
| $A B$ | | | | |

Упрощенное булево выражение

$$\overline{B} \cdot \overline{C} = Y$$

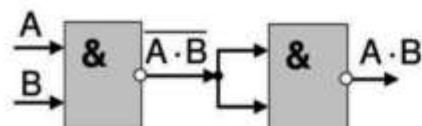
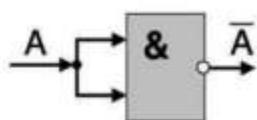
Рис. 2.18. Упрощение булева выражения при сворачивании карты Карно

Функционально полный набор (базис). Универсальный характер элементов И-НЕ и ИЛИ-НЕ

5

НЕ: $\bar{A} = \bar{A} + \bar{A} = \bar{A} \cdot \bar{A}$

И: $A \cdot B = \overline{\bar{A} \cdot \bar{B}}$



ИЛИ:
 $A + B = \overline{\bar{A} \cdot \bar{B}}$

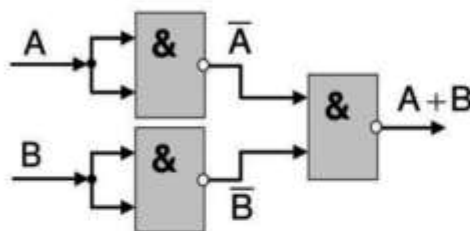


Рис. 2.19. Универсальный характер элемента И-НЕ

$$Y = A \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot D = (\overline{A \cdot \bar{B} \cdot \bar{C}}) (\overline{\bar{A} \cdot D}) = \bar{U} \cdot \bar{V}$$

$$U = A \cdot \bar{B} \cdot \bar{C}; V = \bar{A} \cdot D \quad U = A \cdot \bar{B} \cdot \bar{C}; V = \bar{A} \cdot D$$

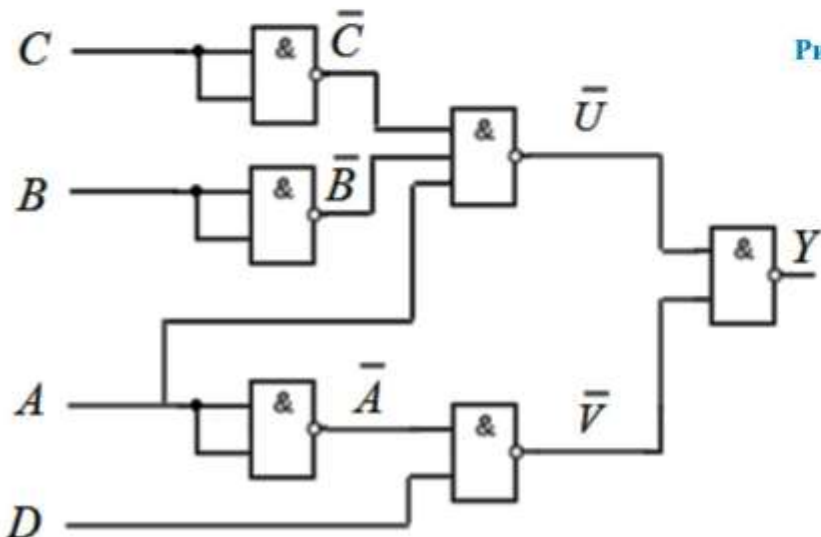


Рис. 2.20. Реализация выражения $Y = A \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot D$ логическими элементами И-НЕ

Сложные логические элементы

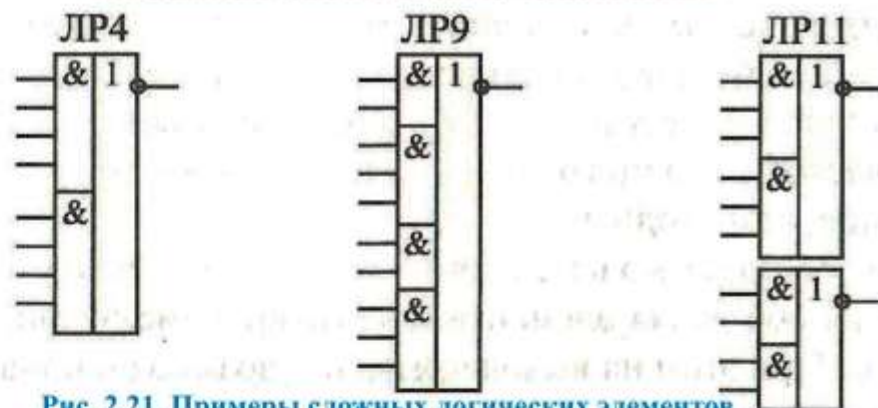


Рис. 2.21. Примеры сложных логических элементов

Триггер Шмитта

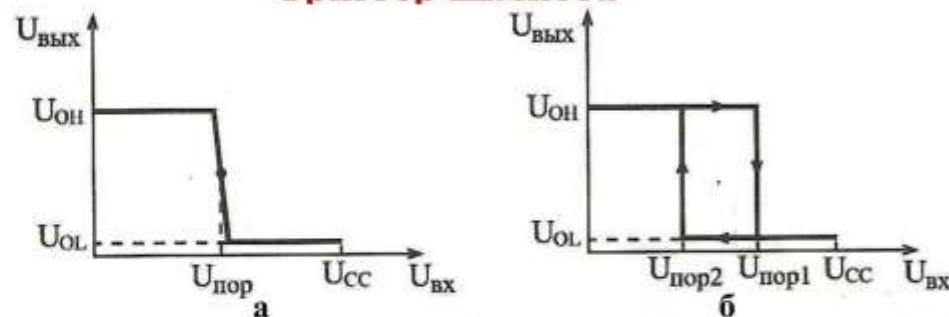


Рис. 2.22. Передаточные характеристики инвертора (а) и триггера Шмитта с инверсией (б)

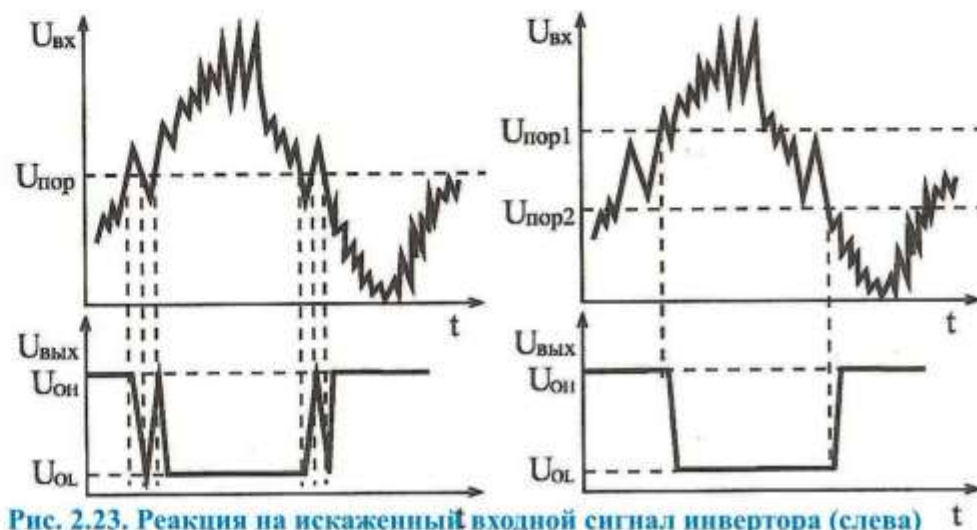


Рис. 2.23. Реакция на искаженный входной сигнал инвертора (слева) и триггера Шмитта с инверсией (справа)

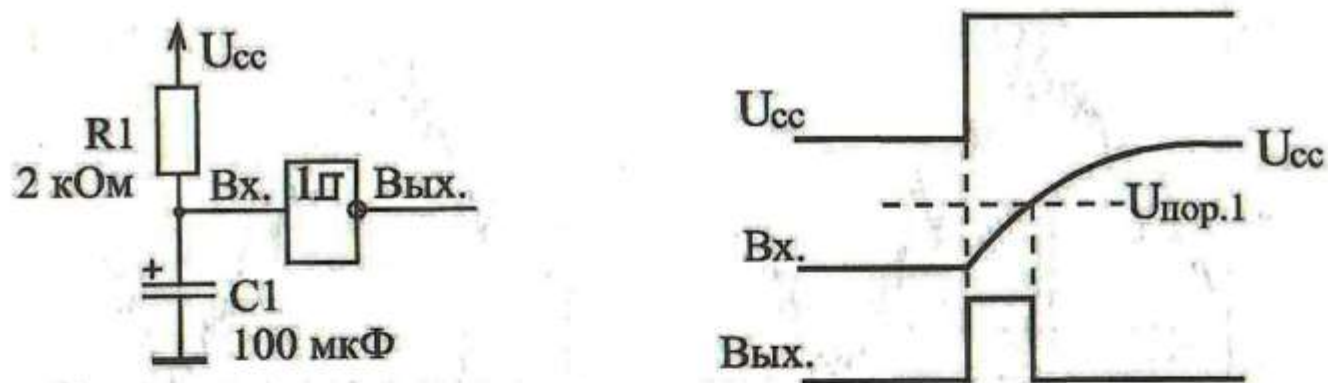


Рис. 2.24. Формирователь импульса начального сброса

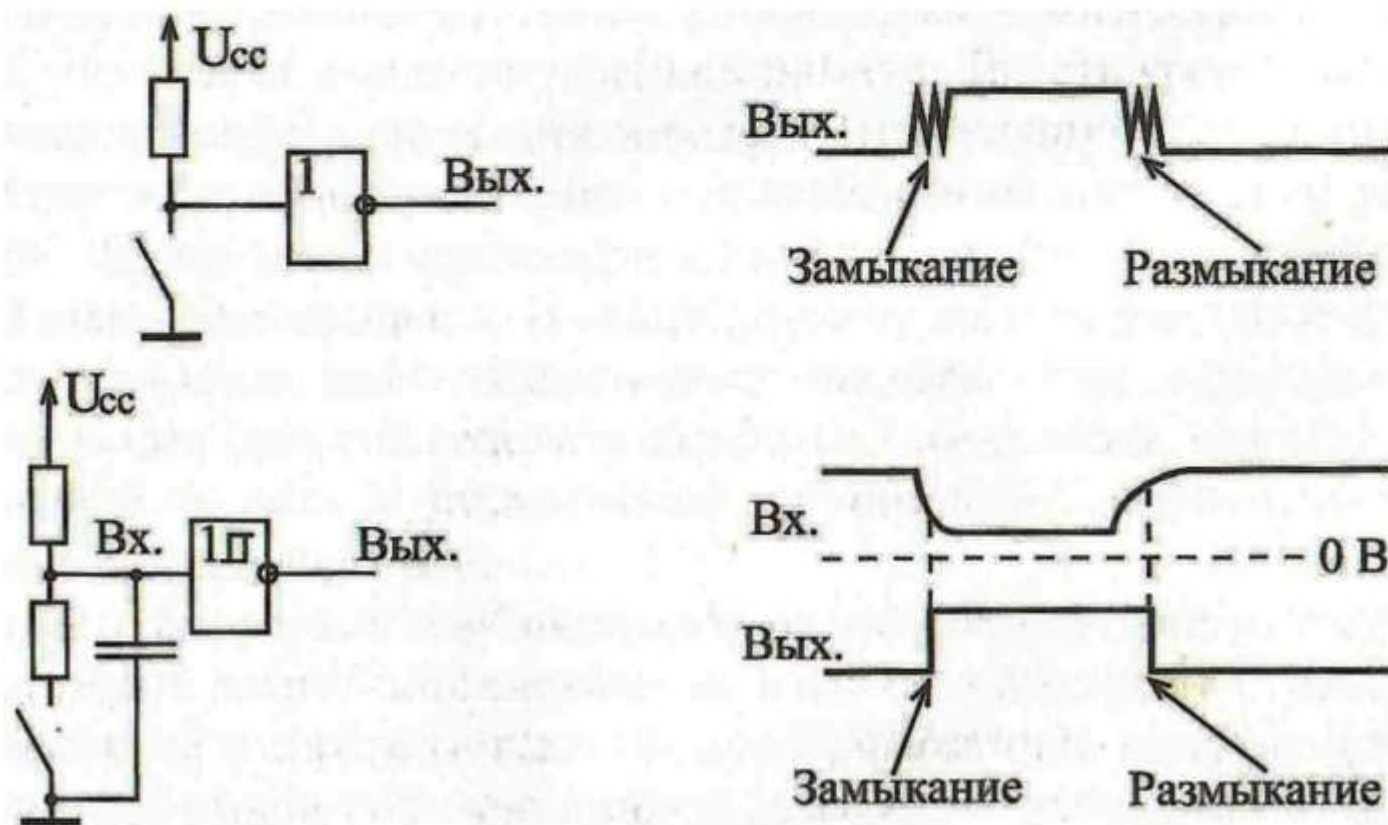
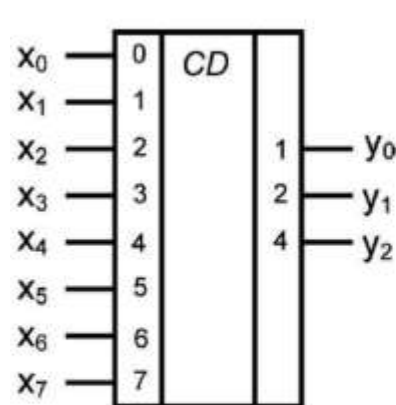


Рис. 2.25. Дребезг контактов (вверху) и его подавление с помощью триггера Шмитта (внизу)



| x | y ₂ | y ₁ | y ₀ |
|----------------|----------------|----------------|----------------|
| x ₀ | 0 | 0 | 0 |
| x ₁ | 0 | 0 | 1 |
| x ₂ | 0 | 1 | 0 |
| x ₃ | 0 | 1 | 1 |
| x ₄ | 1 | 0 | 0 |
| x ₅ | 1 | 0 | 1 |
| x ₆ | 1 | 1 | 0 |
| x ₇ | 1 | 1 | 1 |

Рис. 3.1. УГО и таблица истинности шифратора 8x3

$$y_0 = x_1 + x_3 + x_5 + x_7; y_1 = x_2 + x_3 + x_6 + x_7;$$

$$y_2 = x_4 + x_5 + x_6 + x_7.$$

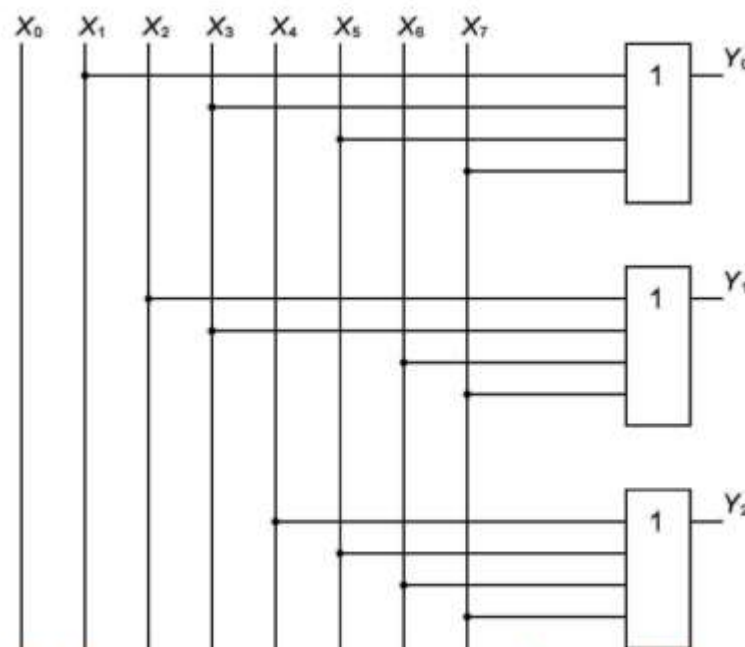


Рис. 3.2. Схема неприоритетного шифратора 8x3 на логических элементах ИЛИ

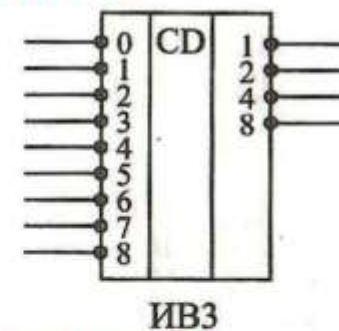
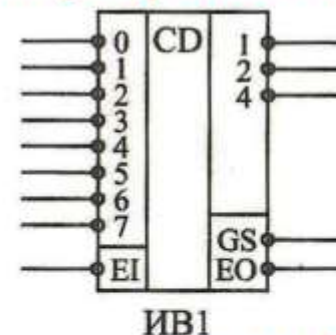


Рис. 3.3. Микросхемы шифраторов

| Входы | | | | | | | | | Выходы | | | | |
|-------|---|---|---|---|---|---|---|---|--------|---|---|---|-----|
| -EI | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | -GS | 4 | 2 | 1 | -EO |
| 1 | X | X | X | X | X | X | X | X | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | X | X | X | X | X | X | X | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | X | X | X | X | X | X | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| 0 | X | X | X | X | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | X | X | X | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 0 | X | X | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 |
| 0 | X | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |

Таблица 3.1. Таблица истинности шифратора IB1

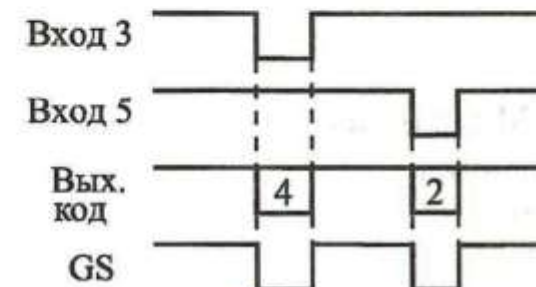
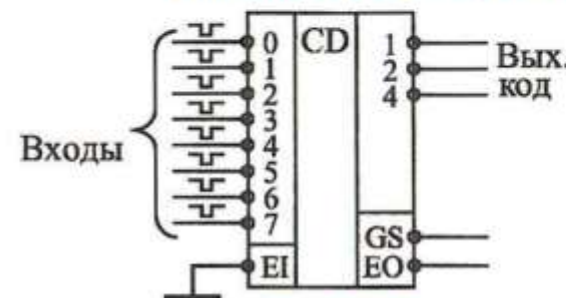
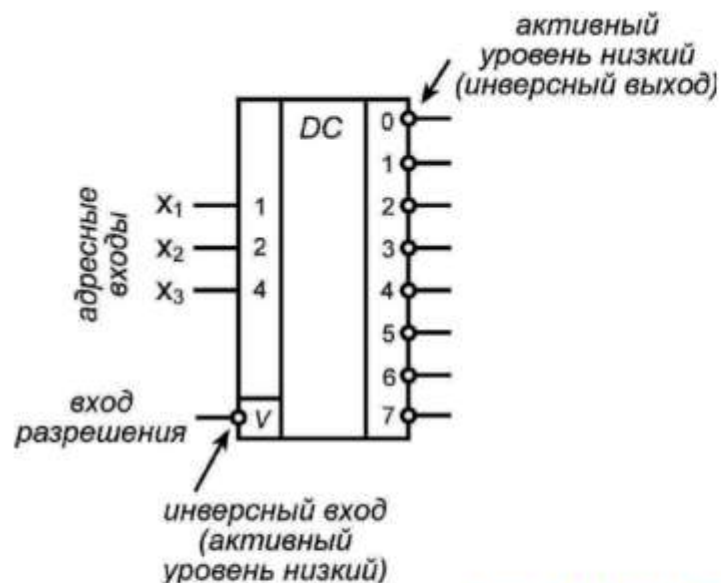


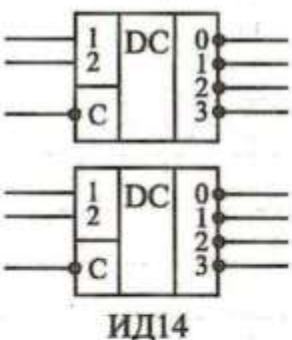
Рис. 3.4. Стандартное включение шифратора



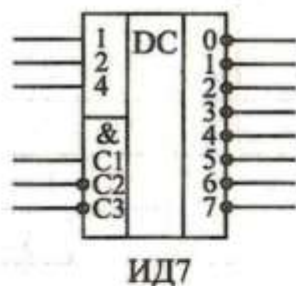
при $V=0$

| X_3 | X_2 | X_1 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
|-------|-------|-------|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |

Рис. 3.5. УГО и таблица истинности дешифратора 3x8

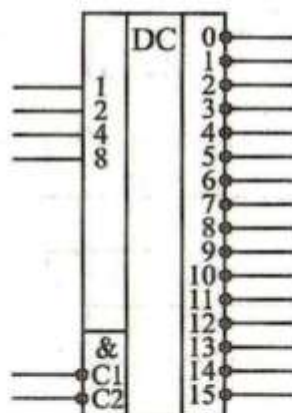


ИД14



ИД7

$$m = 2^n.$$



ИД3

Рис. 3.6. Примеры микросхем дешифраторов

| Входы | | | | | | Выходы | | | | | | | |
|-------|-----|-----|---|---|---|--------|---|---|---|---|---|---|---|
| C1 | -C2 | -C3 | 4 | 2 | 1 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
| 0 | X | X | X | X | X | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| X | 1 | X | X | X | X | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| X | X | 1 | X | X | X | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |

Таблица 3.2. Таблица истинности дешифратора ИД7

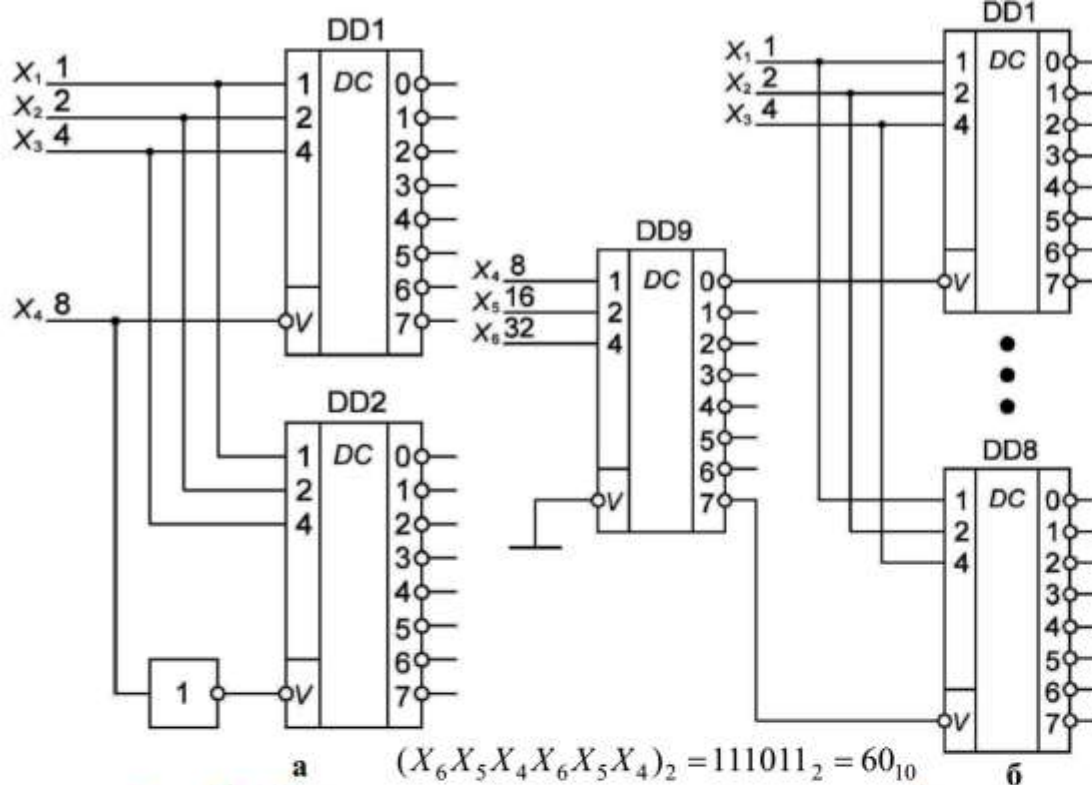


Рис. 3.7. Примеры наращивания разрядности дешифраторов

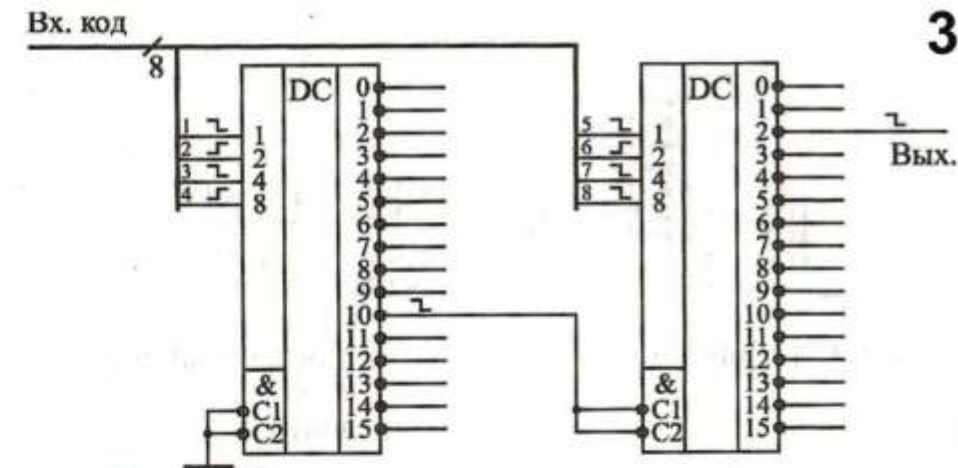


Рис. 3.8. Селектирование кода на дешифраторах

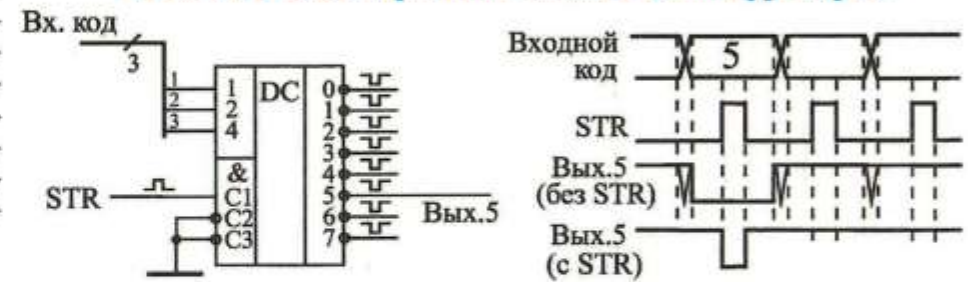


Рис. 3.9. Стробирование выходных сигналов дешифратора



Рис. 3.10. Цифровая электронная система

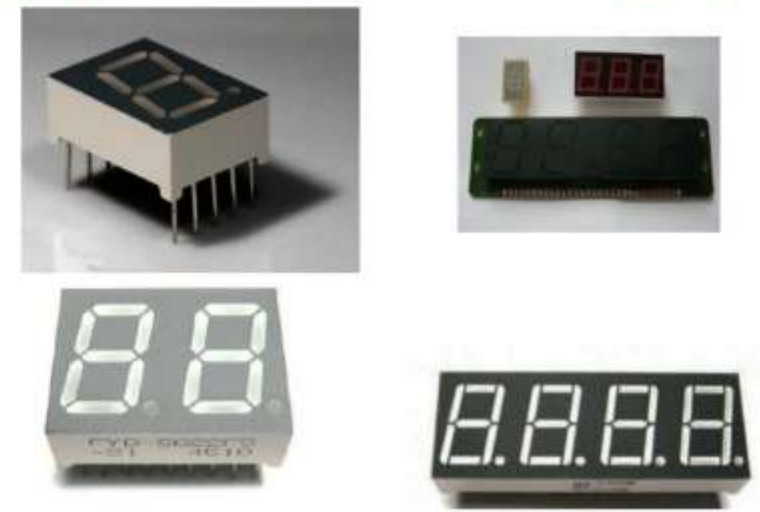


Рис. 3.11. Примеры семисегментных индикаторов

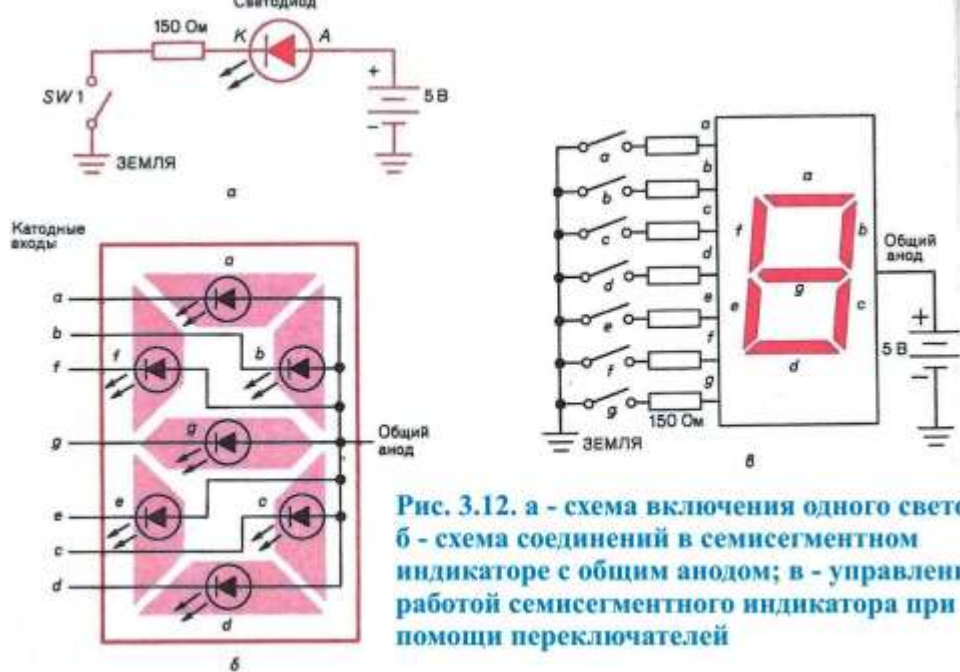


Рис. 3.12. а - схема включения одного светодиода; б - схема соединений в семисегментном индикаторе с общим анодом; в - управление работой семисегментного индикатора при помощи переключателей

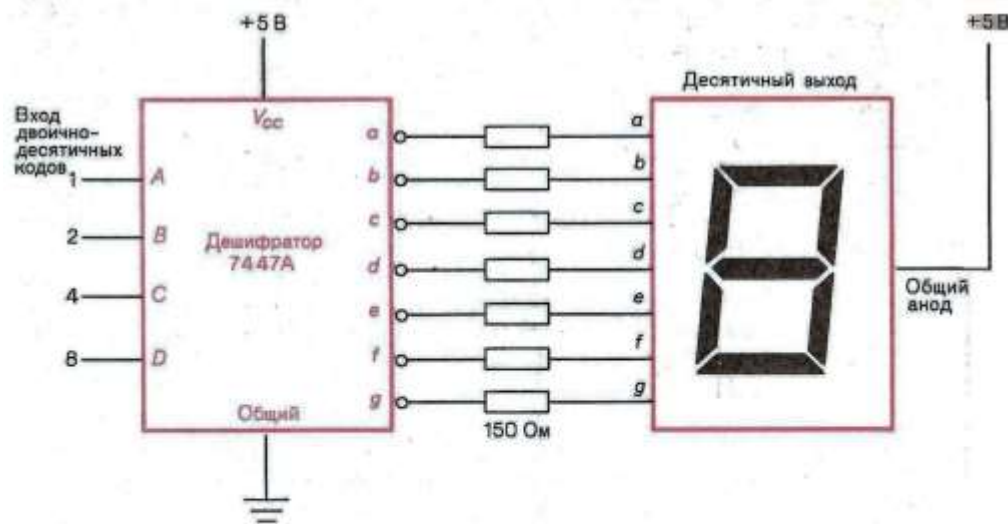


Рис. 3.13. Соединение микросхемы дешифратора 77А с семисегментным индикатором

Мультиплексоры



Рис. 3.14. Примеры микросхем мультиплексоров

| Входы | | | | Выходы | |
|-------|---|---|-----|--------|-----|
| 4 | 2 | 1 | -EZ | Q | -Q |
| X | X | X | 1 | Z | Z |
| 0 | 0 | 0 | 0 | D0 | -D0 |
| 0 | 0 | 1 | 0 | D1 | -D1 |
| 0 | 1 | 0 | 0 | D2 | -D2 |
| 0 | 1 | 1 | 0 | D3 | -D3 |
| 1 | 0 | 0 | 0 | D4 | -D4 |
| 1 | 0 | 1 | 0 | D5 | -D5 |
| 1 | 1 | 0 | 0 | D6 | -D6 |
| 1 | 1 | 1 | 0 | D7 | -D7 |

Таблица 3.3. Таблица истинности 8-канального мультиплексора КП15

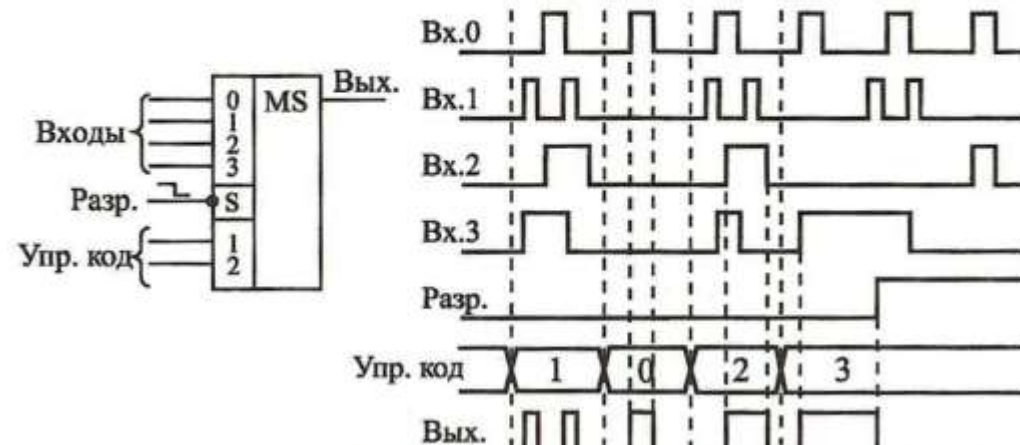
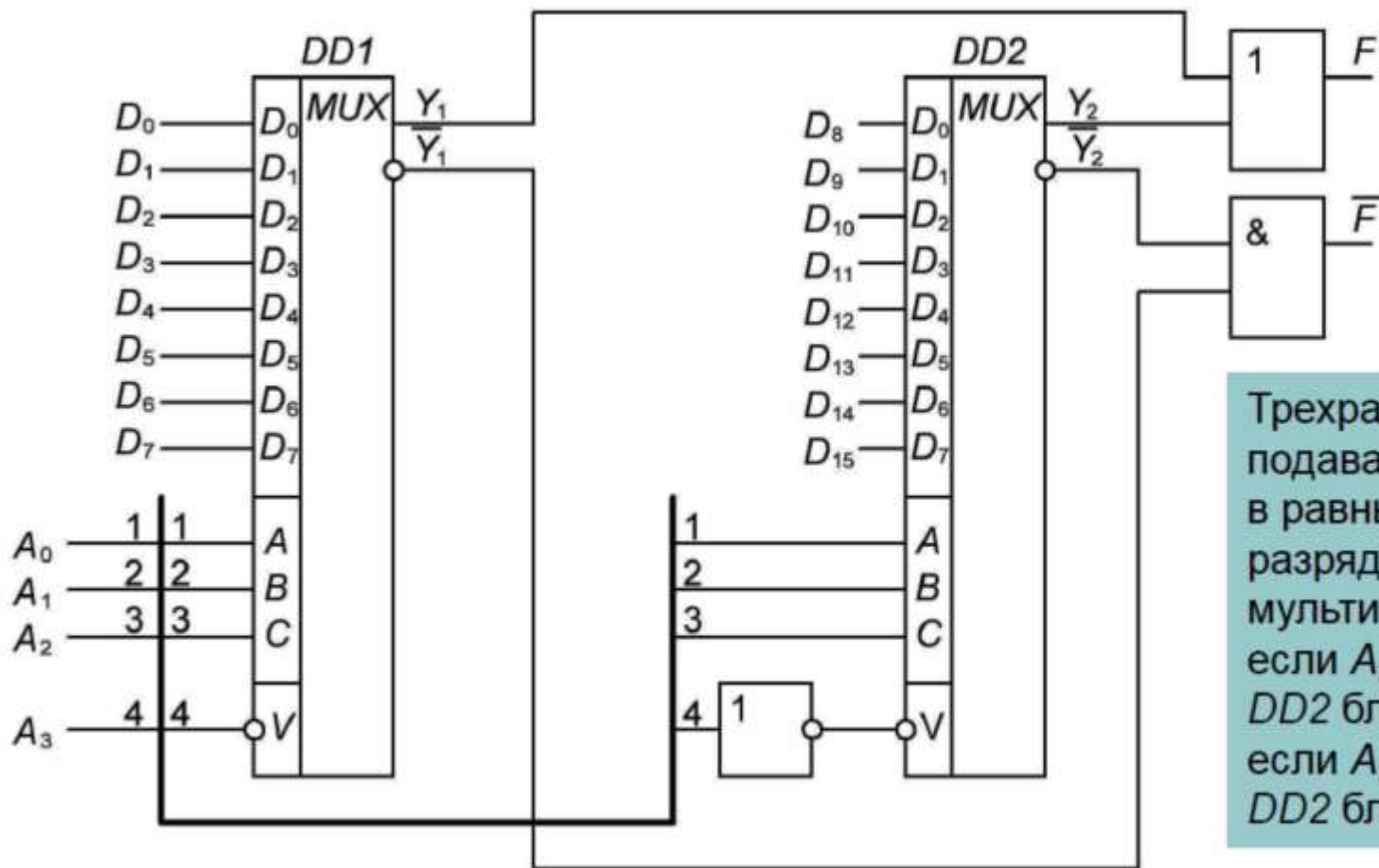


Рис. 3.15. Временная диаграмма -канального мультиплексора с разрешением



$$F = Y_1 + Y_2$$

$$\overline{F} = \overline{Y_1} \cdot \overline{Y_2} = \overline{Y_1 + Y_2}$$

Трёхразрядный адрес $A_2A_1A_0$, подаваемый на оба MUX ставит их в равные условия. По четвертому разряду (A_3) разрешается мультиплексирование: если $A_3 = 0$, то работает $DD1$, а $DD2$ блокируется; если $A_3 = 1$, то работает $DD2$, а $DD1$ блокируется.

Схема мультиплексора «1 из 16»

0000 – 0111 $DD1$ активен, $DD2$ заблокирован.

1000 – 1111 $DD2$ активен, $DD1$ заблокирован.

Рис. 3.16. Последовательное наращивание мультиплексоров

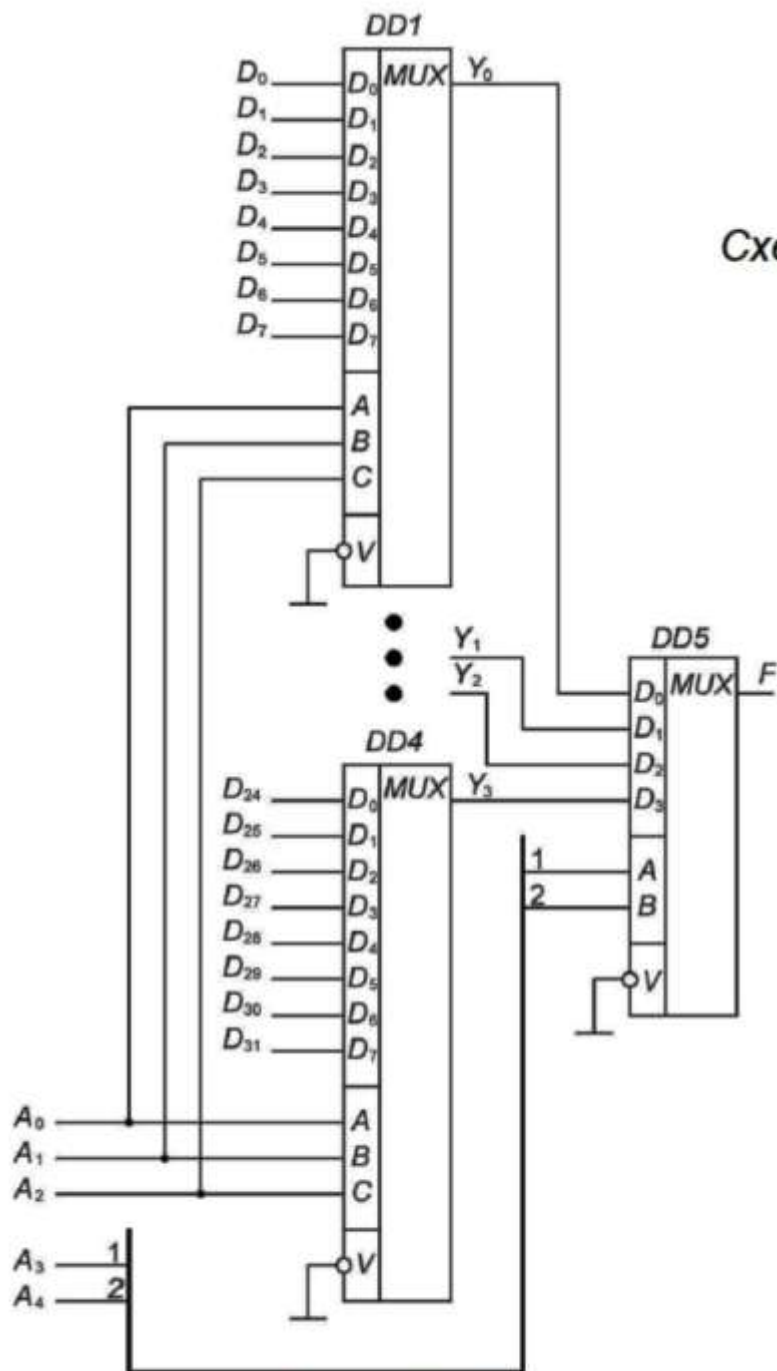


Схема мультиплексора «1 из 32»

Для получения мультиплексора «1 из 32» требуется пятиразрядный адрес $A_4A_3A_2A_1A_0$, т.к. $32=2^5$. Трехразрядный адрес $A_2A_1A_0$, подаваемый на мультиплексоры $DD1-DD4$ ставит их в равные условия. Выходы мультиплексоров $Y_3Y_2Y_1Y_0$ поступают на мультиплексор $DD5$, адресация которого осуществляется старшими разрядами A_4A_3 .

| Диапазон адресов | F |
|------------------|-------|
| 00000 - 00111 | Y_0 |
| 01000 - 01111 | Y_1 |
| 10000 - 10111 | Y_2 |
| 11000 - 11111 | Y_3 |

Рис. 3.17. Пирамидальное наращивание мультиплексоров

$$F = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}CD + \\ + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}BCD$$

| | $\overline{A}\overline{B}$ | $\overline{A}B$ | AB | $A\overline{B}$ |
|----------------------------|----------------------------|-----------------|------|-----------------|
| $\overline{C}\overline{D}$ | | 1 | | 1 |
| $\overline{C}D$ | 1 | | 1 | |
| CD | | 1 | | 1 |
| $C\overline{D}$ | 1 | | 1 | |

Данная функция не может быть минимизирована, т.к. на карте нет единиц, которые можно объединить. На информационные входы *MUX* «1 из 16» подаются соответствующие значения функции 0 или 1.

| № | A | B | C | D | F |
|----|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 |
| 2 | 0 | 0 | 1 | 0 | 1 |
| 3 | 0 | 0 | 1 | 1 | 0 |
| 4 | 0 | 1 | 0 | 0 | 1 |
| 5 | 0 | 1 | 0 | 1 | 0 |
| 6 | 0 | 1 | 1 | 0 | 0 |
| 7 | 0 | 1 | 1 | 1 | 1 |
| 8 | 1 | 0 | 0 | 0 | 1 |
| 9 | 1 | 0 | 0 | 1 | 0 |
| 10 | 1 | 0 | 1 | 0 | 0 |
| 11 | 1 | 0 | 1 | 1 | 1 |
| 12 | 1 | 1 | 0 | 0 | 0 |
| 13 | 1 | 1 | 0 | 1 | 1 |
| 14 | 1 | 1 | 1 | 0 | 1 |
| 15 | 1 | 1 | 1 | 1 | 0 |

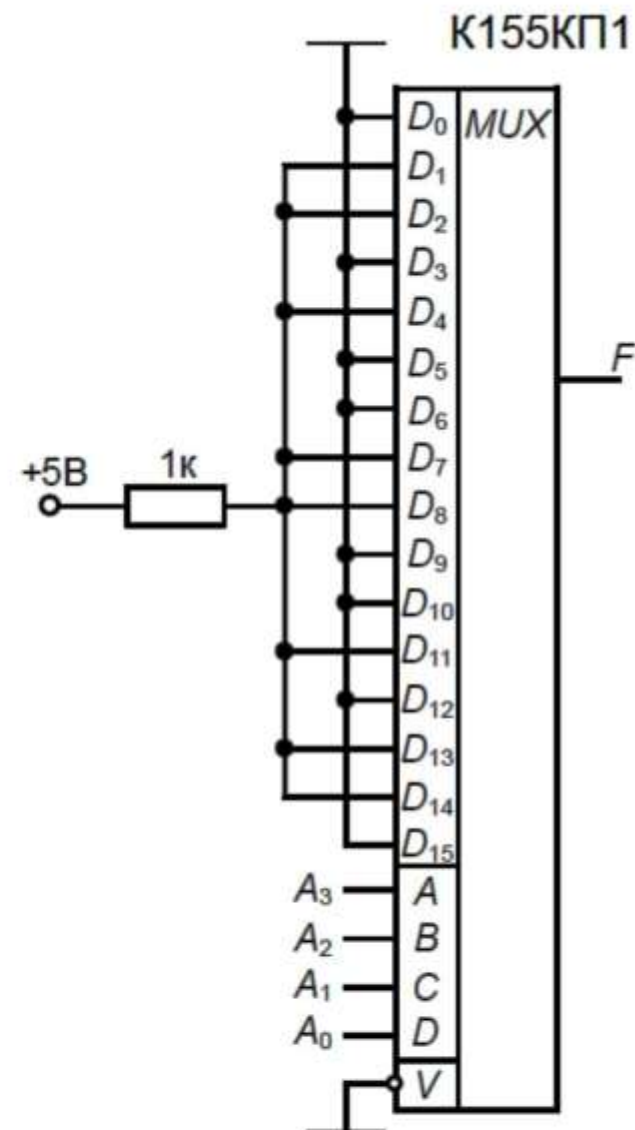
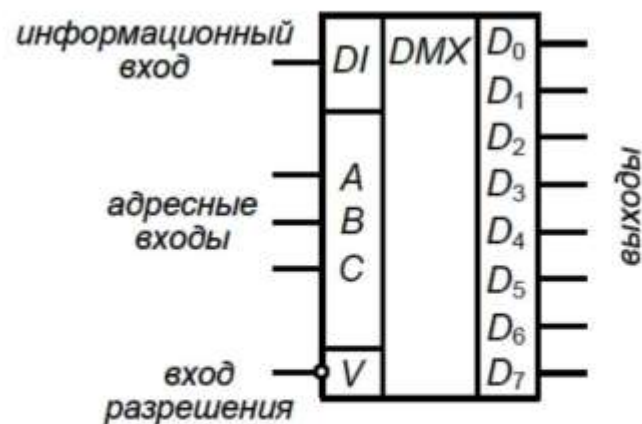


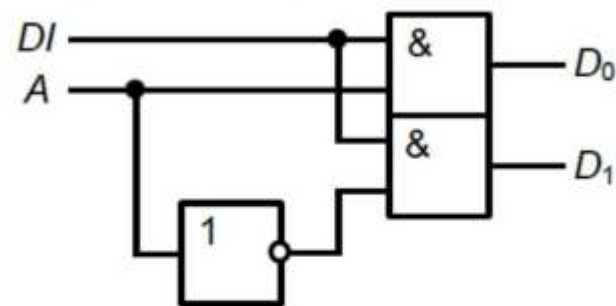
Рис. 3.18. Пример реализации логической функции на мультиплексоре К155КП1

Демультимплексоры



УГО демультимплексора «1 на 8»

Демультимплексор на два выхода

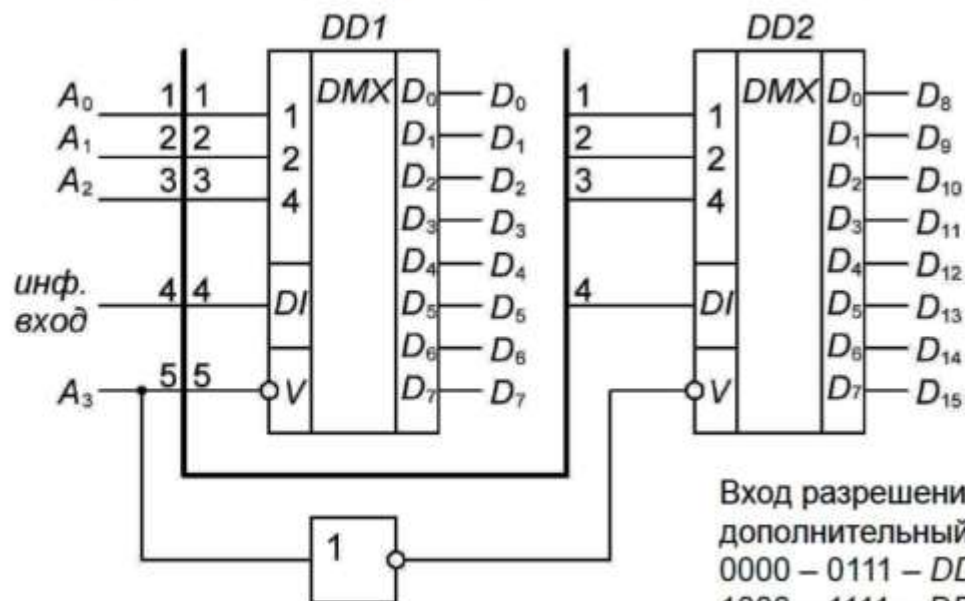


A – адресный вход;
 DI – информационный вход.

При $A = 1$ на выходе $D_0 = DI$;
 при $A = 0$ на выходе $D_1 = DI$.

Рис. 3.19. Условно графическое обозначение и пример реализации демультимплексора

Построение демультимплексора «1 на 16» на базе демультимплексора «1 на 8».

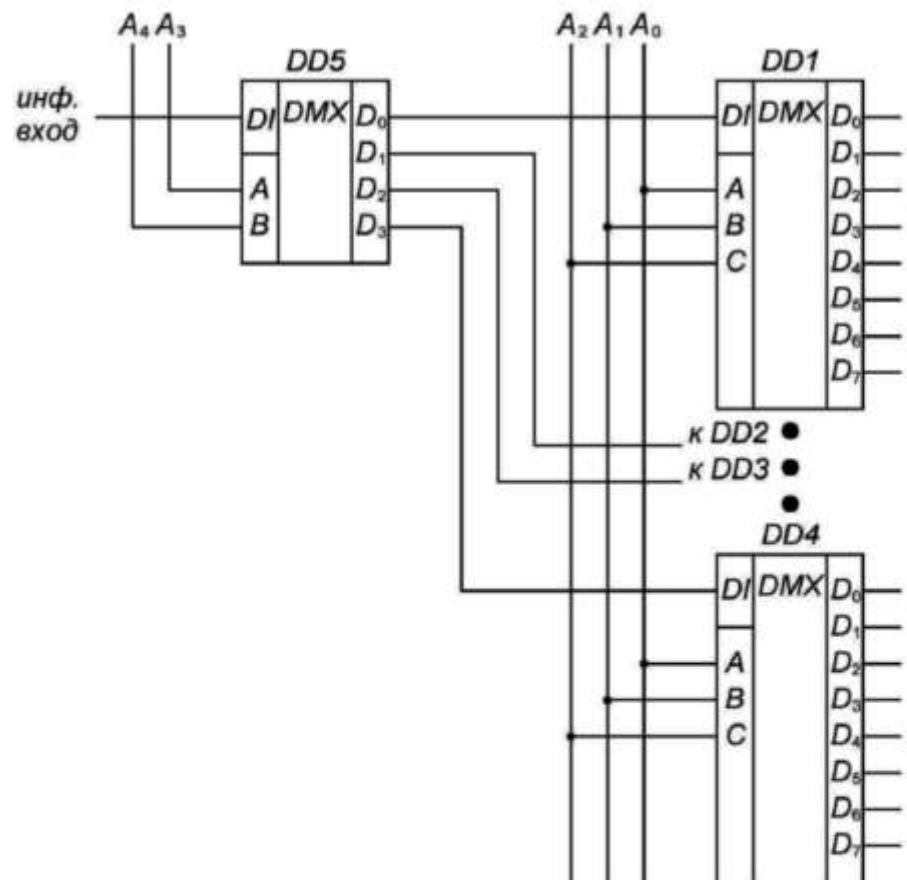


Трехразрядный адрес $A_2A_1A_0$, подаваемый на демультимплексоры ставит их в равные условия.

Вход разрешения используется под дополнительный старший разряд адреса (A_3).
 0000 – 0111 – $DD1$ активен, $DD2$ блокирован;
 1000 – 1111 – $DD2$ активен, $DD1$ блокирован.

Рис. 3.20. Последовательный способ наращивания разрядности демультимплексора

Построение демультиплексора «1 на 32».



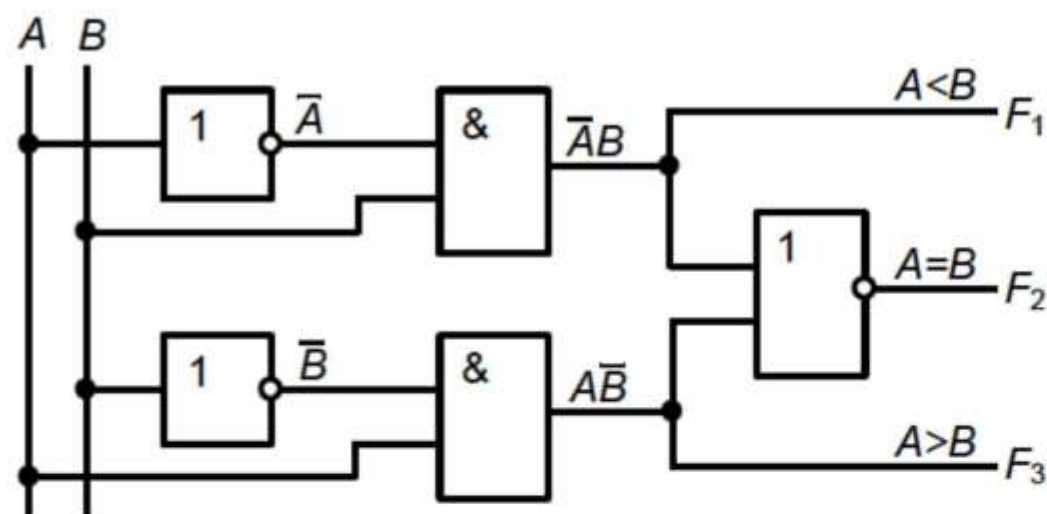
Трёхразрядный адрес $A_2A_1A_0$, подаваемый на демультиплексоры $DD1$ - $DD4$ ставит их в равные условия. Входной информационный сигнал распределяется между этими демультиплексорами с помощью $DD5$ - демультиплексора с меньшей выходной разрядностью, адресуемого старшими разрядами адреса A_4A_3 .

Рис. 3.21. Пирамидальный способ наращивания разрядности демультиплексора



Рис. 3.22 Включение дешифратора как демультиплексора

Схема сравнения двух одnorазрядных чисел.



| A | B | F_1 ($A < B$) | F_2 ($A = B$) | F_3 ($A > B$) |
|---|---|----------------------|----------------------|----------------------|
| 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |

$$F_1 = \bar{A}B; \quad F_3 = A\bar{B}; \quad F_2 = \bar{A}\bar{B} + A\bar{B}$$

Рис. 3.23 Компаратор двух одnorазрядных чисел

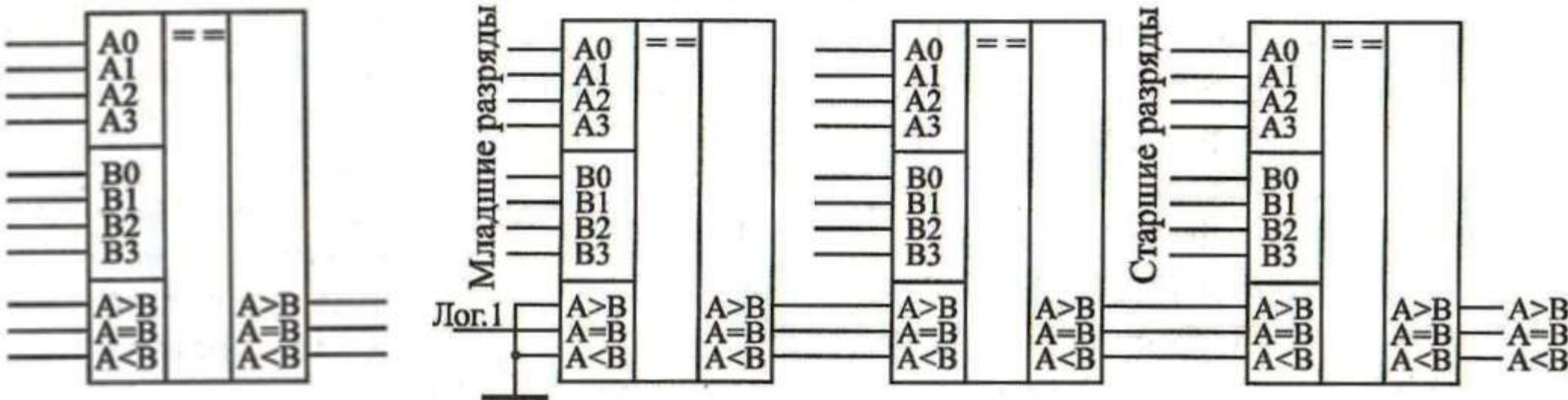


Рис. 3.24. 4-х разрядный компаратор кодов (а); каскадирование компараторов кодов (б)

Арифметические устройства

$$\begin{array}{r} 0 \\ +0 \\ \hline 0 \end{array} \quad \begin{array}{r} 1 \\ +0 \\ \hline 1 \end{array} \quad \begin{array}{r} 0 \\ +1 \\ \hline 1 \end{array} \quad \begin{array}{r} 1 \\ +1 \\ \hline 1 \end{array} \quad \text{Перенос 1}$$

$$\begin{array}{r} 101 \\ + 10 \\ \hline 111 \end{array} \quad \begin{array}{r} 5 \\ +2 \\ \hline 7 \end{array} \quad \begin{array}{r} 1010 \\ + 11 \\ \hline 1101 \end{array} \quad \begin{array}{r} 10 \\ + 3 \\ \hline 13 \end{array} \quad \begin{array}{r} 11010 \\ + 1100 \\ \hline 100110 \end{array} \quad \begin{array}{r} 26 \\ +12 \\ \hline 38 \end{array}$$

Рис. 4.1. Таблица и примеры на двоичное сложение

$$\begin{array}{r} 111 \\ + 11 \\ \hline 110 \end{array} \quad \begin{array}{r} 3 \\ +3 \\ \hline 6 \end{array}$$

$$\begin{array}{r} 0 \\ +0 \\ \hline 0 \end{array} \quad \begin{array}{r} 1 \\ +0 \\ \hline 1 \end{array} \quad \begin{array}{r} 1 \\ +1 \\ \hline 0 \end{array} \quad \begin{array}{r} 1 \\ +1 \\ \hline 1 \end{array} \quad \text{Перенос 1} \quad \text{Перенос 1}$$

Рис. 4.2. Полная таблица и пример на сложение

Таблица истинности

| Входы | | Выходы | |
|--------------------------|---|-----------------|----------------|
| B | A | Σ | C ₀ |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| Двоичные числа-слагаемые | | Сумма | Перенос |
| | | ИСКЛЮЧАЮЩЕЕ ИЛИ | И |

а



б

$$C_0 = A \cdot B; \Sigma = \bar{A} \cdot B + A \cdot \bar{B} = A \oplus B.$$

Рис. 4.3. Полусумматор: таблица истинности (а); условно графическое обозначение (б)

Таблица истинности

| Входы | | | Выходы | |
|-----------------|---|---|--------|----------------|
| C _{in} | B | A | Σ | C ₀ |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |
| Перенос + B + A | | | Сумма | Перенос |

а



б

$$C_0 = A \cdot B + C_{in} \cdot (A \oplus B), \Sigma = A \oplus B \oplus C_{in}.$$

Рис. 4.5. Таблица истинности полного сумматора (а); условно графическое обозначение (б)

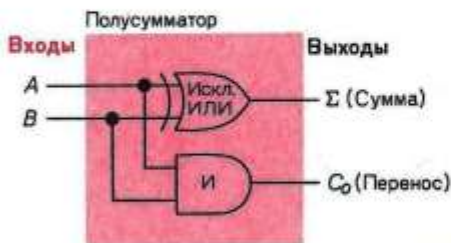


Рис. 4.4. Логическая схема полусумматора

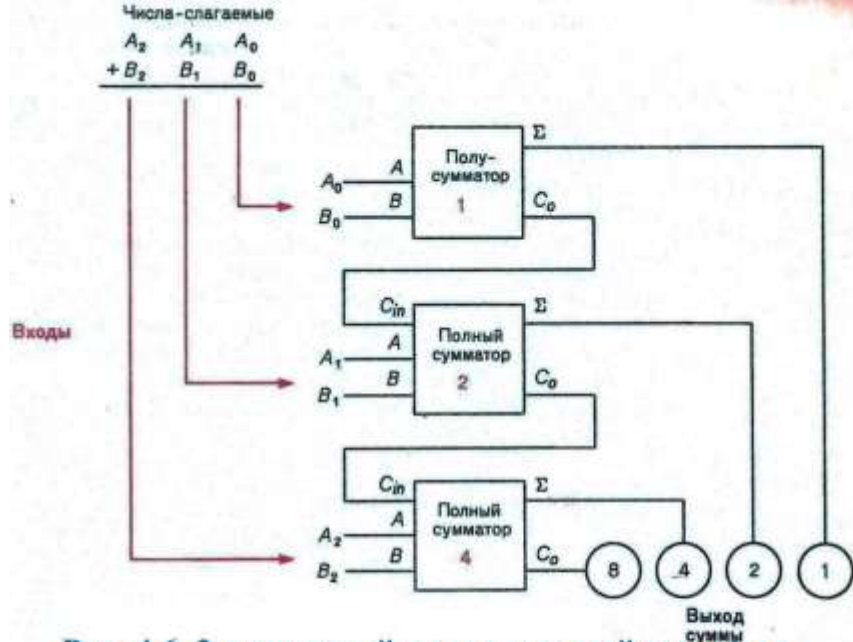


Рис. 4.6. 3-разрядный параллельный сумматор

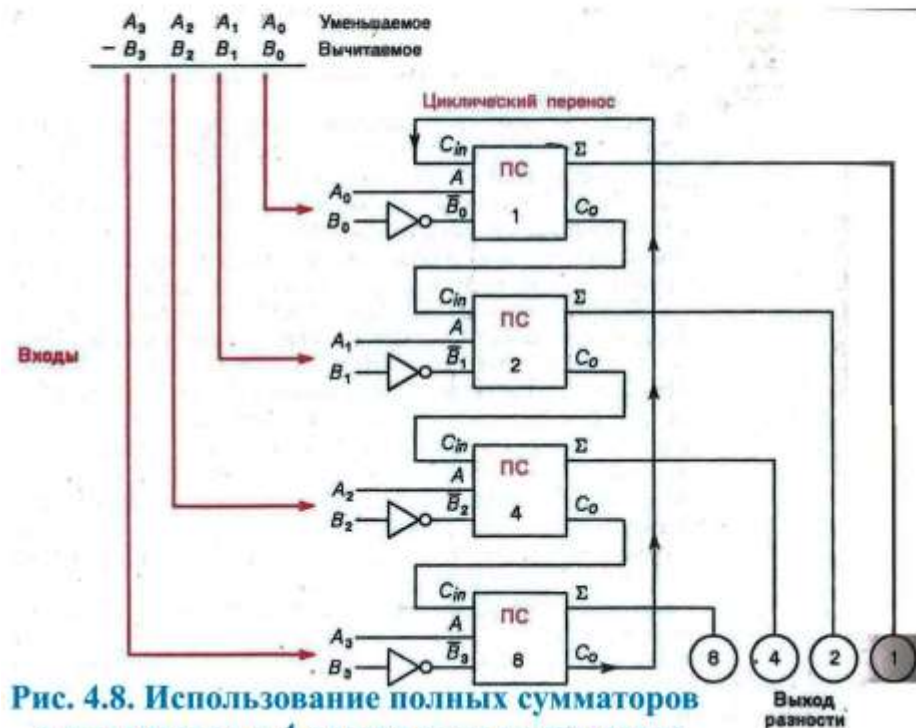


Рис. 4.8. Использование полных сумматоров и инверторов в 4-хразрядном вычитателе



Рис. 4.7. Вычитание двоичных чисел способом дополнения до 1 и циклическим переносом

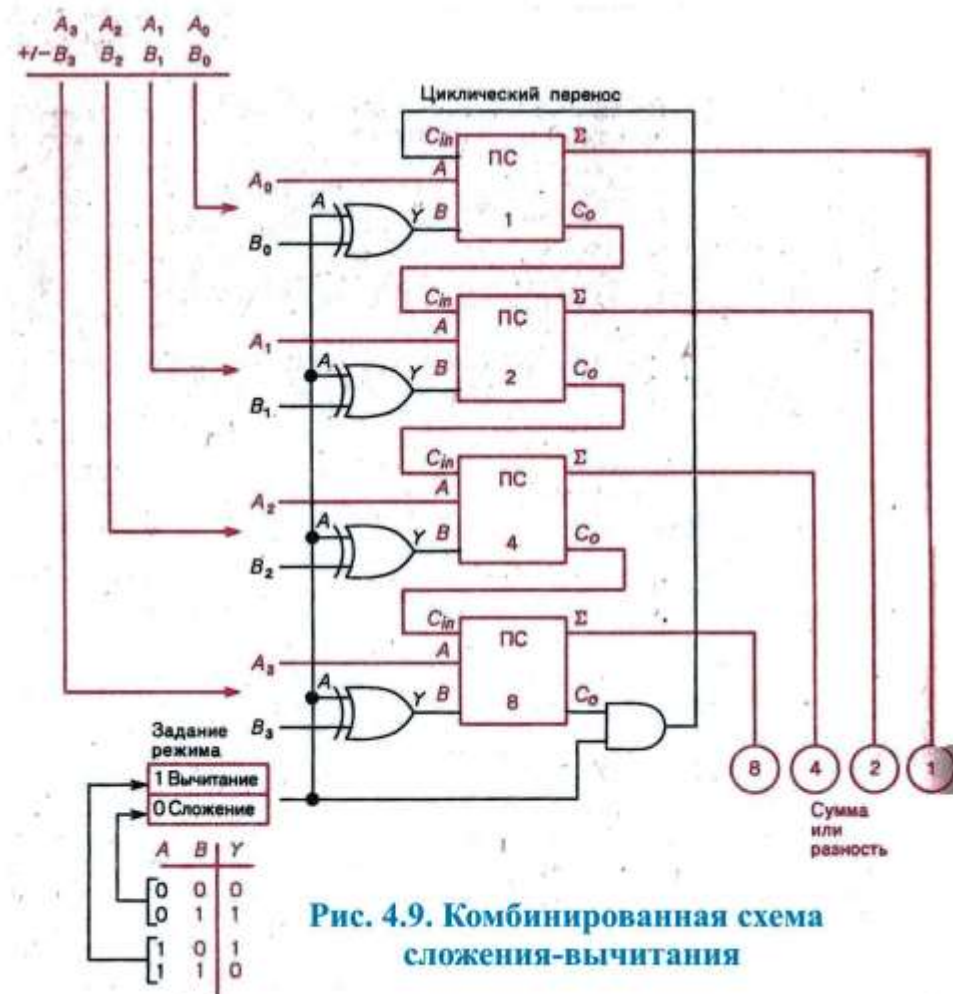


Рис. 4.9. Комбинированная схема сложения-вычитания



| Десятичное число со знаком | 4-разрядный дополнительный код |
|----------------------------|--------------------------------|
| +7 | 0111 |
| +6 | 0110 |
| +5 | 0101 |
| +4 | 0100 |
| +3 | 0011 |
| +2 | 0010 |
| +1 | 0001 |
| 0 | 0000 |
| -1 | 1111 |
| -2 | 1110 |
| -3 | 1101 |
| -4 | 1100 |
| -5 | 1011 |
| -6 | 1010 |
| -7 | 1001 |
| -8 | 1000 |

Совпадает с двоичным числом

б

Рис. 4.10. Двоичное представление чисел со знаком: формирование знака числа (а); представление положительных и отрицательных чисел в дополнительном коде

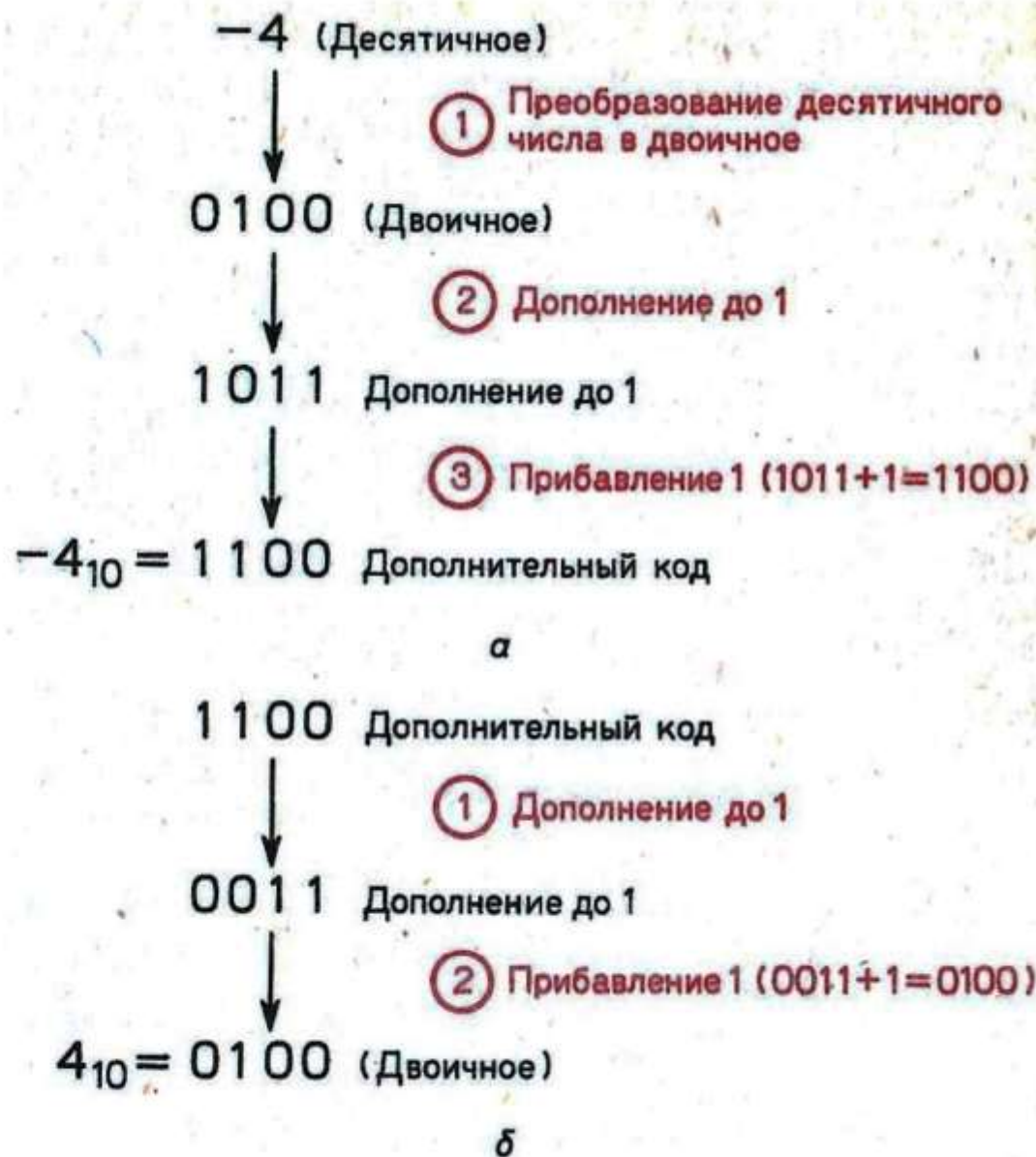


Рис. 4.11. Преобразование десятичного числа со знаком в дополнительный код (а); преобразование дополнительного кода в двоичное число (б)

$$\begin{array}{r}
 (+4) \\
 + (+3) \\
 \hline
 +7_{10}
 \end{array}
 \quad
 \begin{array}{r}
 0100 \\
 + 0011 \\
 \hline
 0111
 \end{array}$$

Дополнительный код

а

$$\begin{array}{r}
 (-1) \\
 + (-2) \\
 \hline
 -3_{10}
 \end{array}
 \quad
 \begin{array}{r}
 1111 \\
 + 1110 \\
 \hline
 11101
 \end{array}$$

Отбрасывается

Дополнительный код

б

$$\begin{array}{r}
 (+1) \\
 + (-3) \\
 \hline
 -2_{10}
 \end{array}
 \quad
 \begin{array}{r}
 0001 \\
 + 1101 \\
 \hline
 1110
 \end{array}$$

Дополнительный код

в

$$\begin{array}{r}
 (+5) \\
 + (-4) \\
 \hline
 +1_{10}
 \end{array}
 \quad
 \begin{array}{r}
 0101 \\
 + 1100 \\
 \hline
 10001
 \end{array}$$

Отбрасывается

Дополнительный код

г

$$\begin{array}{r}
 (+7) \\
 - (+3) = 0011 \\
 +4_{10}
 \end{array}
 \xrightarrow{\text{Представление в дополнительном коде и сложение}}
 \begin{array}{r}
 0111 \\
 + 1101 \\
 \hline
 10100
 \end{array}$$

Отбрасывается

Дополнительный код разности

а

$$\begin{array}{r}
 (-8) \\
 - (-3) = 1101 \\
 -5_{10}
 \end{array}
 \xrightarrow{\text{Представление в дополнительном коде и сложение}}
 \begin{array}{r}
 1000 \\
 + 0011 \\
 \hline
 1011
 \end{array}$$

Дополнительный код разности

б

$$\begin{array}{r}
 (+3) \\
 - (-3) = 1101 \\
 +6_{10}
 \end{array}
 \xrightarrow{\text{Представление в дополнительном коде и сложение}}
 \begin{array}{r}
 0011 \\
 + 0011 \\
 \hline
 0110
 \end{array}$$

Дополнительный код разности

в

$$\begin{array}{r}
 (-4) \\
 - (+2) = 0010 \\
 -6_{10}
 \end{array}
 \xrightarrow{\text{Представление в дополнительном коде и сложение}}
 \begin{array}{r}
 1100 \\
 + 1110 \\
 \hline
 11010
 \end{array}$$

Отбрасывается

Дополнительный код разности

г

Рис. 4.12. Четыре примера сложения чисел в дополнительном коде

Рис. 4.13. Четыре примера вычитания чисел в дополнительном коде

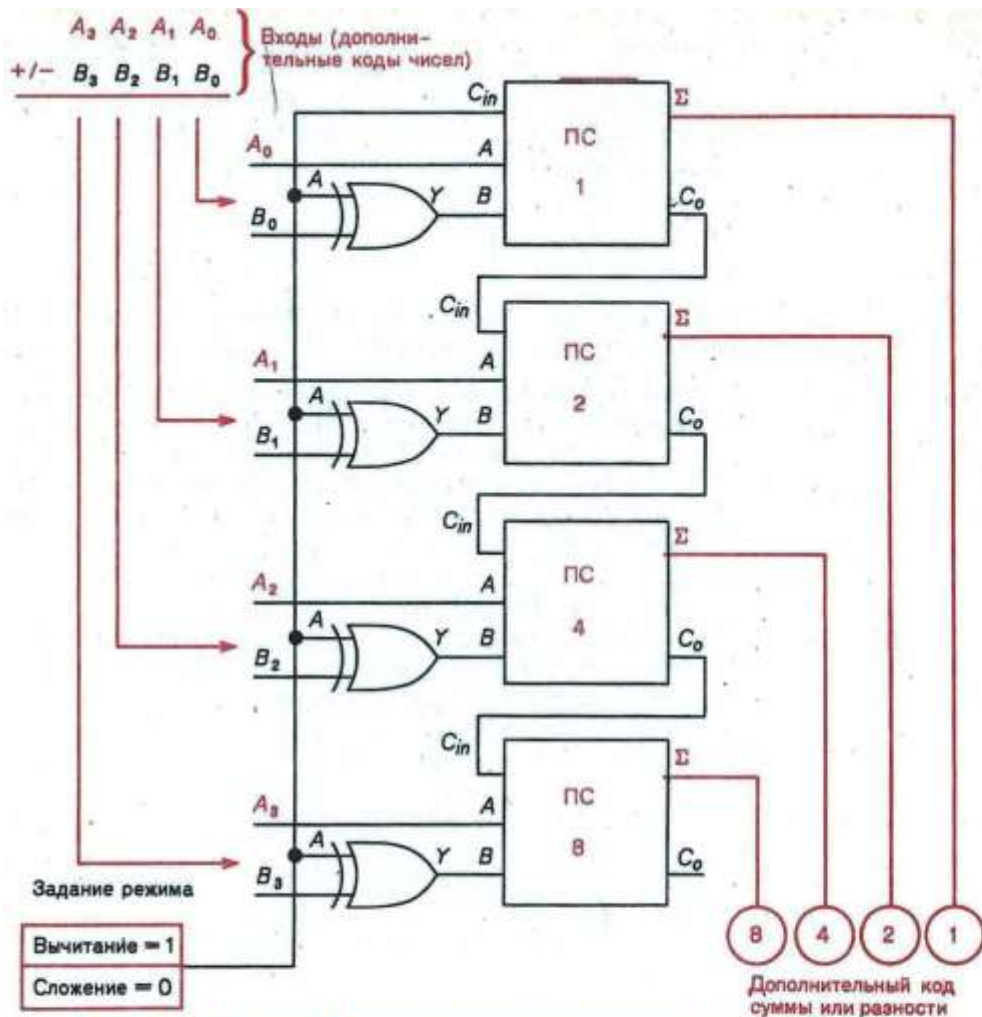


Рис. 4.14. Схема 4-разрядного сумматора-вычитателя чисел, представленных в дополнительном коде

| Десятичные числа | Двоичные числа | Десятичные числа | Двоичные числа |
|------------------|---------------------|------------------|----------------|
| 7 | 111 | 27 | 11011 |
| $\times 5$ | $\times 101$ | $\times 12$ | $\times 1100$ |
| 35 | 111 | 54 | 1101100 |
| | 000 | 27 | 11011 |
| | 111 | 324 | 101000100 |
| | 100011 | | |
| | Полное произведение | | Произведение |

а

б

Рис. 4.16. Примеры умножения двоичных чисел

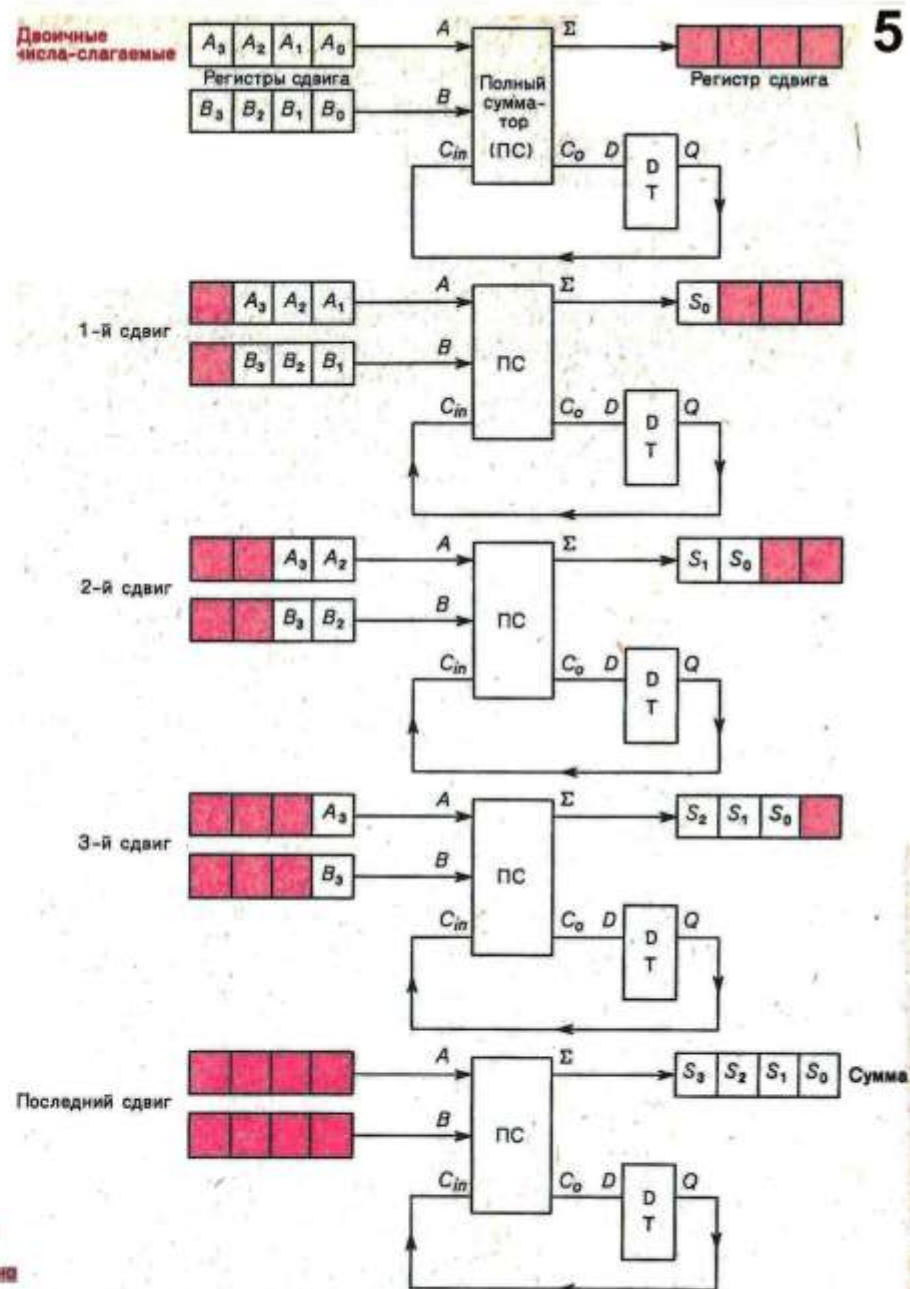


Рис. 4.15. Принцип работы схемы последовательного суммирования

Триггеры. Асинхронный RS-триггер

1

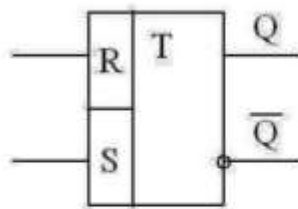


Рис. 5.1. УГО RS-триггера

Таблица 5.1. Таблица истинности RS-триггера

| R_t | S_t | Q_t | Q_{t+1} |
|-------|-------|-------|-----------|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | K_6 |
| 1 | 1 | 1 | K_7 |

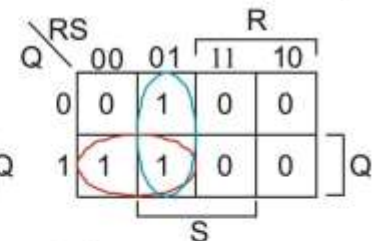
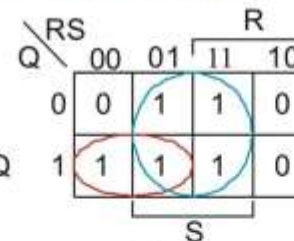
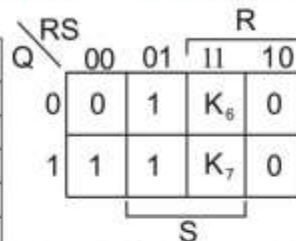


Рис. 5.2. Карты Карно для таблицы переходов RS-триггера: а - с неопределенными коэффициентами; б - с коэффициентами $K_6 = K_7 = 1$; в - с коэффициентами $K_6 = K_7 = 0$

$$K_6 = K_7 = 1 \Rightarrow Q_{t+1} = S_t + \bar{R}_t \cdot Q_t; \quad (5.1)$$

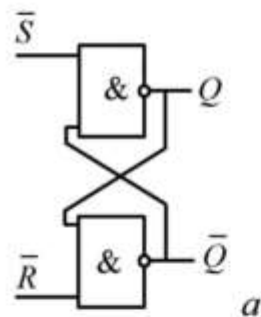
$$K_6 = K_7 = 0 \Rightarrow Q_{t+1} = \bar{R}_t \cdot S_t + \bar{R}_t \cdot Q_t = \bar{R}_t \cdot (S_t + Q_t). \quad (5.2)$$

$$Q_{t+1} = S_t + \bar{R}_t \cdot Q_t = \overline{\bar{S}_t + \bar{R}_t \cdot \bar{Q}_t} = \bar{S}_t + \bar{R}_t \cdot \bar{Q}_t; \quad (5.3)$$

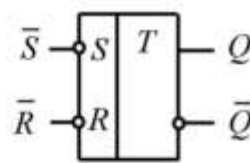
$$Q_{t+1} = \bar{R}_t \cdot (S_t + Q_t) = \overline{\bar{R}_t \cdot (\bar{S}_t + \bar{Q}_t)} = \bar{R}_t + (\bar{S}_t + \bar{Q}_t). \quad (5.4)$$

$$\bar{Q}_{t+1} = \bar{S}_t \cdot \bar{R}_t \cdot \bar{Q}_t; \quad (5.5)$$

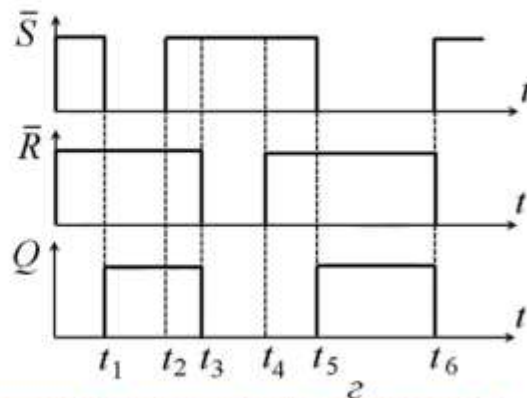
$$\bar{Q}_{t+1} = R_t + (\bar{S}_t + \bar{Q}_t). \quad (5.6)$$



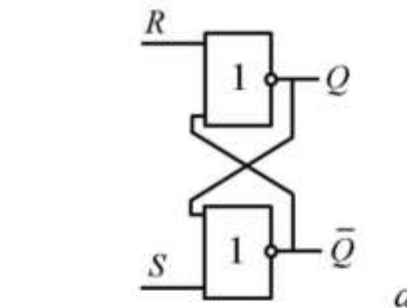
а



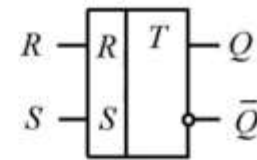
б



в



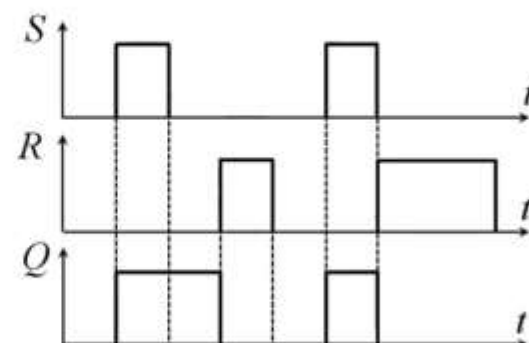
а



б

| R_t | S_t | Q_t | Q_{t+1} | Режим |
|-------|-------|-------|-----------|-----------|
| 0 | 0 | Q_t | \times | хранение |
| 0 | 1 | Q_t | 0 | запись 1 |
| 1 | 0 | Q_t | 1 | запись 0 |
| 1 | 1 | Q_t | Q_t | запрещено |

в



г

Рис. 5.3. Асинхронный RS-триггер с инверсными входами на базе И-НЕ: а - схема; б - условное обозначение; в - таблица истинности; г - временная диаграмма

Рис. 5.4. Асинхронный RS-триггер с прямыми входами на базе ИЛИ-НЕ: а - схема; б - условное обозначение; в - таблица истинности; г - временная диаграмма

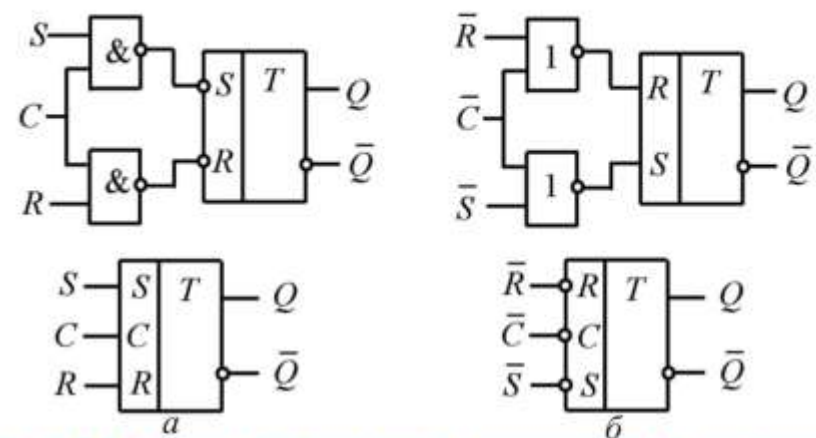
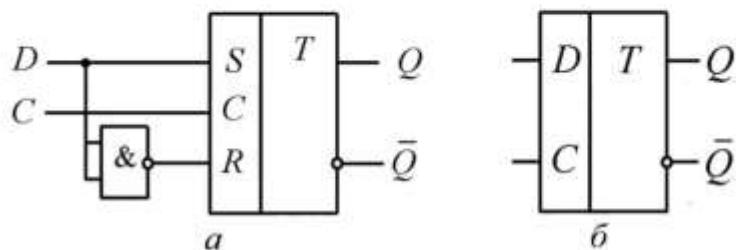


Рис. 5.5. Схемы и условные обозначения RS-триггеров:
а - синхронный RS-триггер в базисе И-НЕ;
б - синхронный RS-триггер в базисе ИЛИ-НЕ



| C | D _t | Q _t | Q _{t+1} |
|---|----------------|----------------|------------------|
| 1 | 0 | Q _t | 0 |
| 1 | 1 | Q _t | 1 |
| 0 | * | Q _t | Q _t |

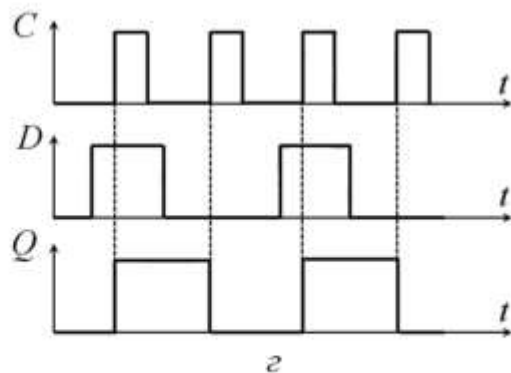


Рис. 5.7. D-триггер: а - схема; б - условное обозначение;
в - таблица истинности; г - временная диаграмма

| C | R _t | S _t | Q _t | Q _{t+1} | Режим |
|---|----------------|----------------|----------------|------------------|-----------|
| 1 | 0 | 0 | Q _t | × | хранение |
| 1 | 0 | 1 | Q _t | 0 | запись 1 |
| 1 | 1 | 0 | Q _t | 1 | запись 0 |
| 1 | 1 | 1 | Q _t | Q _t | запрещено |
| 0 | * | * | Q _t | Q _t | хранение |

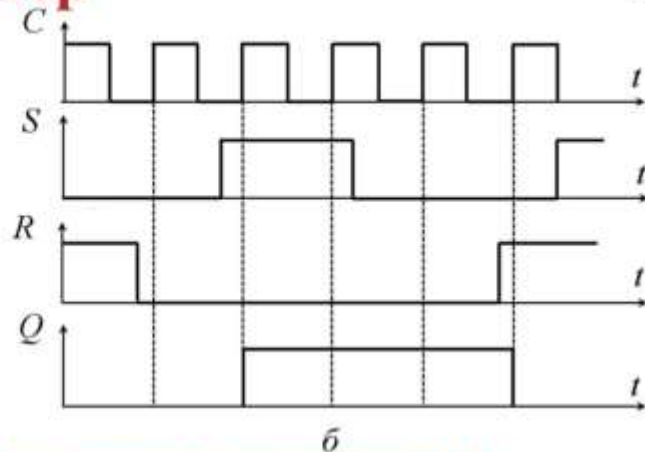


Рис. 5.6. Синхронный RS-триггер на элементах И-НЕ:
а - таблица истинности; б - временная диаграмма

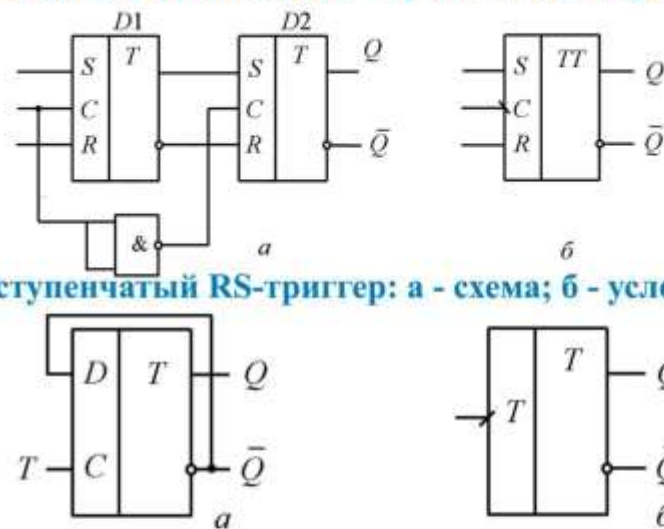


Рис. 5.8. Двухступенчатый RS-триггер: а - схема; б - условное обозначение

| T _t | Q _t | Q _{t+1} | Режим |
|----------------|----------------|------------------|----------|
| 0 | Q _t | Q _t | Хранение |
| 1 | Q _t | Q̄ _t | Счет |

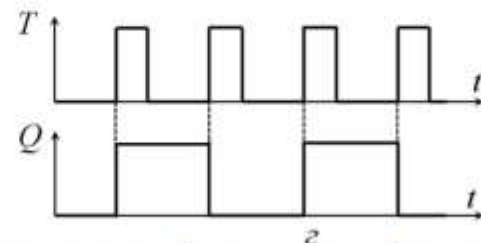


Рис. 5.9. Счетный T-триггер: а - схема; б - условное обозначение;
в - таблица истинности; г - временная диаграмма

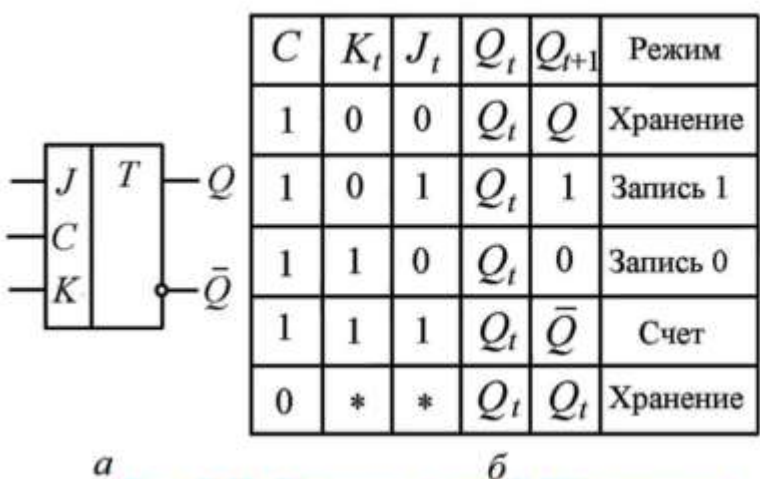


Рис. 5.10. Универсальный JK-триггер:
а - условное обозначение; б - таблица истинности



Рис. 5.13. Т-триггер

Рис. 5.14. D-триггер



Рис. 5.15. Варианты обозначения динамических входов: а - срабатывание по фронту импульса; б - срабатывание по срезу импульса

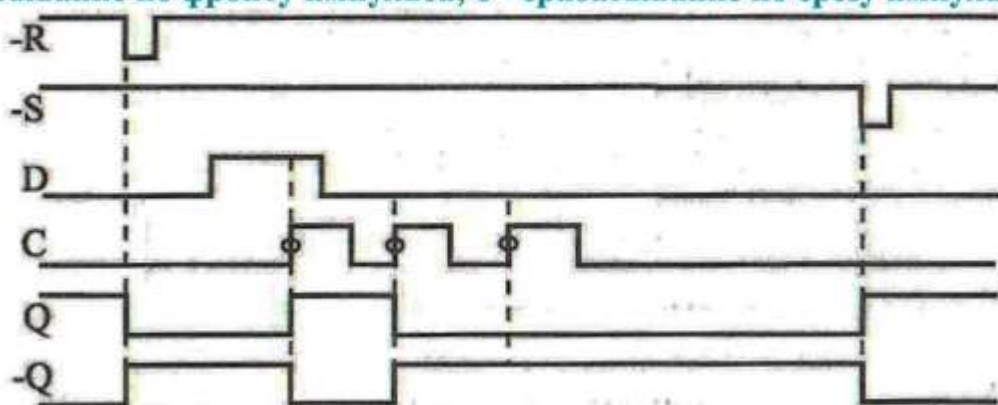


Рис. 5.18. Временная диаграмма работы D-триггера TM2

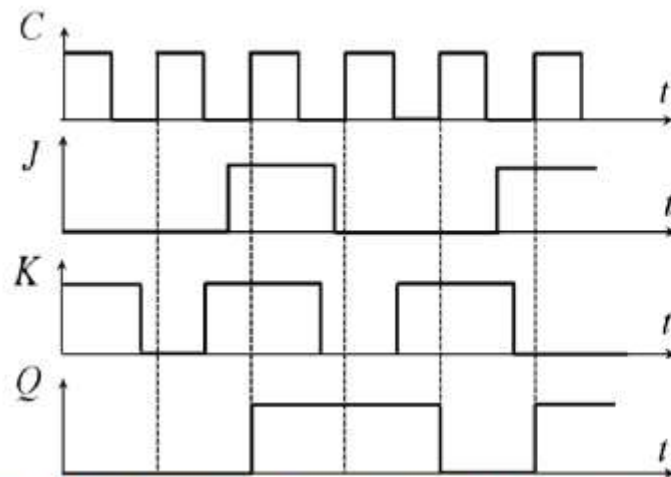


Рис. 5.11. Временная диаграмма JK-триггера

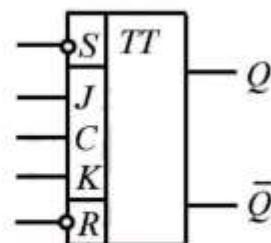


Рис. 5.12. Интегральный двухступенчатый JK-триггер



Рис. 5.16. Триггеры трех основных типов

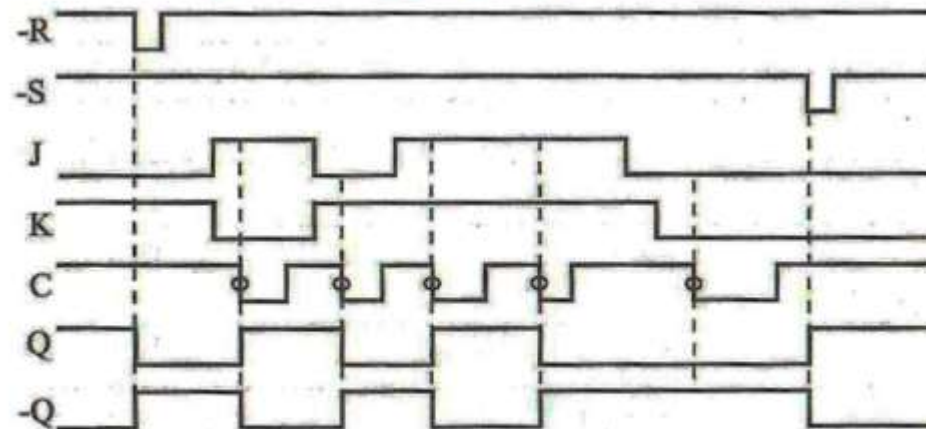


Рис. 5.17. Временная диаграмма работы JK-триггера TB9

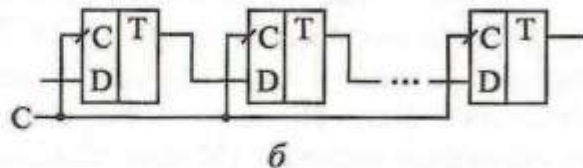
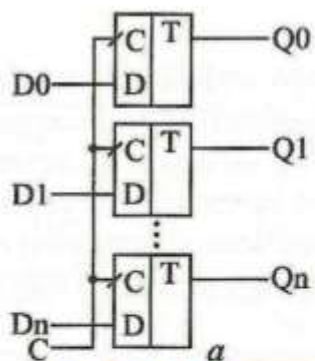


Рис. 6.1. Структура параллельного (а) и сдвигового (б) регистров

| Входы | -WE | C | D | Выходы | Q |
|-------|-------|---|---|--------|-------------|
| 0 | 0 → 1 | 0 | 0 | | 0 |
| 0 | 0 → 1 | 1 | 1 | | 1 |
| 0 | 0 | X | X | | Не меняется |
| 0 | 1 | X | X | | Не меняется |
| 1 | X | X | X | | Не меняется |

а

| Входы | -EZ | C | D | Выходы | Q |
|-------|-------|---|---|--------|-------------|
| 0 | 0 → 1 | 0 | 0 | | 0 |
| 0 | 0 → 1 | 1 | 1 | | 1 |
| 0 | 0 | X | X | | Не меняется |
| 0 | 1 | X | X | | Не меняется |
| 1 | X | X | X | | Не меняется |

б

Рис. 6.3. Таблицы истинности регистра IP27 (а) и IP37 (б)

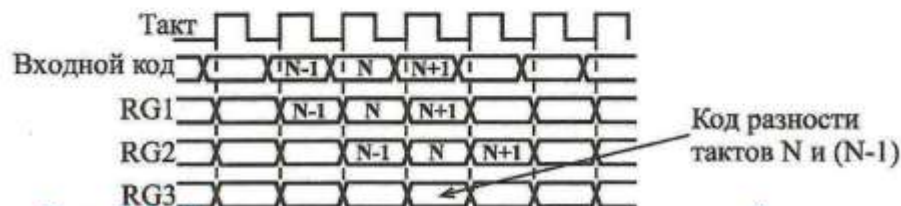
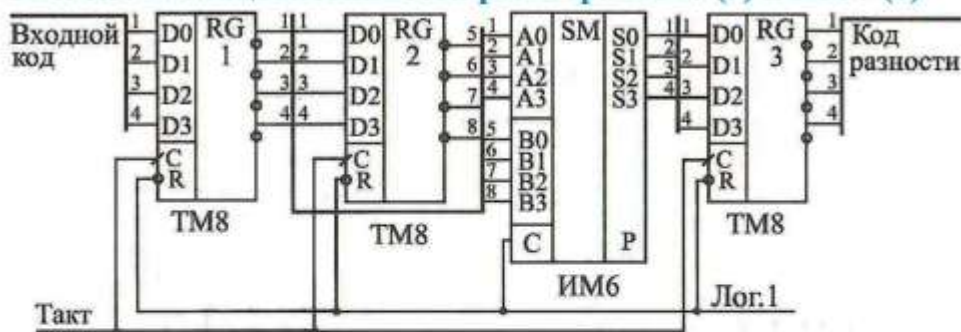
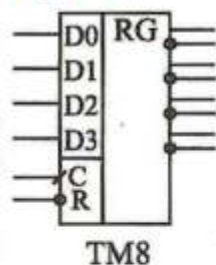
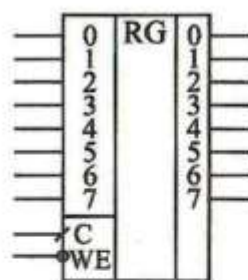


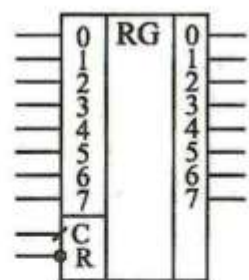
Рис. 6.5. Схема вычисления разности значений кодов в двух последовательных тактах



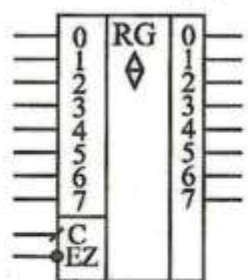
TM8



IP27



IP35



IP37

Рис. 6.2. Параллельные регистры, срабатывающие по фронту тактового сигнала



Рис. 6.4. Хранение кода в параллельном регистре

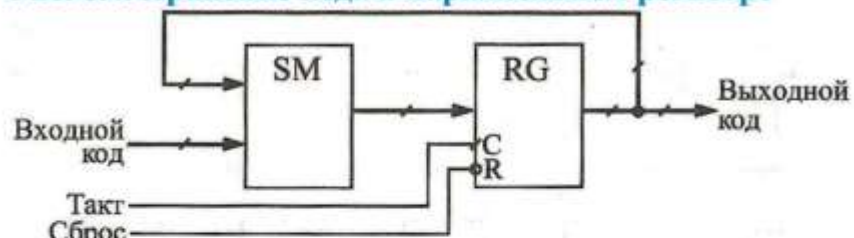
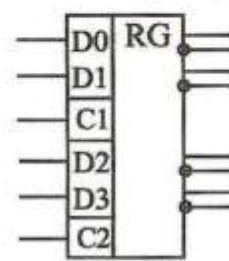
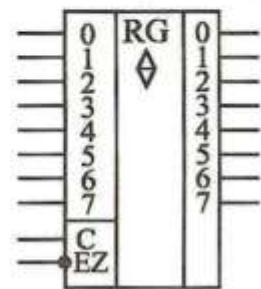


Рис. 6.6. Структура накапливающего сумматора



TM7



IP22

Рис. 6.7. Регистры, срабатывающие по уровню

| Входы | | Выходы | |
|-------|---|-------------|----|
| D | C | Q | -Q |
| 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |
| 0 | 0 | Не меняется | |
| 1 | 0 | Не меняется | |

а

| Входы | | | Выход |
|-------|---|---|-------------|
| -EZ | C | D | Q |
| 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 0 | X | Не меняется |
| 1 | X | X | Z |

б

Рис. 6.8. Таблицы истинности регистров TM7 (а) и IP22 (б)



Рис. 6.10. Направление сдвига в сдвиговых регистрах

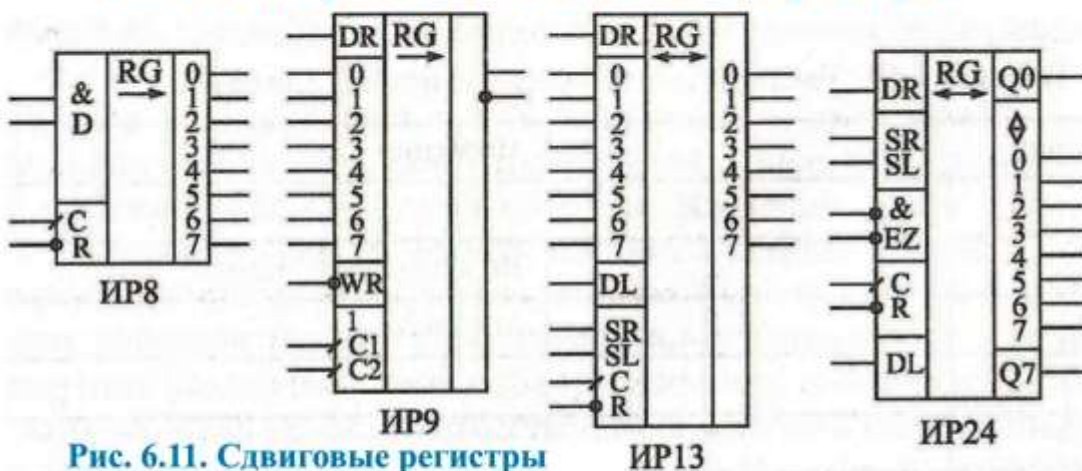


Рис. 6.11. Сдвиговые регистры

IP13

IP24

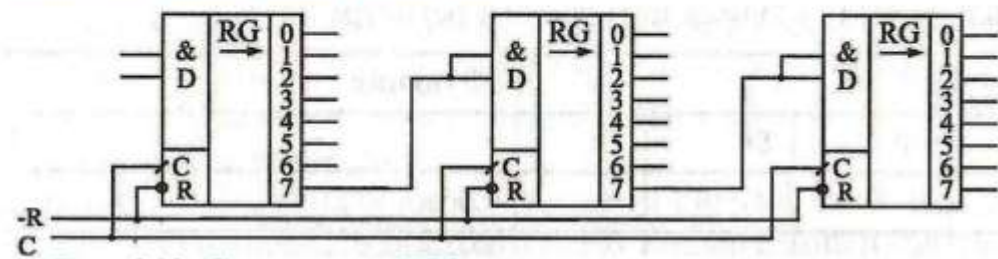


Рис. 6.12. Соединение IP8 для увеличения разрядности



Рис. 6.9. Продление длительности входного кода с помощью регистра-защелки

| Входы | | | | Выходы | | | |
|-------|-----|----|----|-------------|----|-----|----|
| -R | C | D1 | D2 | Q0 | Q1 | ... | Q7 |
| 0 | X | X | X | 0 | 0 | ... | 0 |
| 1 | 0 | X | X | Не меняются | | | |
| 1 | 1 | X | X | Не меняются | | | |
| 1 | 0→1 | 1 | 1 | 1 | Q0 | ... | Q6 |
| 1 | 0→1 | 0 | X | 0 | Q0 | ... | Q6 |
| 1 | 0→1 | X | 0 | 0 | Q0 | ... | Q6 |

Таблица 6.1. Таблица истинности регистра сдвига IP8

| Входы | | | Функция |
|-------|-----|-----|---------------------|
| -WR | C1 | C2 | |
| 0 | X | X | Параллельная запись |
| 1 | 1 | X | Хранение |
| 1 | X | 1 | Хранение |
| 1 | 0 | 0→1 | Сдвиг |
| 1 | 0→1 | 0 | Сдвиг |

Таблица 6.2. Таблица истинности регистра сдвига IP9

| Входы | | | | Функция |
|-------|----|----|----|---------------------|
| C | -R | SR | SL | |
| X | 0 | X | X | Сброс |
| 0→1 | 1 | 1 | 0 | Сдвиг вправо |
| 0→1 | 1 | 0 | 1 | Сдвиг влево |
| 0→1 | 1 | 0 | 0 | Хранение |
| 0→1 | 1 | 1 | 1 | Параллельная запись |

Таблица 6.3. Таблица истинности регистра сдвига IP13

| Входы | | | | Функция |
|-------|-----|----|----|---------------------|
| -R | C | SR | SL | |
| 0 | X | X | X | Сброс |
| 1 | 0→1 | 1 | 0 | Сдвиг вправо |
| 1 | 0→1 | 0 | 1 | Сдвиг влево |
| 1 | 0→1 | 1 | 1 | Параллельная запись |
| 1 | X | 0 | 0 | Хранение |

Таблица 6.3. Таблица истинности регистра сдвига IP24

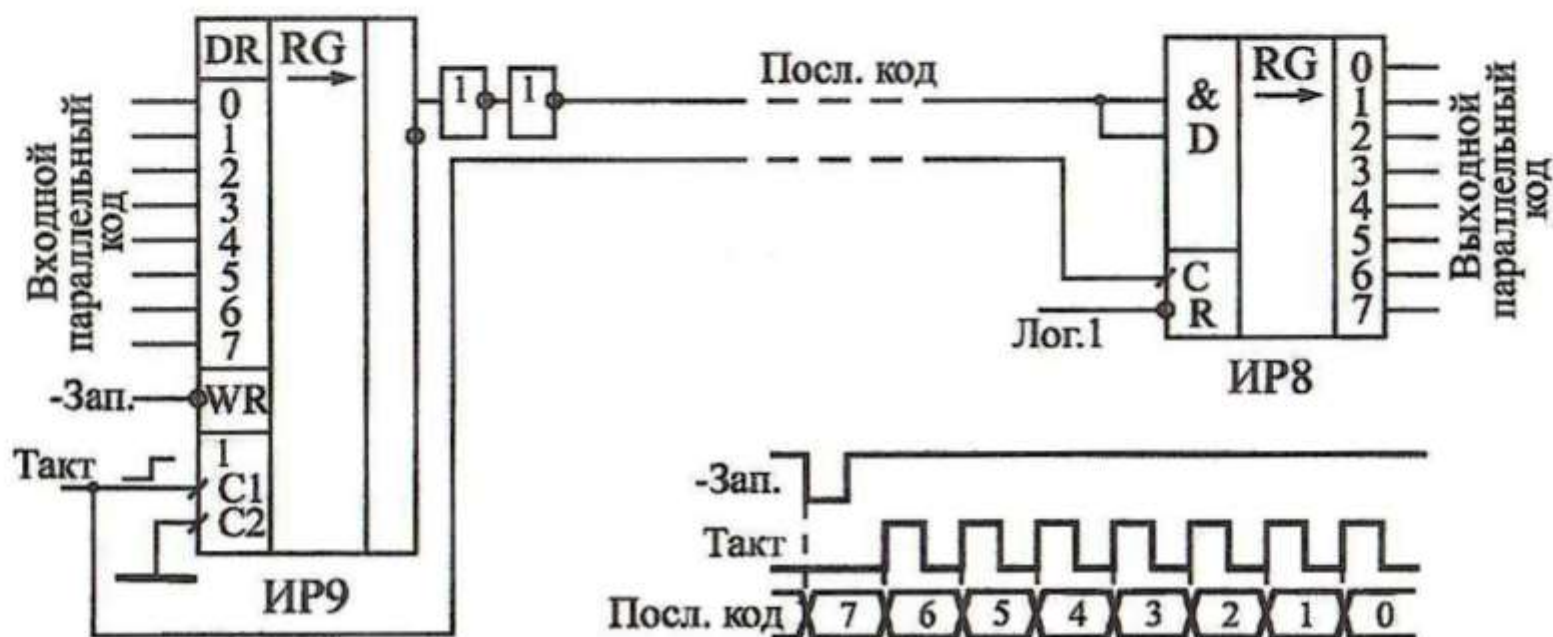


Рис. 6.13. Последовательная передача информации с помощью регистров сдвига

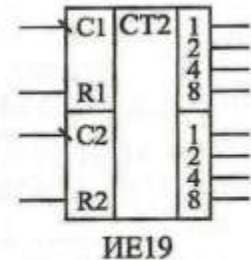
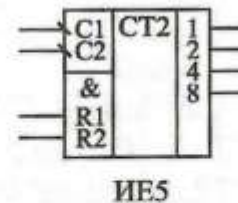
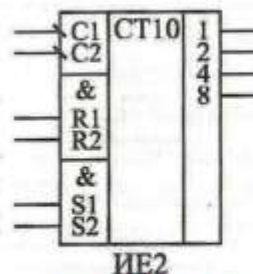
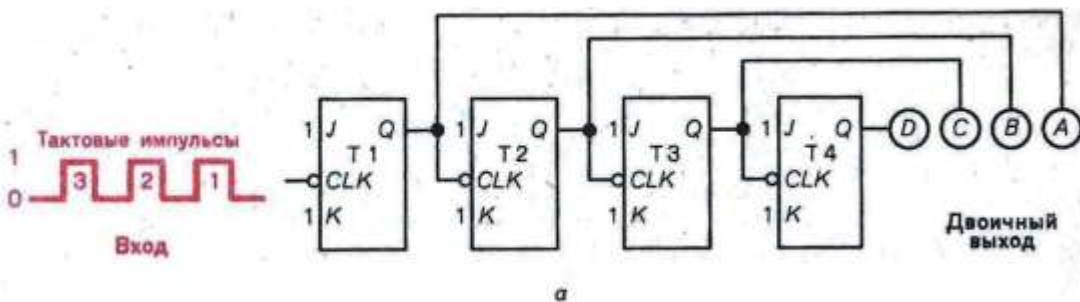


Рис. 7.3. Асинхронные счетчики стандартных серий

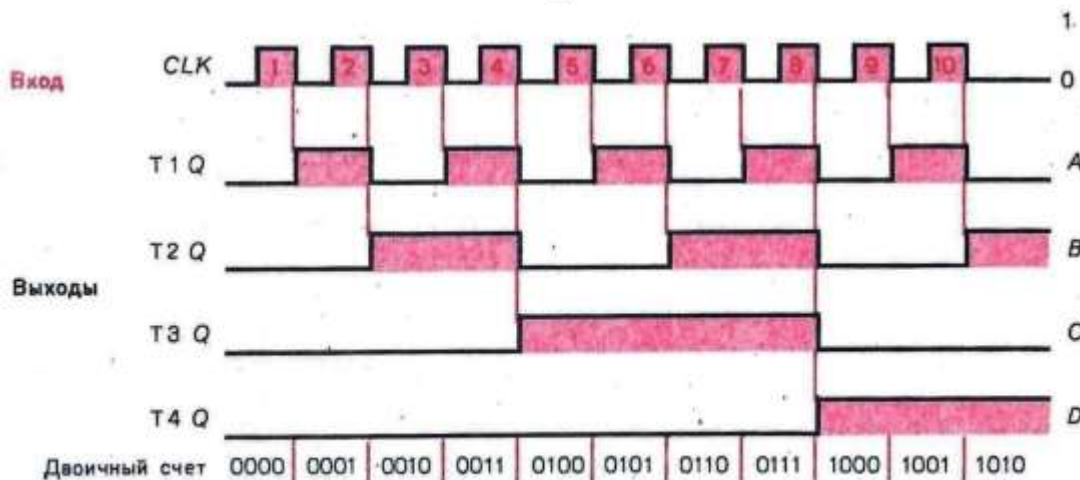


Рис. 7.1. Асинхронный счетчик по модулю 16

| Входы | | | | | Выходы | | | |
|-------|----|----|----|----|--------|------|---|---|
| C1 | R1 | R2 | S1 | S2 | 8 | 4 | 2 | 1 |
| X | 1 | 1 | 0 | X | 0 | 0 | 0 | 0 |
| X | 1 | 1 | X | 0 | 0 | 0 | 0 | 0 |
| X | X | X | 1 | 1 | 1 | 0 | 0 | 1 |
| 1→0 | X | 0 | X | 0 | | Счет | | |
| 1→0 | 0 | X | 0 | X | | Счет | | |
| 1→0 | 0 | X | X | 0 | | Счет | | |
| 1→0 | X | 0 | 0 | X | | Счет | | |

Таблица 7.1. Таблица истинности счетчика IE2

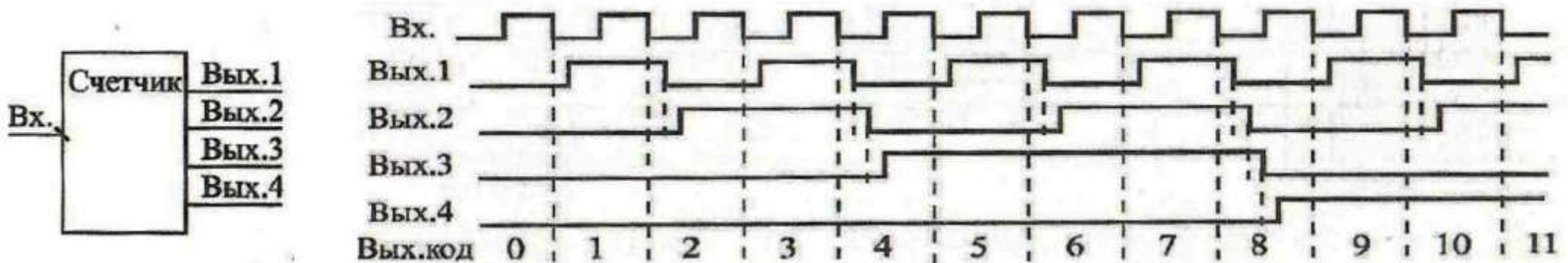


Рис. 7.2. Временная диаграмма работы асинхронного счетчика с учетом временных задержек

| Такт | Вых.8 | Вых.4 | Вых.2 | Вых.1 |
|------|-------|-------|-------|-------|
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 2 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 1 | 1 |
| 4 | 0 | 1 | 0 | 0 |
| 5 | 0 | 1 | 0 | 1 |
| 6 | 0 | 1 | 1 | 0 |
| 7 | 0 | 1 | 1 | 1 |
| 8 | 1 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 |
| 10 | 0 | 0 | 0 | 0 |

Таблица 7.2. Состояния выходов счетчика ИЕ2 при счете входных импульсов

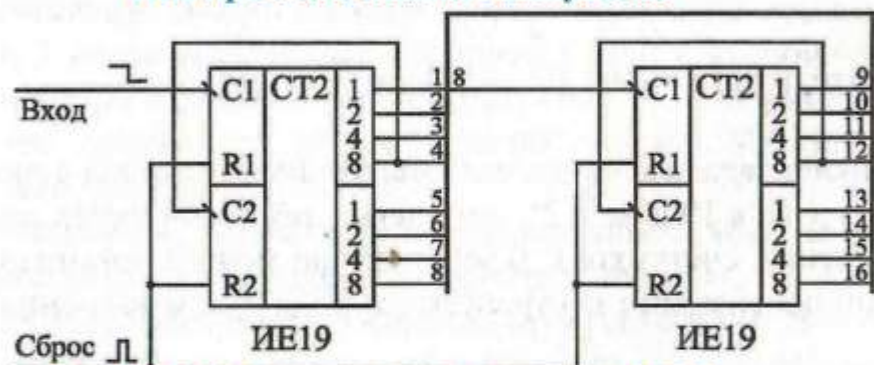


Рис. 7.5. Объединение двух счетчиков ИЕ19 для увеличения разрядности

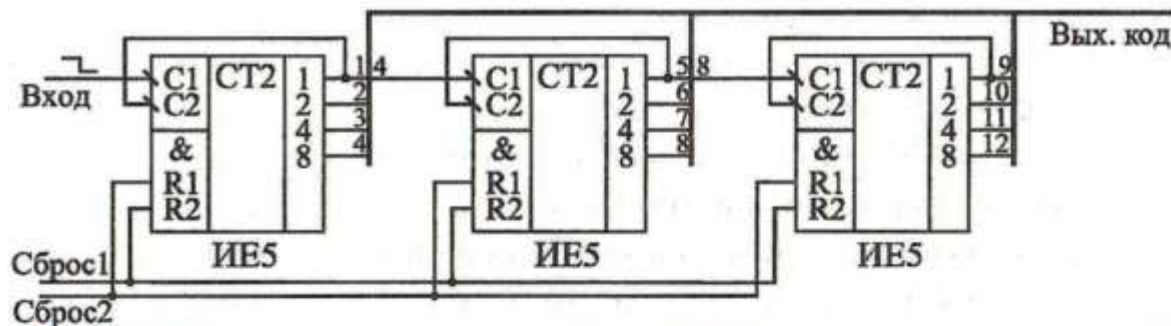


Рис. 7.4. Объединение четырех счетчиков ИЕ5 для увеличения разрядности

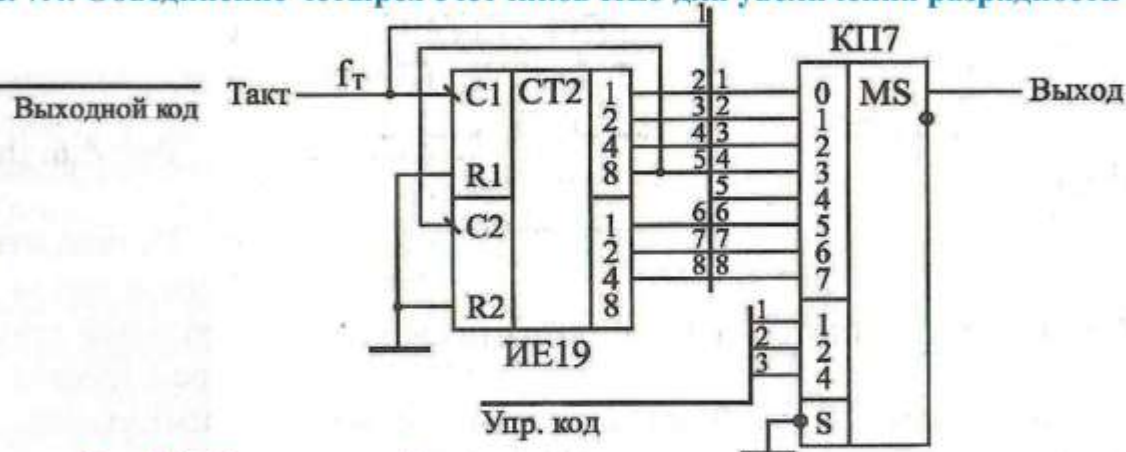


Рис. 7.6. Управляемый делитель частоты на асинхронном счетчике

Синхронные счетчики с асинхронным переносом

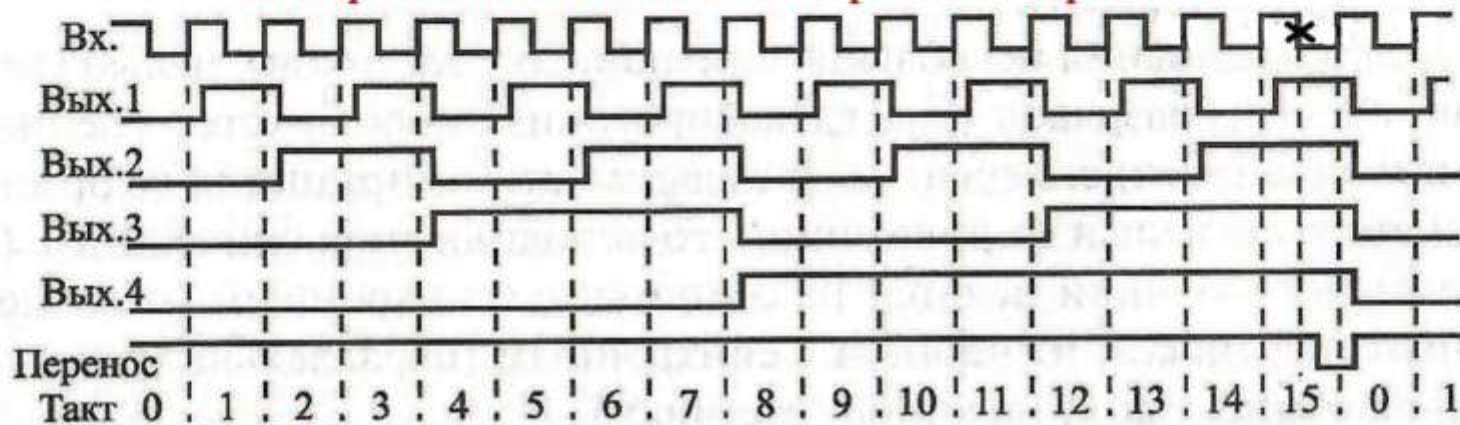


Рис. 7.7. Временная диаграмма синхронного счетчика с асинхронным переносом

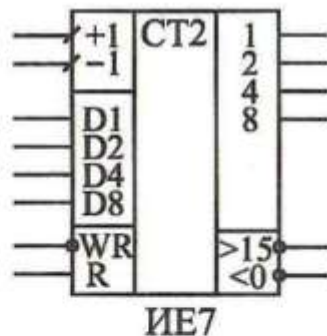
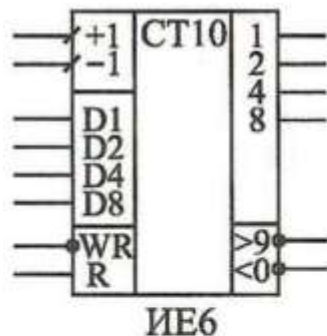


Рис. 7.8. Синхронные счетчики с асинхронным переносом

| Входы | | | | Режим работы |
|-------|-----|-----|-----|---------------------|
| R | -WR | +1 | -1 | |
| 1 | X | X | X | Сброс в нуль |
| 0 | 0 | X | X | Параллельная запись |
| 0 | 1 | 1 | 1 | Хранение |
| 0 | 1 | 0 | 0 | Хранение |
| 0 | 1 | 0→1 | 1 | Прямой счет |
| 0 | 1 | 1 | 0→1 | Обратный счет |

Таблица 7.3. Таблица режимов работы счетчиков IE6 и IE7

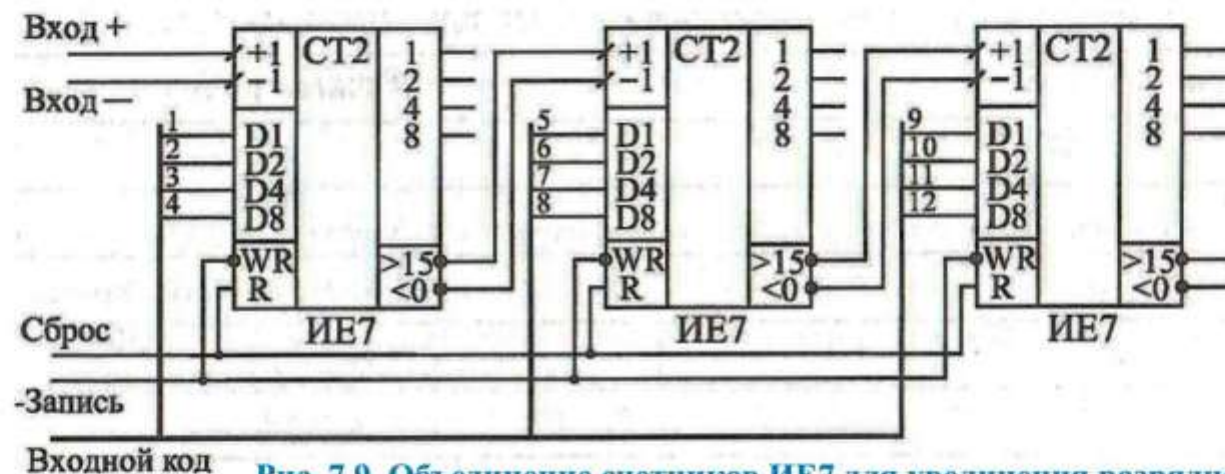


Рис. 7.9. Объединение счетчиков IE7 для увеличения разрядности



Рис. 7.10. Делитель частоты с коэффициентом деления, задаваемым входным кодом

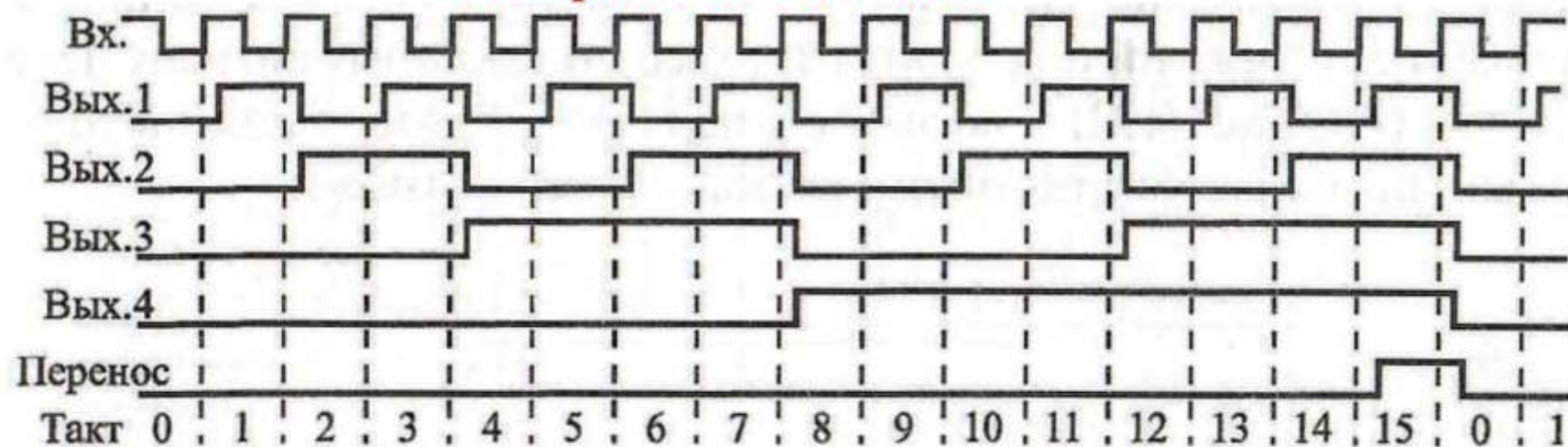


Рис. 7.11. Временная диаграмма работы синхронных счетчиков

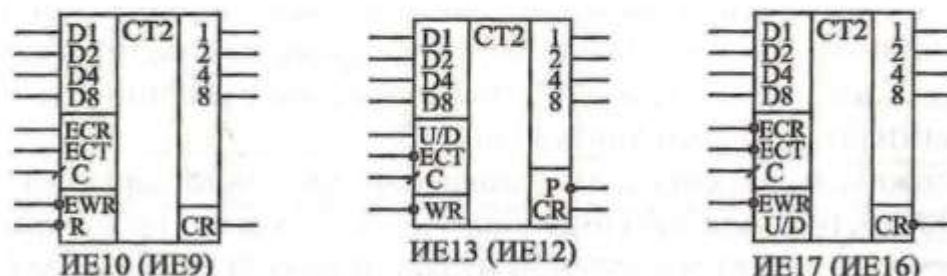


Рис. 7.12. Синхронные счетчики стандартных серий

| Входы | | | | | Режим |
|-------|------|-----|-----|-----|---------------------|
| -R | -EWR | ECR | ECT | C | |
| 0 | X | X | X | X | Сброс |
| 1 | 0 | X | X | 0→1 | Параллельная запись |
| 1 | 1 | 0 | X | X | Хранение |
| 1 | 1 | X | 0 | X | Хранение |
| 1 | 1 | 1 | 1 | 0→1 | Прямой счет |

Таблица 7.4. Режимы работы счетчиков IE9 и IE10

| Входы | | | | Режим |
|-------|-----|------|-----|---------------------|
| -WR | U/D | -ECR | C | |
| 0 | X | X | X | Параллельная запись |
| 1 | X | 1 | X | Хранение |
| 1 | 0 | 0 | 0→1 | Прямой счет |
| 1 | 1 | 0 | 0→1 | Обратный счет |

Таблица 7.5. Режимы работы счетчиков IE12 и IE13

| Входы | | | | | Режим |
|-------|-----|------|------|-----|---------------------|
| -EWR | U/D | -ECT | -ECR | C | |
| 0 | X | X | X | 0→1 | Параллельная запись |
| 1 | 1 | 0 | 0 | 0→1 | Прямой счет |
| 1 | 0 | 0 | 0 | 0→1 | Обратный счет |
| 1 | X | 1 | X | X | Хранение |
| 1 | X | X | 1 | X | Хранение |

Таблица 7.6. Режимы работы счетчиков IE16 и IE17

Память

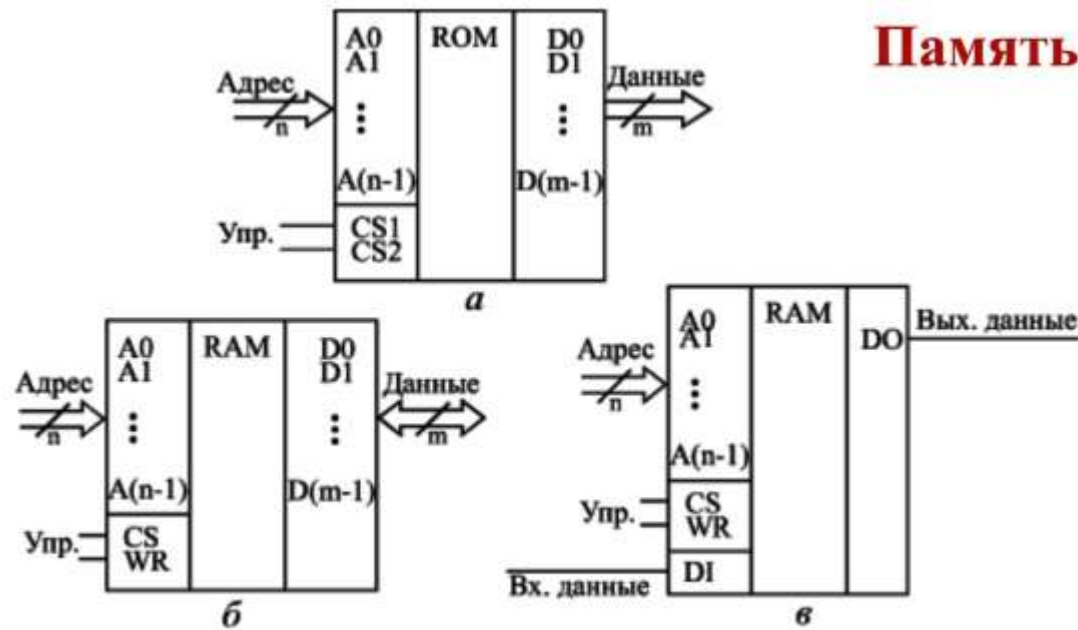


Рис. 8.1. Микросхемы памяти: ПЗУ (а); ОЗУ с двунаправленной шиной данных (б); ОЗУ с разделеными шинами входных и выходных данных (в)

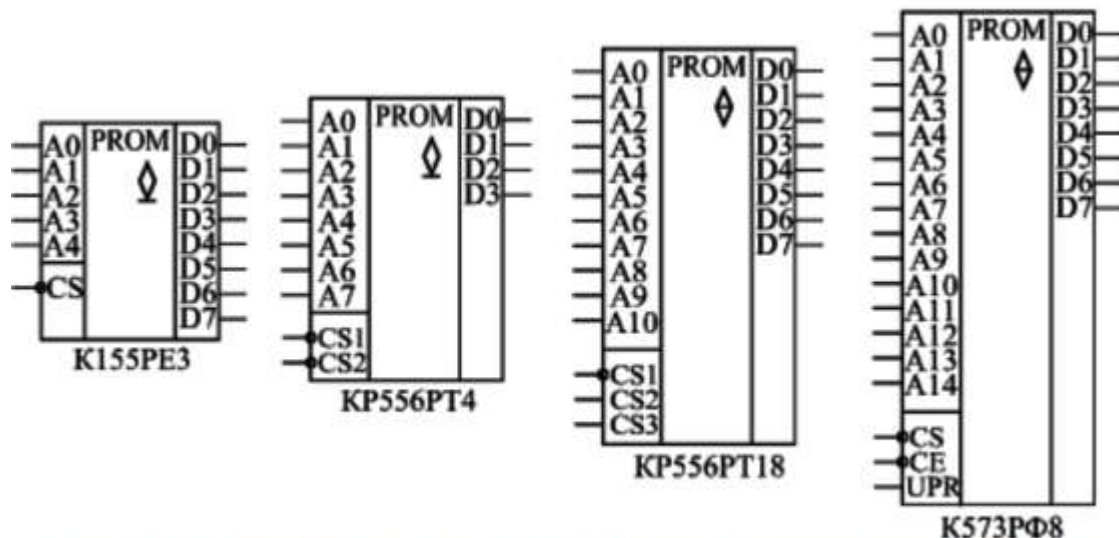


Рис. 8.2. Примеры микросхем ПЗУ отечественного производства

| Адрес | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | A | B | C | D | E | F |
|-------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 00 | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF |
| 10 | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF |
| 20 | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF |
| 30 | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF |
| 40 | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF |
| 50 | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF |
| 60 | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF |
| 70 | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF |
| 80 | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF |
| 90 | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF |
| A0 | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF |
| B0 | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF |
| C0 | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF |
| D0 | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF |
| E0 | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF |
| F0 | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF | FF |

Таблица 8.1. Пример карты прошивки ПЗУ

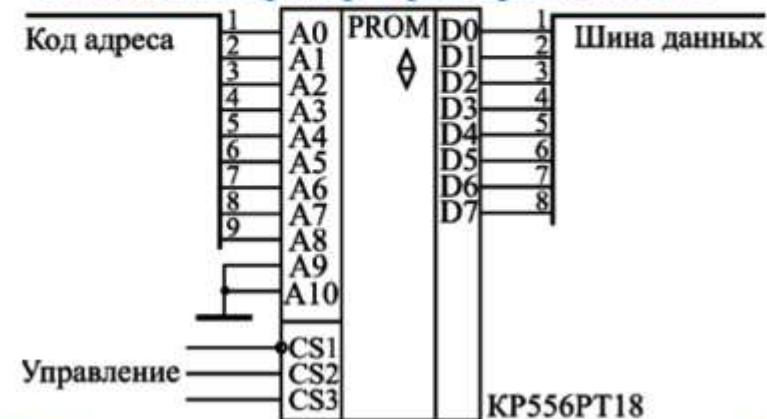


Рис. 8.3. Уменьшение количества адресных разрядов ПЗУ

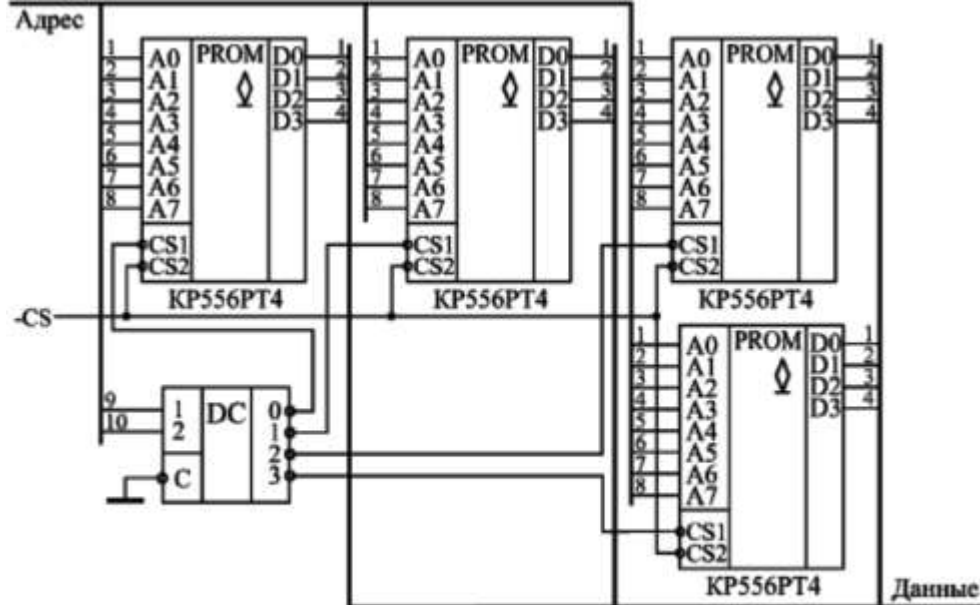


Рис. 8.4. Увеличение адресных разрядов ПЗУ при помощи дешифратора

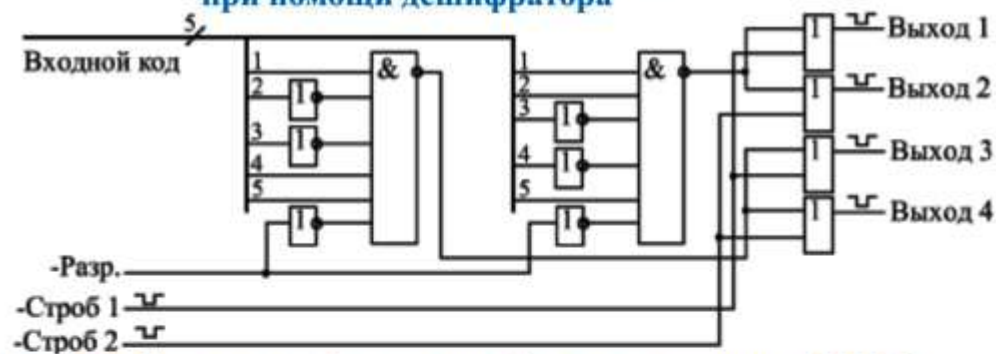


Рис. 8.5. Пример комбинационной схемы, заменяемой ПЗУ

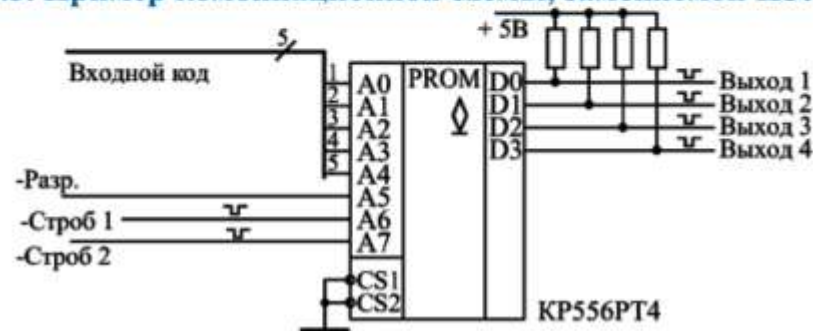


Рис. 8.6. Включение ПЗУ для замены комбинационной схемы

2

| Адрес | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | A | B | C | D | E | F |
|-------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 00 | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F |
| 10 | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F |
| 20 | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F |
| 30 | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F |
| 40 | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F |
| 50 | F | F | F | D | F | F | F | F | F | 7 | F | F | F | F | F | F |
| 60 | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F |
| 70 | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F |
| 80 | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F |
| 90 | F | F | F | E | F | F | F | F | F | B | F | F | F | F | F | F |
| A0 | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F |
| B0 | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F |
| C0 | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F |
| D0 | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F |
| E0 | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F |
| F0 | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F | F |

Таблица 8.2. Карта прошивки ПЗУ для замены комбинационной схемы

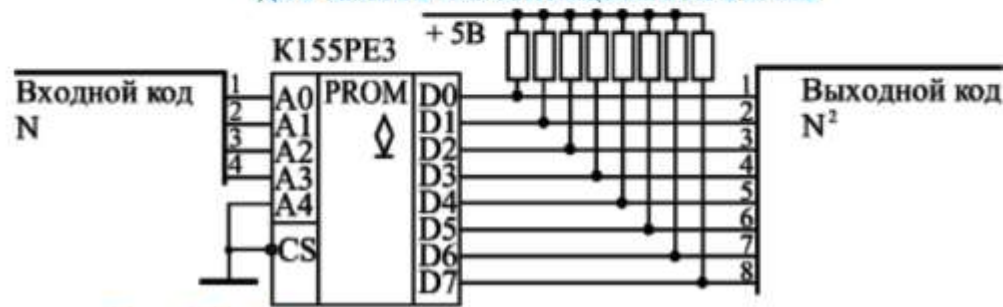


Рис. 8.7. Вычислитель квадратов входных чисел

| Адрес | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | A | B | C | D | E | F |
|-------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 00 | 00 | 01 | 04 | 09 | 10 | 19 | 24 | 31 | 40 | 51 | 64 | 79 | 90 | A9 | C4 | E1 |
| 10 | XX | XX | XX | XX | XX | XX | XX | XX | XX | XX | XX | XX | XX | XX | XX | XX |

Таблица 8.3. Карта прошивки ПЗУ - вычислителя квадратов чисел

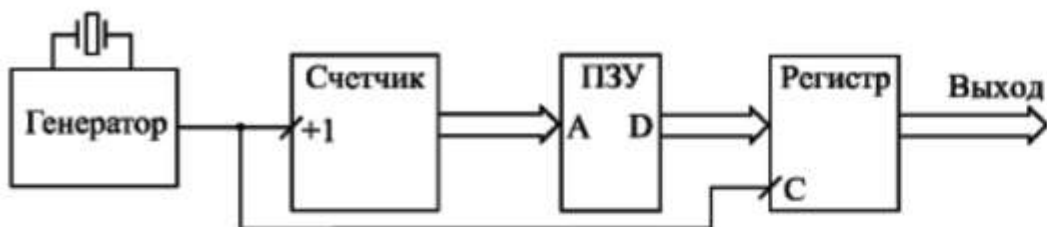


Рис. 8.8. Пример структуры генератора последовательностей сигналов на ПЗУ

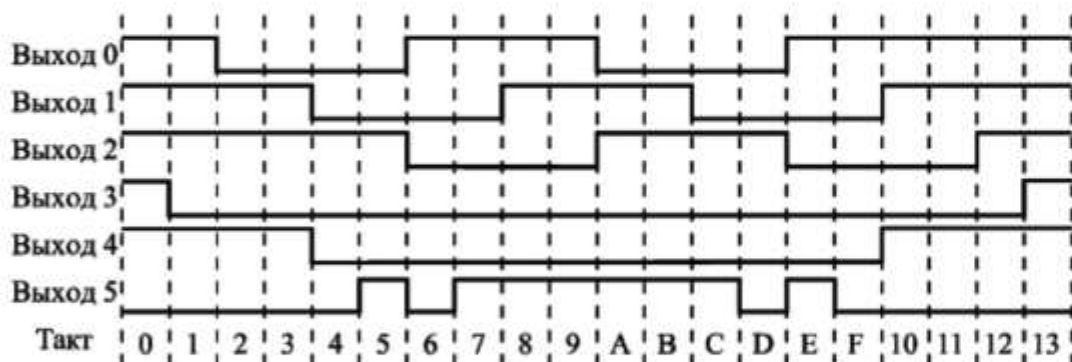


Рис. 8.9. Временная диаграмма формируемых выходных сигналов

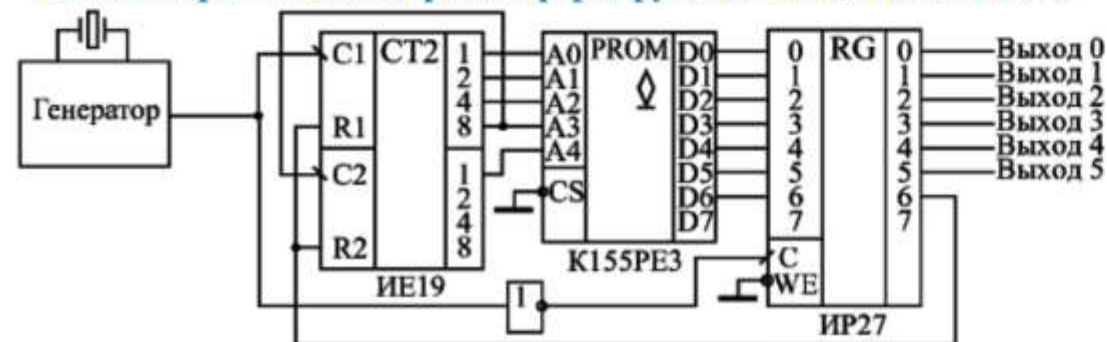


Рис. 8.10. Схема генератора последовательностей сигналов на ПЗУ

| Такт (адрес) | Вых. 6 | Вых. 5 | Вых. 4 | Вых. 3 | Вых. 2 | Вых. 1 | Вых. 0 | Код (данные) |
|--------------|--------|--------|--------|--------|--------|--------|--------|--------------|
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1F |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 17 |
| 2 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 16 |
| 3 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 16 |
| 4 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 04 |
| 5 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 24 |
| 6 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 01 |
| 7 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 21 |
| 8 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 23 |
| 9 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 23 |
| A | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 26 |
| B | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 26 |
| C | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 24 |
| D | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 04 |
| E | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 21 |
| F | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 01 |
| 10 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 13 |
| 11 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 13 |
| 12 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 17 |
| 13 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 5F |

Таблица 8.4. Карта прошивки ПЗУ генератора последовательности сигналов

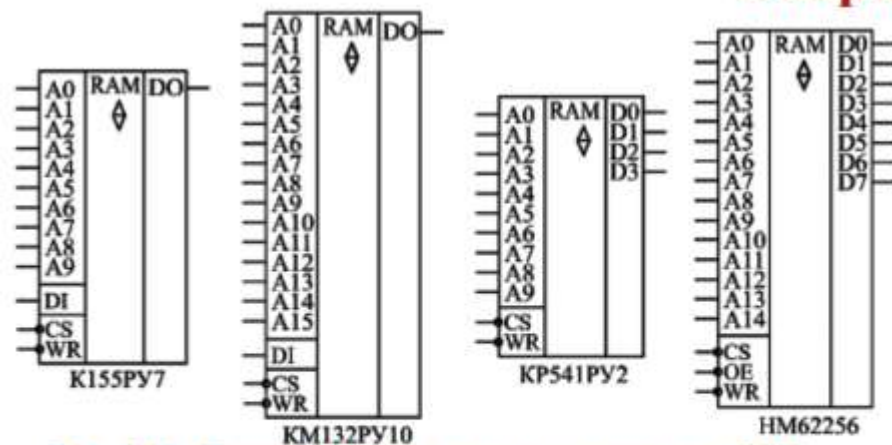


Рис. 8.11. Примеры микросхем статических ОЗУ

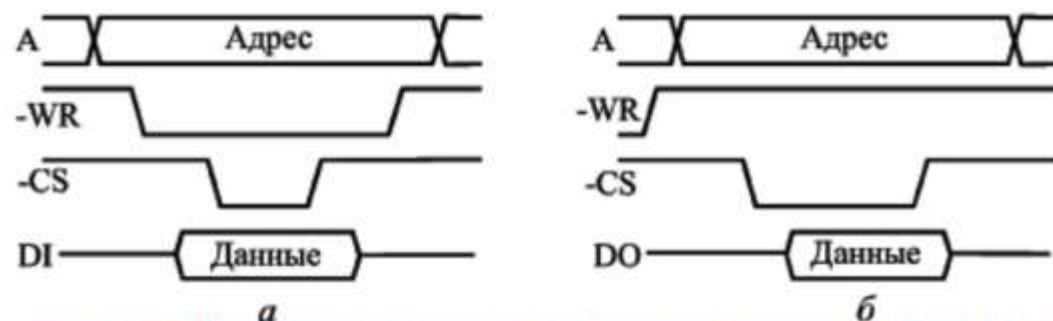


Рис. 8.12. Типичные временные диаграммы записи (а) и чтения (б)

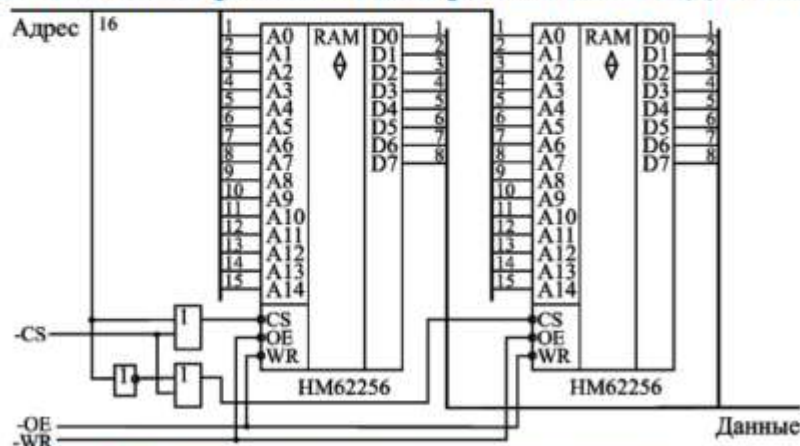


Рис. 8.14. Объединение микросхем памяти для увеличения разрядности шины адреса

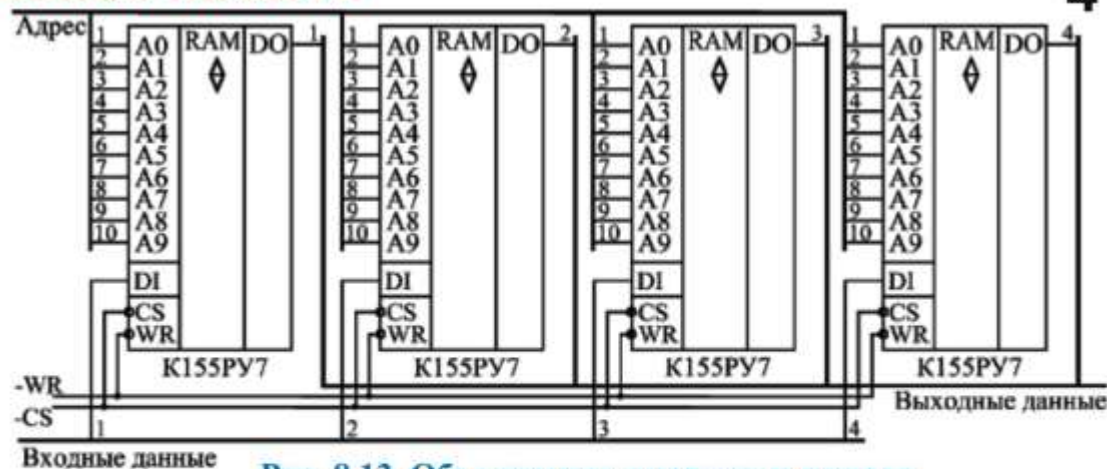


Рис. 8.13. Объединение микросхем памяти для увеличения разрядности шины данных

| Входы и выходы | | | | | Режим работы |
|----------------|-----|-------------|----|--------|--------------|
| -CS | -WR | A0 . . . A9 | DI | DO | |
| 1 | X | X | X | 3C | Хранение |
| 0 | 0 | Адрес | 0 | 3C | Запись 0 |
| 0 | 0 | Адрес | 1 | 3C | Запись 1 |
| 0 | 1 | Адрес | X | Данные | Чтение |

Таблица 8.5 Режимы работы оперативной памяти K155PY7

| Входы и выходы | | | | | Режим работы |
|----------------|-----|-------------|-----------------|--|--------------|
| -CS | -WR | A0 . . . A9 | DI00 . . . DI03 | | |
| 1 | X | X | 3C | | Хранение |
| 0 | 0 | Адрес | 3C | | Запись 0 |
| 0 | 0 | Адрес | 3C | | Запись 1 |
| 0 | 1 | Адрес | Данные | | Чтение |

Таблица 8.6. Режимы работы оперативной памяти K51PY2

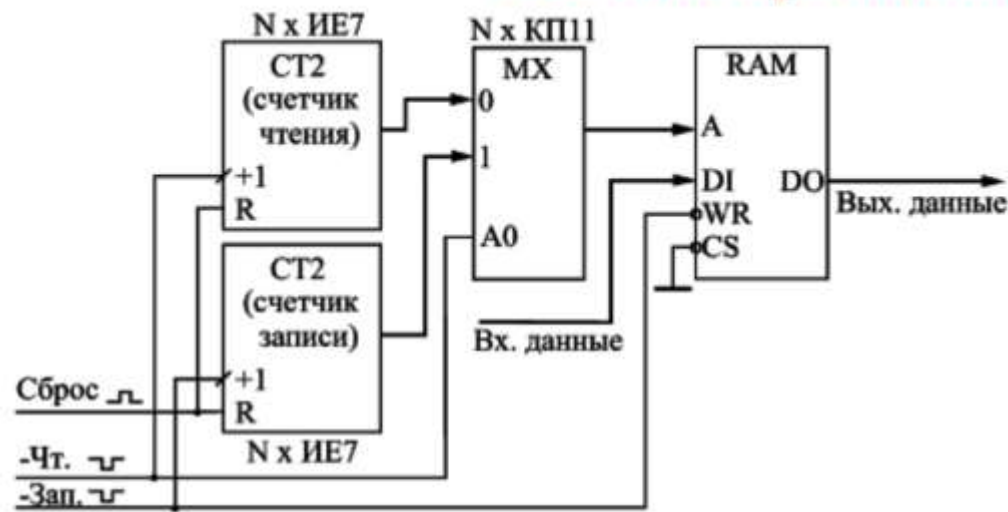


Рис. 8.15. Функциональная схема памяти типа FIFO

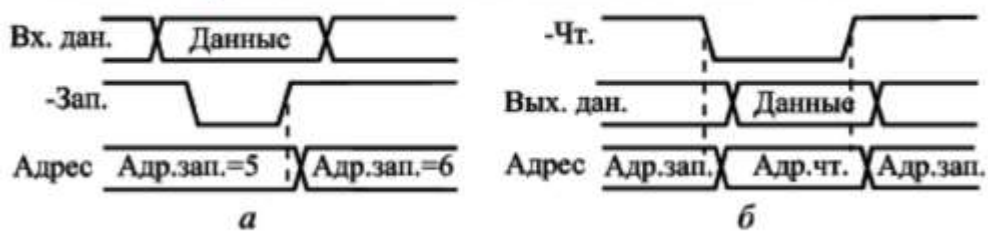


Рис. 8.16. Временные диаграммы циклов записи (а) и чтения (б) для памяти типа FIFO



Рис. 8.19. Функциональная схема памяти для хранения массивов данных

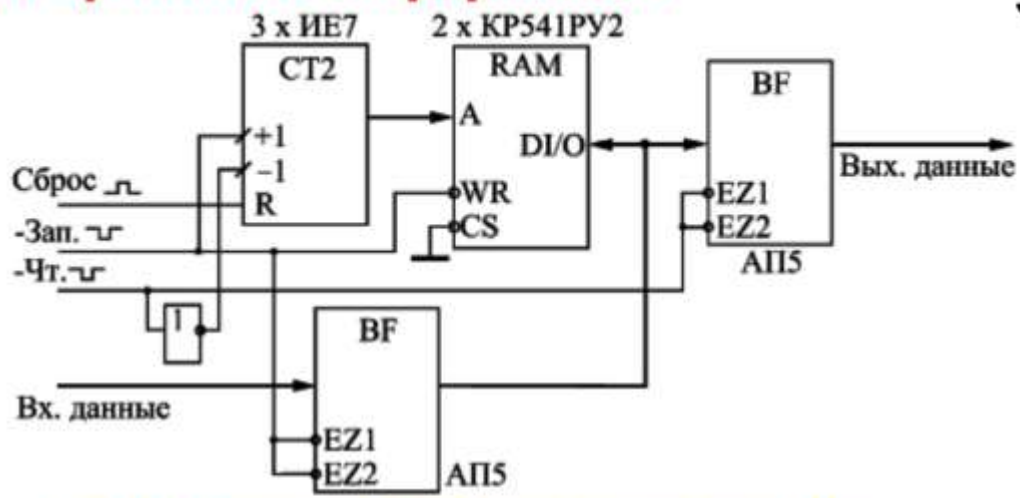


Рис. 8.17. Функциональная схема памяти типа LIFO

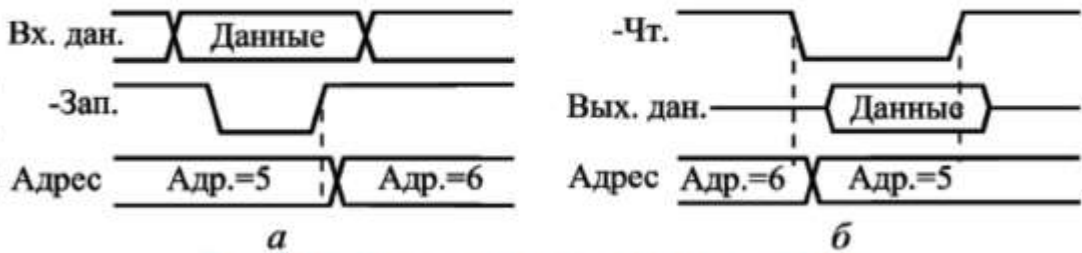


Рис. 8.18. Временные диаграммы циклов записи (а) и чтения (б) для памяти типа LIFO



Рис. 8.20. Включение буферной памяти



Рис. 8.21. Двухнаправленный информационный буфер

Операционный усилитель

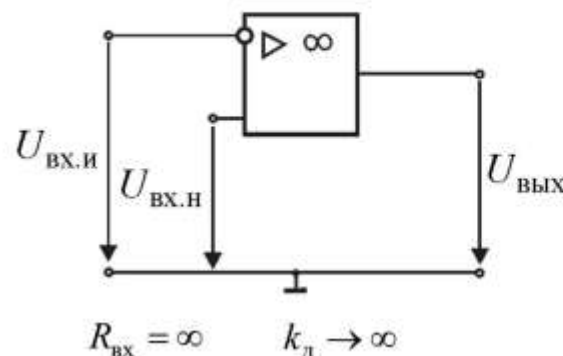


Рис. 9.1. Условное обозначение ОУ

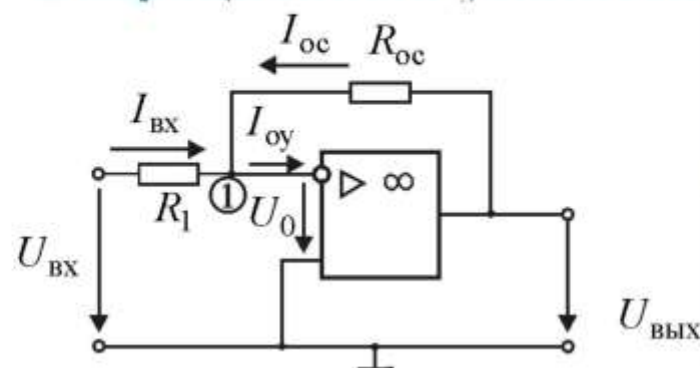
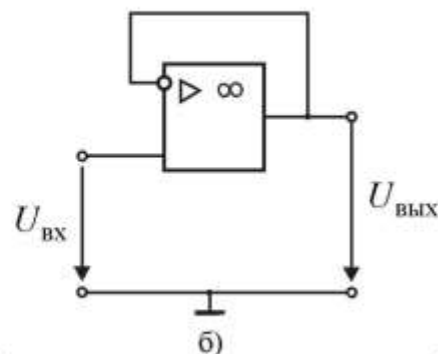
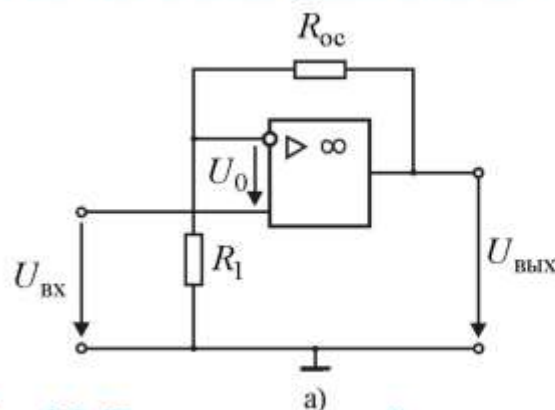


Рис. 9.2. Инвертирующий усилитель

$$I_{BX} + I_{oc} = 0 \quad \frac{U_{BX} - U_0}{R_1} = -\frac{U_{ВЫХ} - U_0}{R_{oc}}$$

$$U_0 = U_{ВЫХ} / k_d \rightarrow 0 \quad \frac{U_{BX}}{R_1} = -\frac{U_{ВЫХ}}{R_{oc}}$$

$$K_{UИ} = -\frac{R_{oc}}{R_1}$$



$$(U_0 = 0) \quad U_{BX} = U_{ВЫХ} \frac{R_1}{R_1 + R_{oc}}, \quad K_{UИ} = 1 + \frac{R_{oc}}{R_1}$$

$$R_{oc} = 0 \quad R_1 = \infty \quad K_U = 1$$

$$R_{oc} = R_1 = R_2 = \dots = R_n \ll R_{BX}, \quad I_{oy BX} = 0$$

$$I_{oc} = -(I_1 + I_2 + \dots + I_n) \quad U_{ВЫХ} = -(U_1 + U_2 + \dots + U_n)$$

$$U_{ВЫХ} = -\left(\frac{R_{oc}}{R_1}U_1 + \frac{R_{oc}}{R_2}U_2 + \dots + \frac{R_{oc}}{R_n}U_n\right).$$

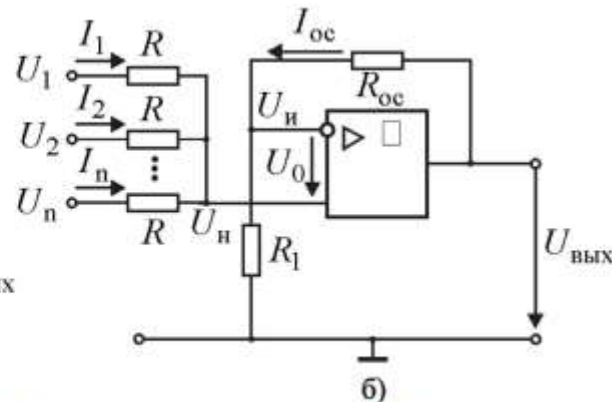
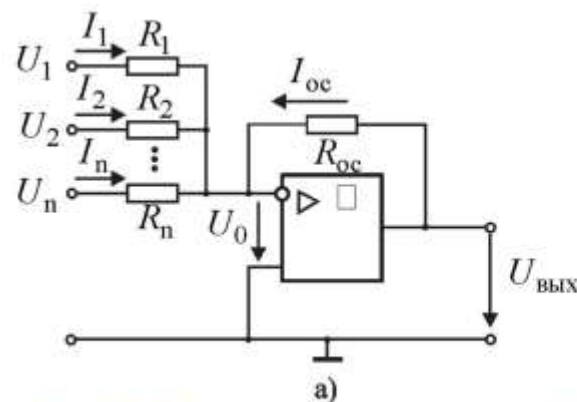


Рис. 9.4. Схема инвертирующего (а) и неинвертирующего (б) сумматора

$$U_0 = 0 \quad U_{И} = U_{И} = \frac{R_1}{R_1 + R_{oc}} U_{ВЫХ}$$

$$\frac{U_1 - U_{И}}{R} + \frac{U_2 - U_{И}}{R} + \dots + \frac{U_n - U_{И}}{R} = 0 \Rightarrow$$

$$\Rightarrow U_1 + U_2 + \dots + U_n = n \frac{R_1}{R_1 + R_{oc}} U_{ВЫХ},$$

$$U_{ВЫХ} = \frac{R_1 + R_{oc}}{nR_1} (U_1 + U_2 + \dots + U_n).$$

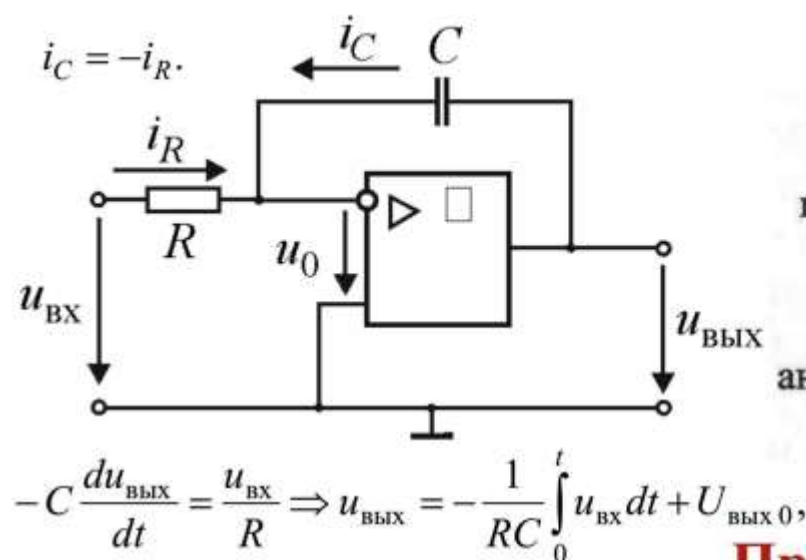


Рис. 9.5. Интегратор на ОУ



Рис. 9.6. Цифровое устройство обработки данных

Применение микросхем ЦАП

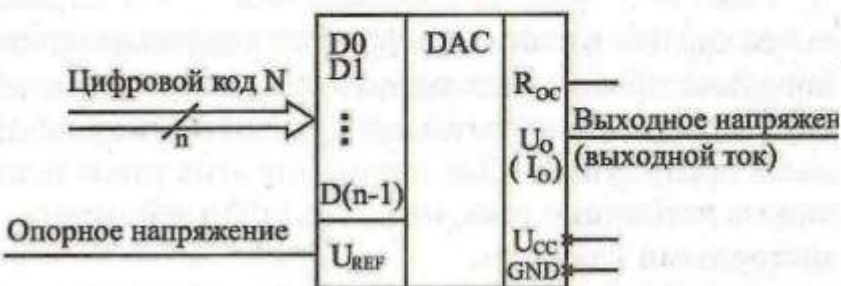


Рис. 9.7. Микросхема ЦАП

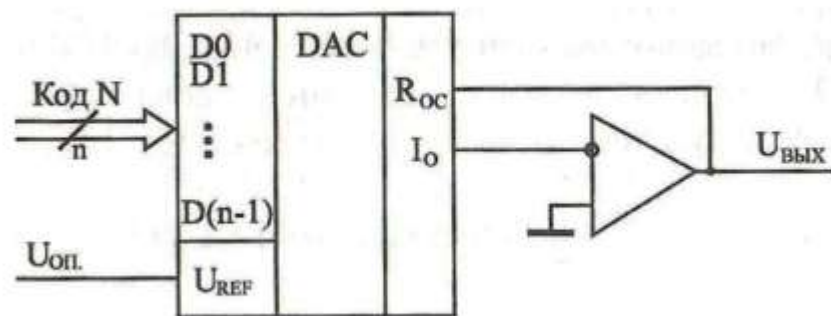


Рис. 9.8. Преобразование выходного тока в напряжение



Рис. 9.9. Пример характеристики преобразования

| | Цифровой сигнал (код) | Аналоговый сигнал ($U_{\text{ВЫХ}}$ В) |
|---|-----------------------|---|
| 0 | 0000 | 0 |
| 1 | 0001 | 0,2 |
| 2 | 0010 | 0,4 |
| 3 | 0011 | 0,6 |
| 4 | 0100 | 0,8 |
| 5 | 0101 | 1,0 |
| 6 | 0110 | 1,2 |
| 7 | 0111 | 1,4 |

$$h = \frac{X_{\text{max}} - X_{\text{min}}}{2^n - 1} = \frac{1,4 - 0}{2^3 - 1} = 0,2$$

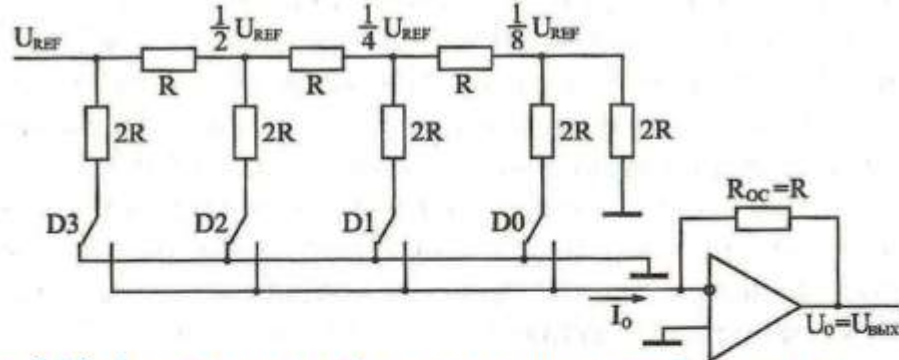


Рис. 9.10. 4-разрядное цифро-аналоговое преобразование

$$\frac{U_{REF}}{2R} \quad \frac{U_{REF}}{4R} \quad \frac{U_{REF}}{8R} \quad \frac{U_{REF}}{16R} \quad 1101_2 = 13_{10}$$

$$I_0 = 1 \cdot \frac{U_{REF}}{16R} + 0 \cdot \frac{U_{REF}}{8R} + 1 \cdot \frac{U_{REF}}{4R} + 1 \cdot \frac{U_{REF}}{2R} = \frac{13 \cdot U_{REF}}{16R}$$

$$U_0 = -I_0 \cdot R_{oc} \quad U_{ВЫХ} = U_0 = -\frac{N_{10} \cdot U_{REF}}{2^n}$$

| Входной код N | Выходное напряжение $U_{ВЫХ}$ |
|---------------|-------------------------------|
| 000...000 | 0 |
| 000...001 | $-2^{-n} U_{REF}$ |
| ... | ... |
| 100...000 | $-2^{-1} U_{REF}$ |
| ... | ... |
| 111...111 | $-(1-2^{-n}) U_{REF}$ |

Таблица 9.1. Связь входного кода и выходного напряжения

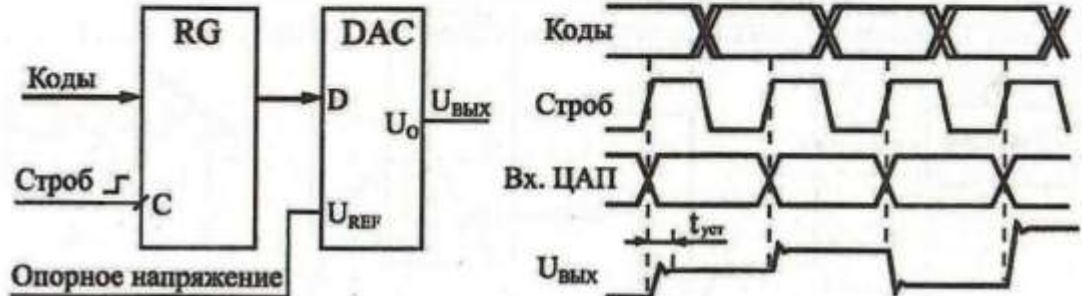


Рис. 9.11. Преобразование последовательности кодов в напряжение

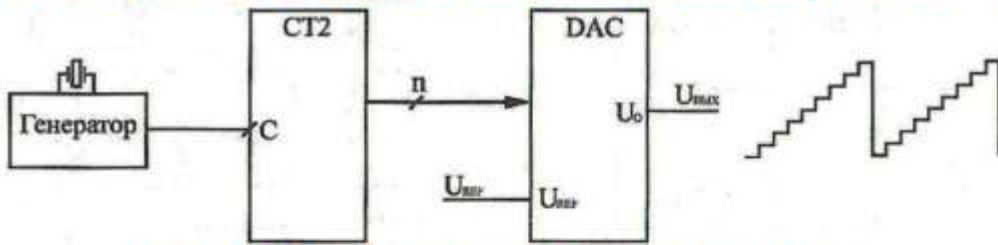


Рис. 9.12. Генератор пилообразного сигнала



Рис. 9.13. Генерация сигналов произвольной формы

Применение АЦП

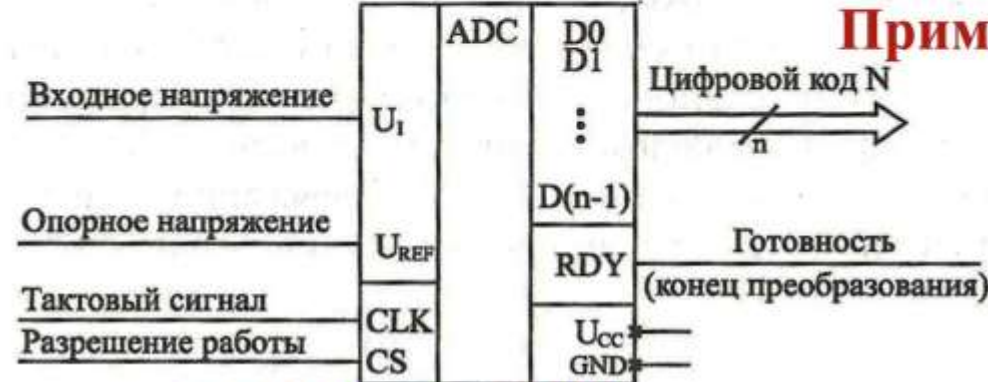


Рис. 9.14. Микросхема АЦП

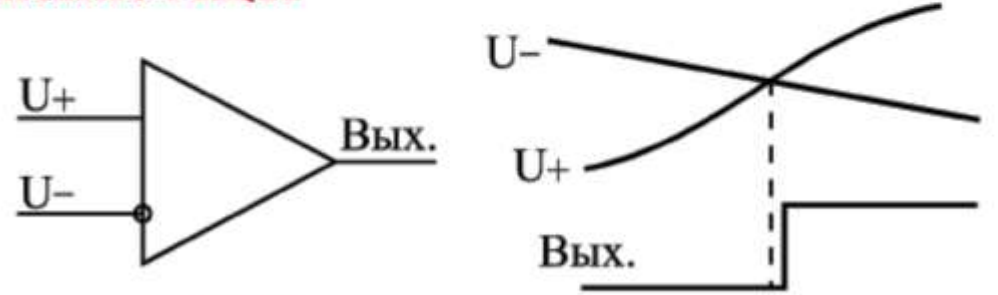


Рис. 9.15. Компаратор напряжения

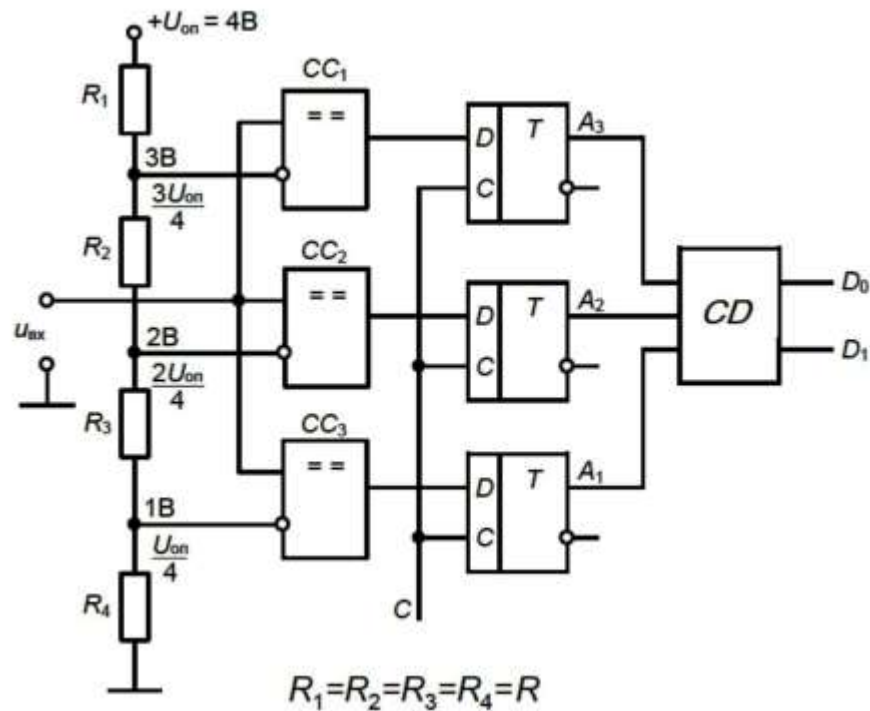


Рис. 9.16. Схема АЦП параллельного типа

| $U_{вх}, В$ | Выходы компаратора | | | Выходы АЦП | |
|----------------|--------------------|-------|-------|------------|-------|
| | A_3 | A_2 | A_1 | D_1 | D_0 |
| $0 \div 1$ | 0 | 0 | 0 | 0 | 0 |
| $1,001 \div 2$ | 0 | 0 | 1 | 0 | 1 |
| $2,001 \div 3$ | 0 | 1 | 1 | 1 | 0 |
| $3,001 \div 4$ | 1 | 1 | 1 | 1 | 1 |

Таблица 9.2. Преобразование входного напряжения 2-разрядным АЦП параллельного типа

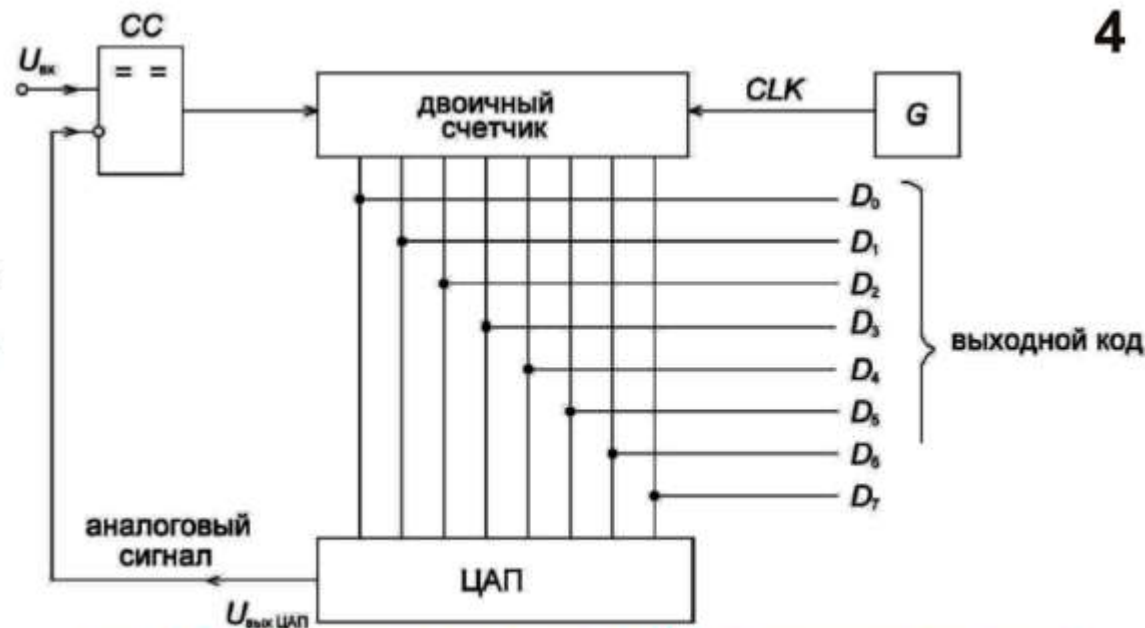


Рис. 9.17. Функциональная схема АЦП последовательного счета

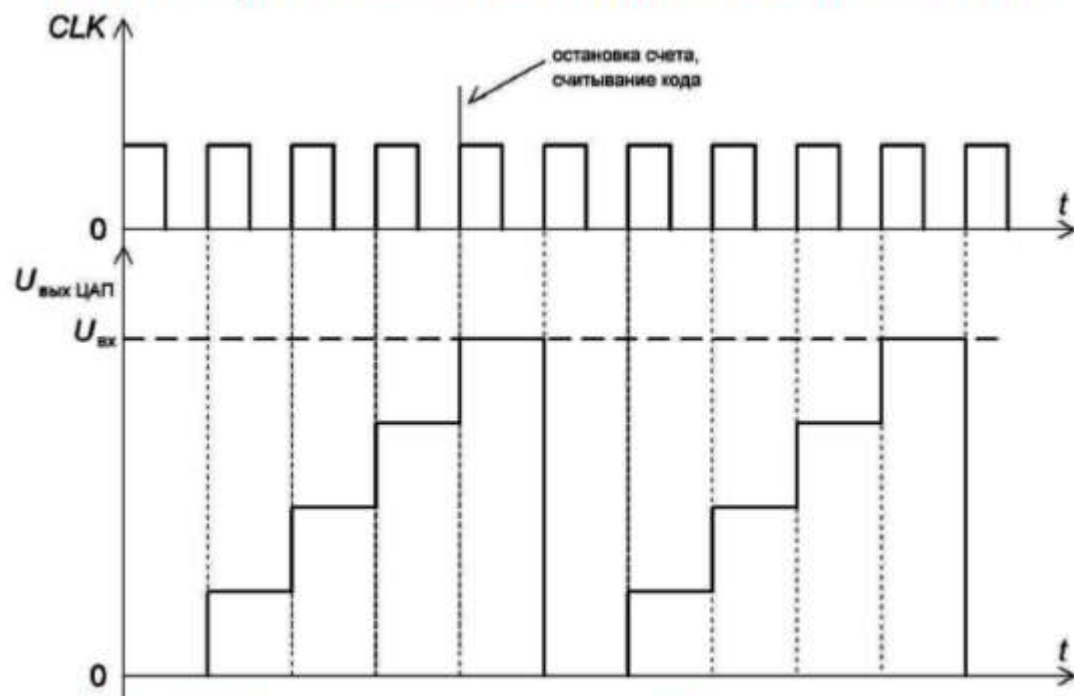
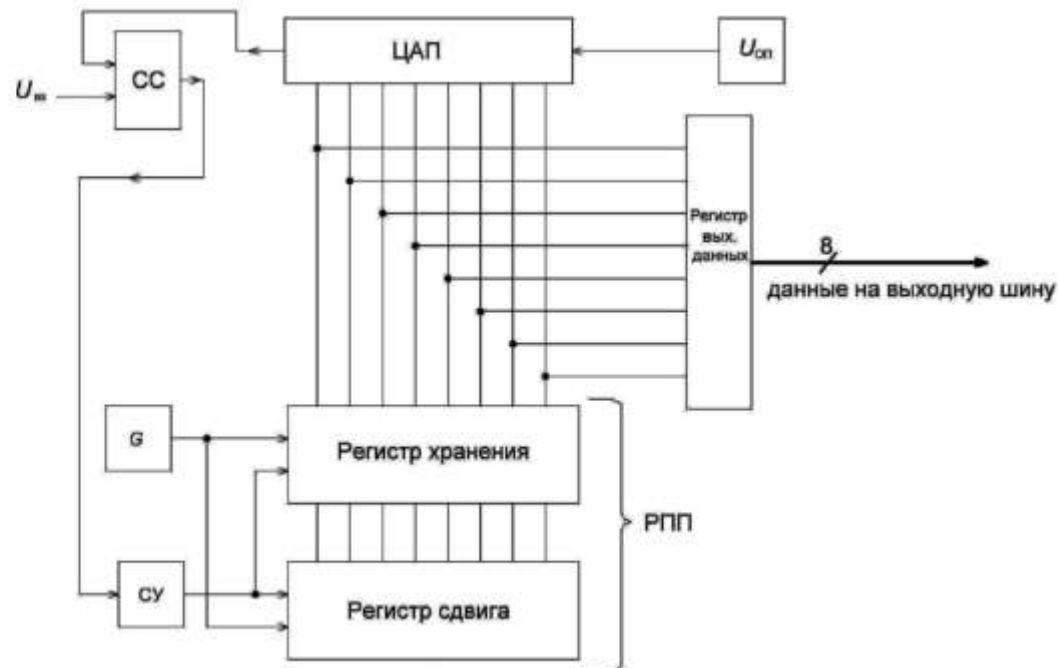


Рис. 9.18. Временные диаграммы АЦП последовательного счета



СС – схема сравнения (компаратор)
 РПП – регистр последовательных приближений
 СУ – система управления

Рис. 9.19. Функциональная схема АЦП последовательного приближения

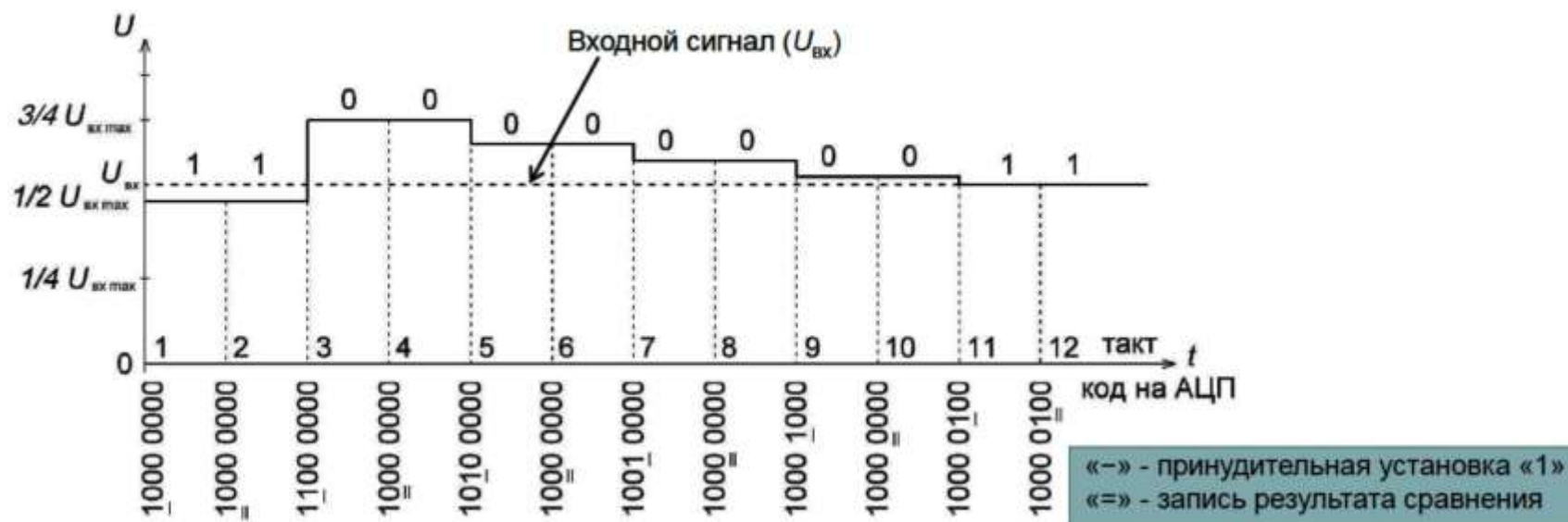


Рис. 9.20. Временная диаграмма работы АЦП последовательного приближения

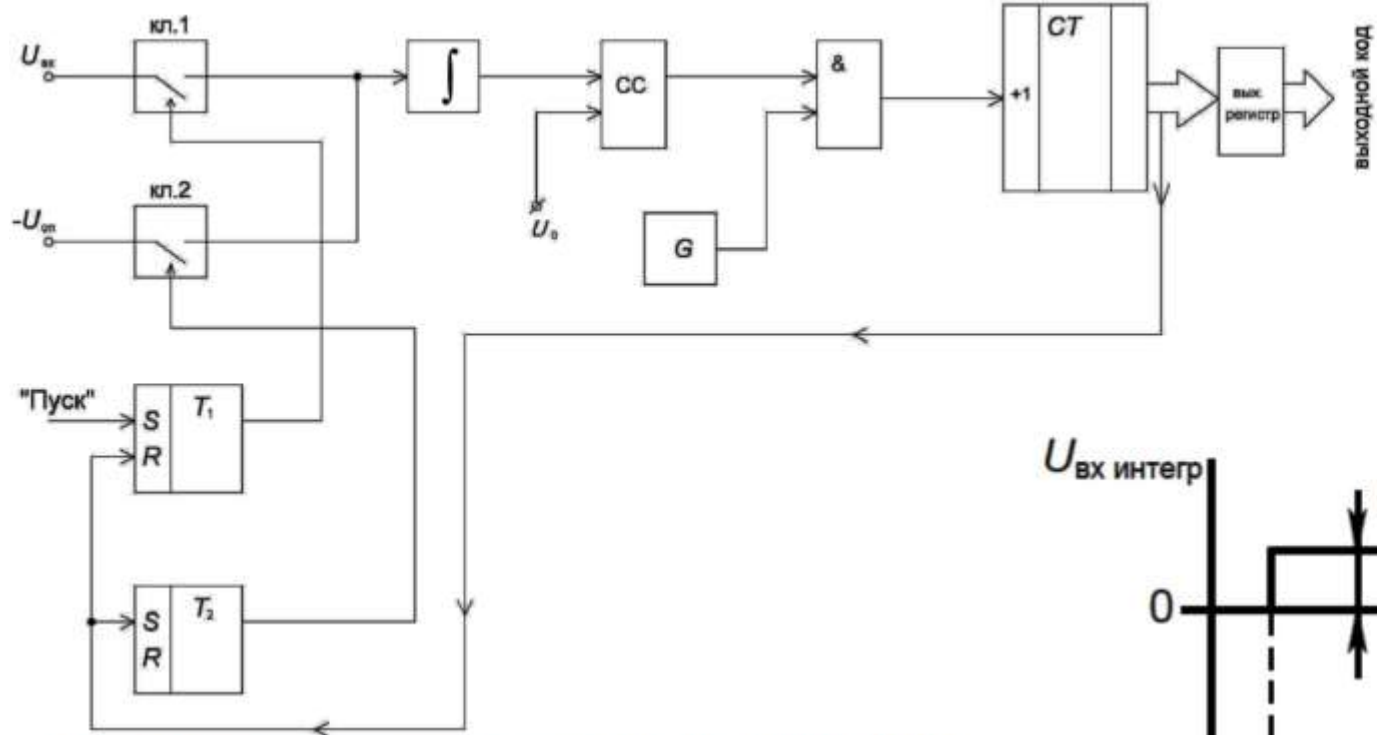


Рис. 9.21. Функциональная схема интегрирующего АЦП

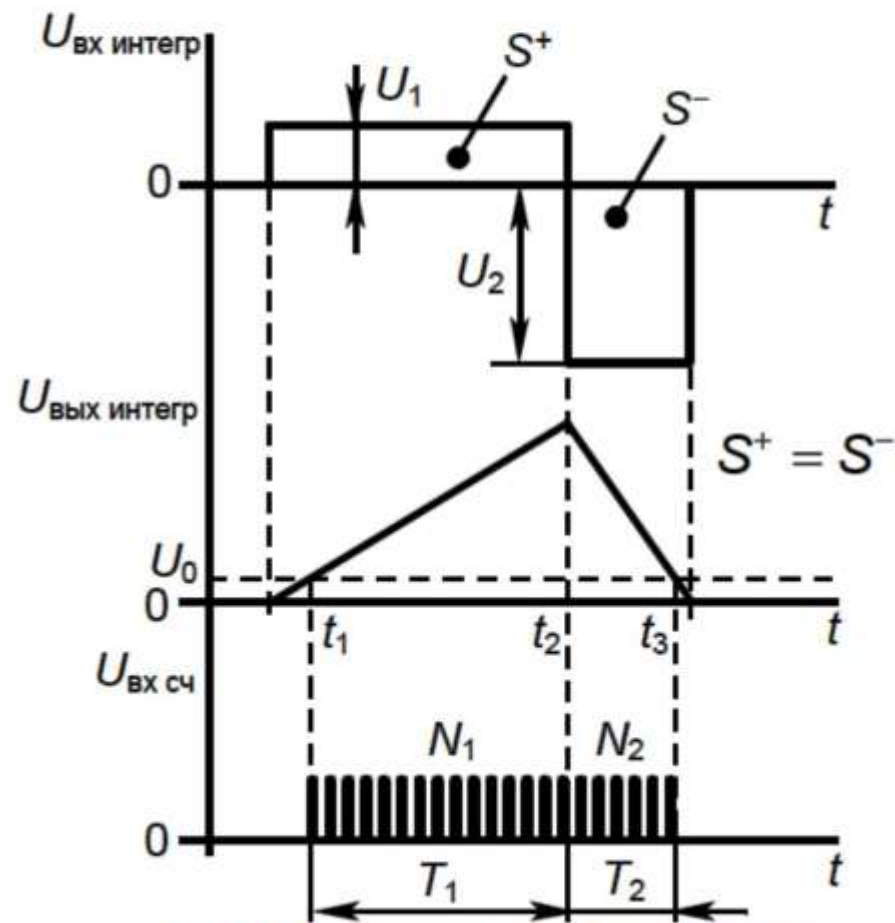


Рис. 9.20. Временная диаграмма работы АЦП двойного интегрирования