



Tema 2:

Las placas de prototipado XESS XSA-3S y XST

modelo de diseño

Diseño automático de sistemas

José Manuel Mendías Cuadros

*Dpto. Arquitectura de Computadores y Automática
Universidad Complutense de Madrid*



Contenidos

- ✓ La placa XESS XSA-3S.
- ✓ La placa XESS XST.
- ✓ FPGA Spartan 3 XC3S1000
- ✓ Dispositivos en XSA-3S.
- ✓ Dispositivos en XST.
- ✓ La placa de dispositivos FdI-UCM.



La placa XESS XSA-3S

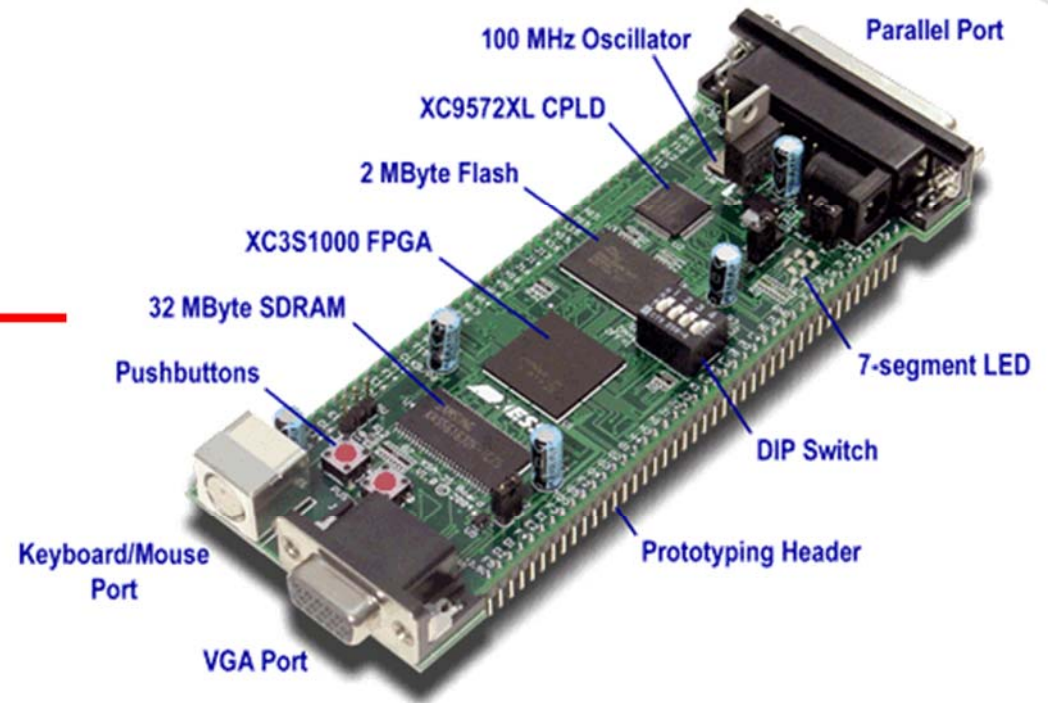


- FPGA Spartan 3 XC3S1000

- CPLD XC9572XL
- Flash ROM 2MB

- 4 switches
- 2 pulsadores
- Display 7 segmentos
- Oscilador de 100 MHz
- SDRAM 32MB
- Conector PS/2
- Conector VGA

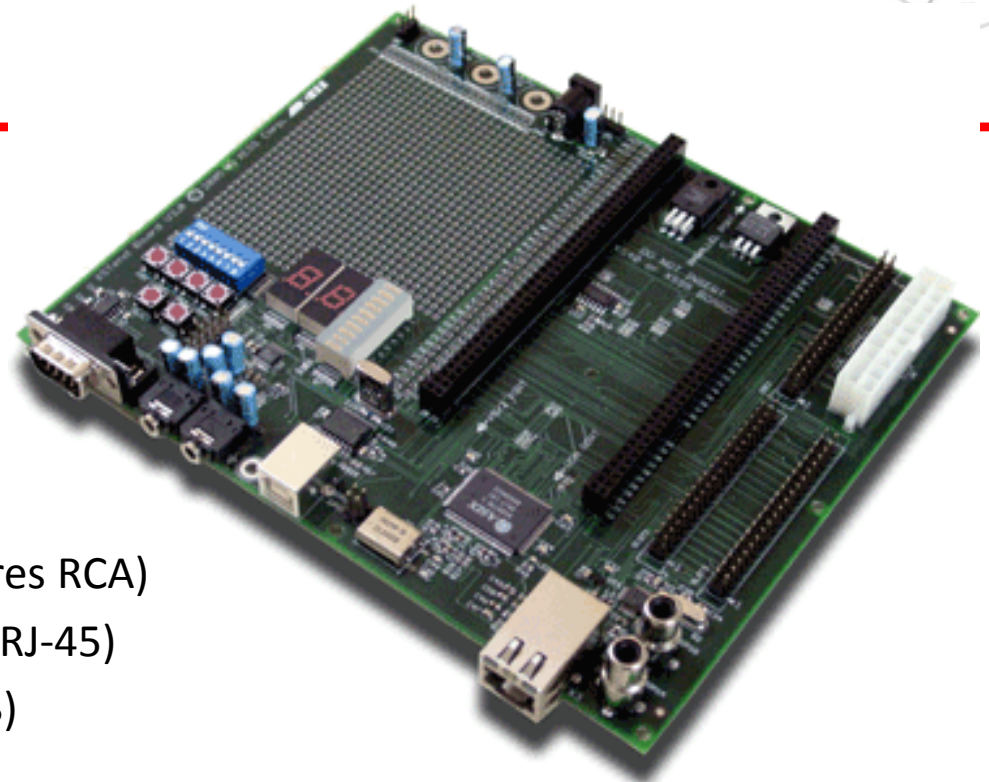
- Circuitería de configuración a través de USB / conector paralelo
- Circuitería de alimentación



La placa XESS XST

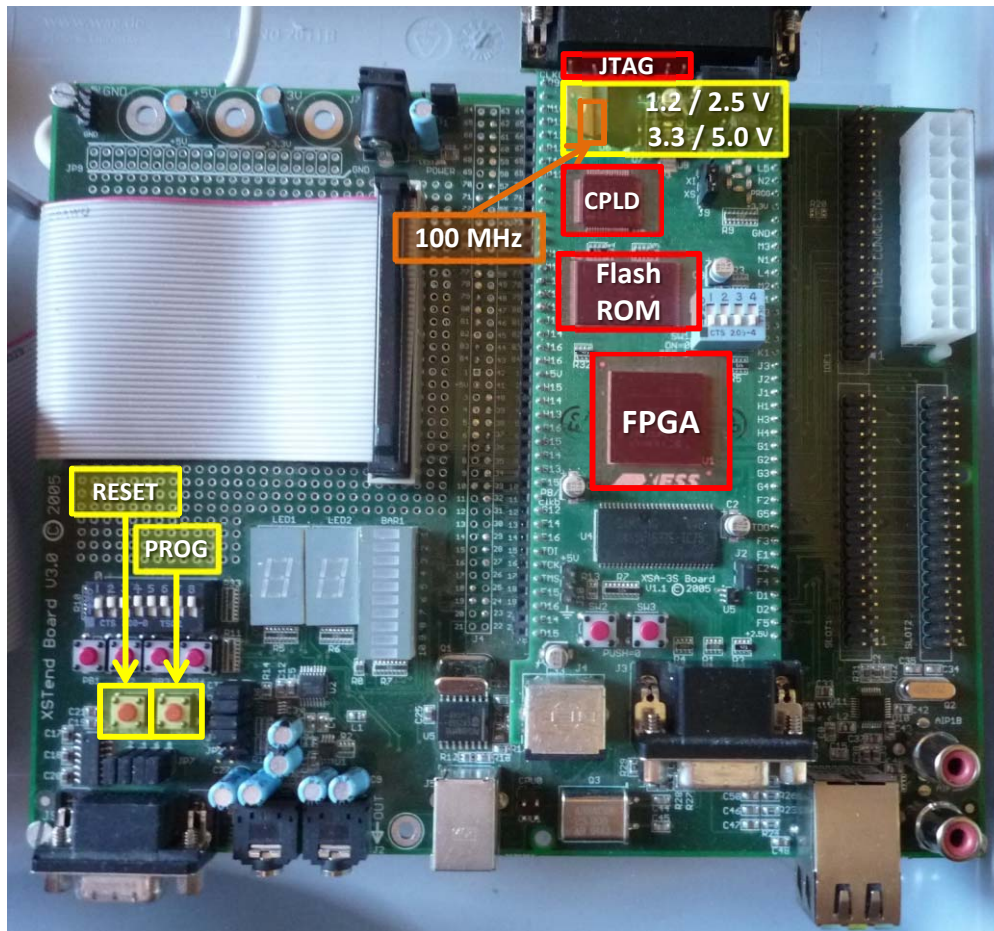


- 8 switches
- 4 pulsadores
- 2 displays 7-segmentos
- Banco de 10 LEDs
- Interfaz RS-232 (conector tipo DB-9)
- IIS Audio CODEC estéreo (2 jack 3,5 mm)
- IIC Video Decoder NTCS/PAL (2 conectores RCA)
- Controlador Ethernet 10/100 (conector RJ-45)
- IIC Controlador USB 1.1 (conector tipo B)
- Conector IDE



- Pulsador de reset de la FPGA
- Pulsador de reset de la circuitería externa

FPGA Spartan 3 XC3S1000



- 1 Mpuertas
 - 256 pines (256-BGA)
 - 173 disponibles para diseño
 - 4 voltajes de alimentación:
 - 1.2 / 2.5 / 3.3 / 5.0 V
 - Derivados de una conexión USB
 - 3 relojes:
 - CLKA: 100 MHz
 - CLKB: 50 MHz (derivado de CLKA)
 - CLKC: externo
-
- 2 pulsadores de reset
 - PROG: borra la configuración de la FPGA
 - RESET: conectado al reset de dispositivos
-
- Es configurada por un CPLD que toma la configuración:
 - Descargada por USB desde un host
 - Almacenada en una Flash (hasta 4)

FPGA Spartan 3 XC3S1000

arquitectura (i)



- 1920 Configurable Logic Blocks (CLB) formados por 4 slices cada uno.
- Cada slice dispone de:
 - 2 Look-Up Tables (LUT) basadas en RAM de 4 entradas y 1 salida.
 - Capaces de implementar cualquier FC de 4 variables
 - Todas las LUTs pueden funcionar como una ROM 16x1b
 - Además, las LUTs de los slices izquierdos pueden configurarse como una RAM 16x1b (distributed RAM) o un registro de desplazamiento de 16 bits.
 - Capacidad total de "distributed RAM": 120 Kb (15 KB)
 - 2 elementos de almacenamiento configurables como latches o flip-flops.
 - 2 multiplexores (combinados con las LUTs permiten implementar lógica más compleja).
 - Lógica de acarreo para soportar más eficientemente funciones aritméticas.
- 173 Input/Output Blocks (IOB)
 - Controlan el flujo de datos entre los pines de E/S y la lógica interna.
 - Configurables para soportar distintos estándares de señalización.

FPGA Spartan 3 XC3S1000

arquitectura (ii)

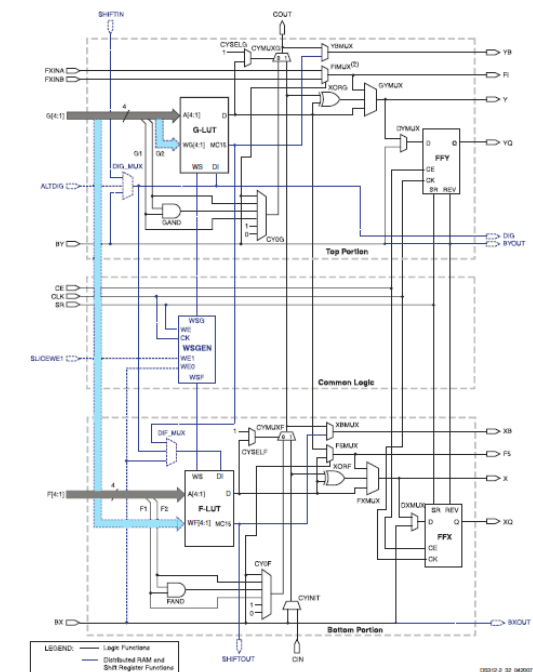
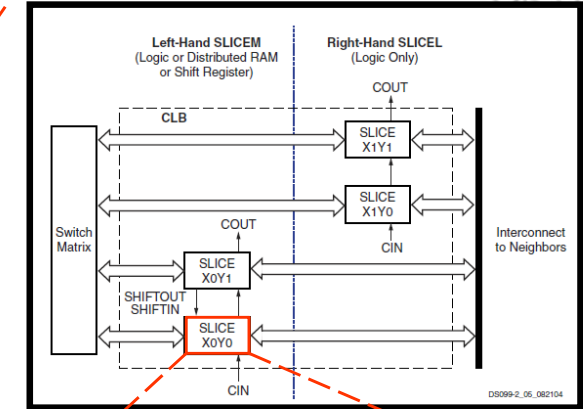
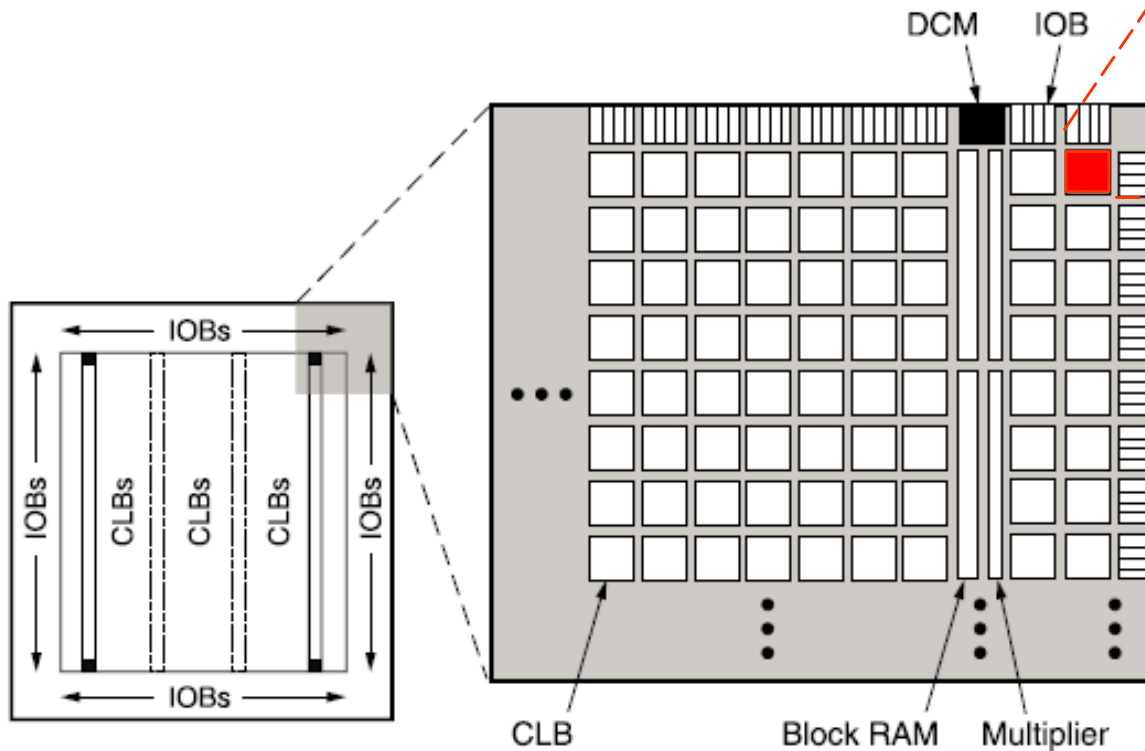


- 24 Block RAM
 - Memorias SRAM síncronas de doble puerto con 18Kb de capacidad.
 - Capacidad total de "Block RAM": 432 Kb (54 KB).
- 24 Multiplicadores
 - 18x18 bits (salida de 36 bits) en C2.
 - Configurables con o sin registro a la salida.
- 4 Digital Clock Manager (DCM)
 - Distribuye, multiplica, divide o desfasa una señal de reloj.

Device	System Gates	Logic Cells	CLB Array (One CLB = Four Slices)			Distributed RAM (bits ¹)	Block RAM (bits ¹)	Dedicated Multipliers	DCMs	Maximum User I/O	Maximum Differential I/O Pairs
			Rows	Columns	Total CLBs						
XC3S50	50K	1,728	16	12	192	12K	72K	4	2	124	56
XC3S200	200K	4,320	24	20	480	30K	216K	12	4	173	76
XC3S400	400K	8,064	32	28	896	56K	288K	16	4	264	116
XC3S1000	1M	17,280	48	40	1,920	120K	432K	24	4	391	175
XC3S1500	1.5M	29,952	64	52	3,328	208K	576K	32	4	487	221
XC3S2000	2M	46,080	80	64	5,120	320K	720K	40	4	565	270
XC3S4000	4M	62,208	96	72	6,912	432K	1,728K	96	4	712	312
XC3S5000	5M	74,880	104	80	8,320	520K	1,872K	104	4	784	344

FPGA Spartan 3 XC3S1000

arquitectura (iii)



FPGA Spartan 3 XC3S1000

pineado

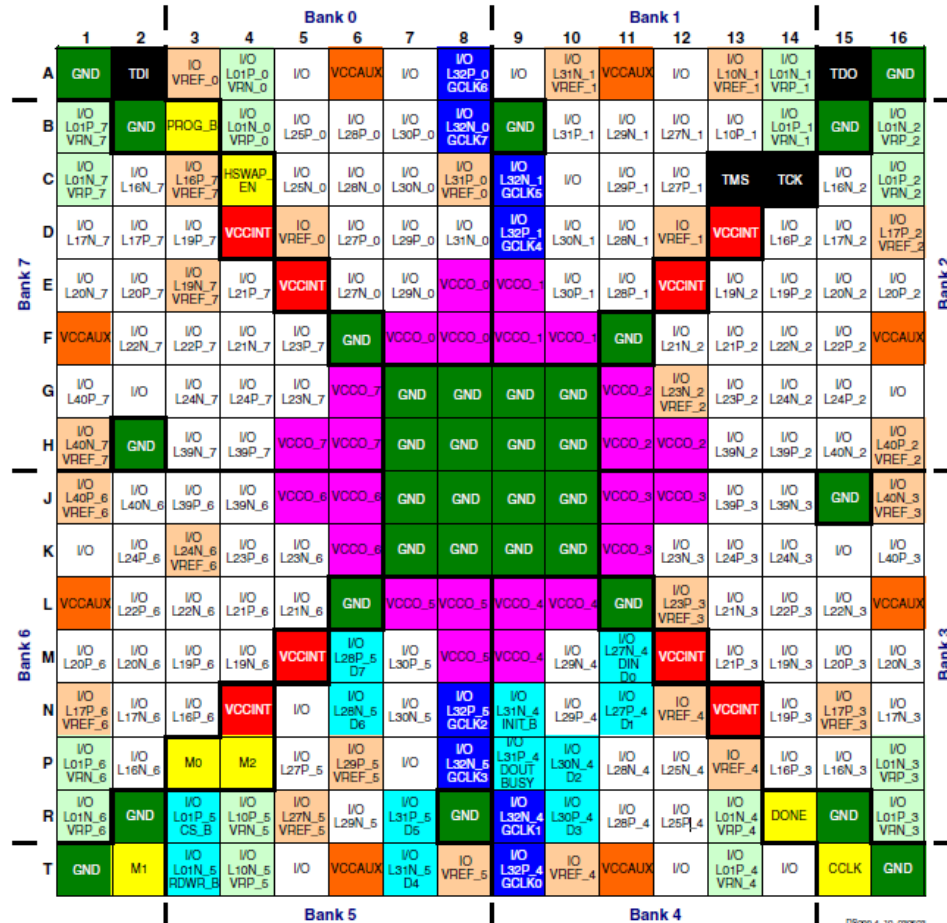


Figure 49: FT256 Package Footprint (Top View)

113	I/O: Unrestricted, general-purpose user I/O	12	DUAL: Configuration pin, then possible user I/O	24	VREF: User I/O or input voltage reference for bank
16	DCI: User I/O or reference resistor input for bank	8	GCLK: User I/O or global clock buffer input	24	VCCO: Output voltage supply for bank
7	CONFIG: Dedicated configuration pins	4	JTAG: Dedicated JTAG port pins	8	VCCINT: Internal core voltage supply (+1.2V)
0	N.C.: No unconnected pins in this package	32	GND: Ground	8	VCCAUX: Auxiliary voltage supply (+2.5V)

FPGA Spartan 3 XC3S1000

configuración



- La configuración de la FPGA (.BIT) puede volcarse en placa XESS XSA-3S a través de:
 - El interfaz JTAG: usando un programador JTAG y la herramienta Xilinx iMPACT.
 - Un puerto paralelo: usando la herramienta XESS GXSLD.
 - Un puerto USB: usando el adaptador a puerto paralelo XESS XSUSB y la herramienta XESS GXSLD.
 - La Flash ROM: requiere el volcado previo de la configuración en la Flash.
- El CPLD actúa como intermediario entre el correspondiente dispositivo y los pines de programación de la FPGA
 - Por ello, en función del medio de configuración deseado, es necesario volcar previamente sobre la CPLD un diseño (configuración .SDF) distinta.
 - La CPLD también se puede configurar para que actúe como interfaz entre el puerto USB / paralelo y pines generales de la FPGA.
- La CPLD también actúa como intermediario entre el oscilador y los pines de reloj de la FPGA
 - Cambiando el diseño del CPLD, pueden generarse otras frecuencias de reloj.

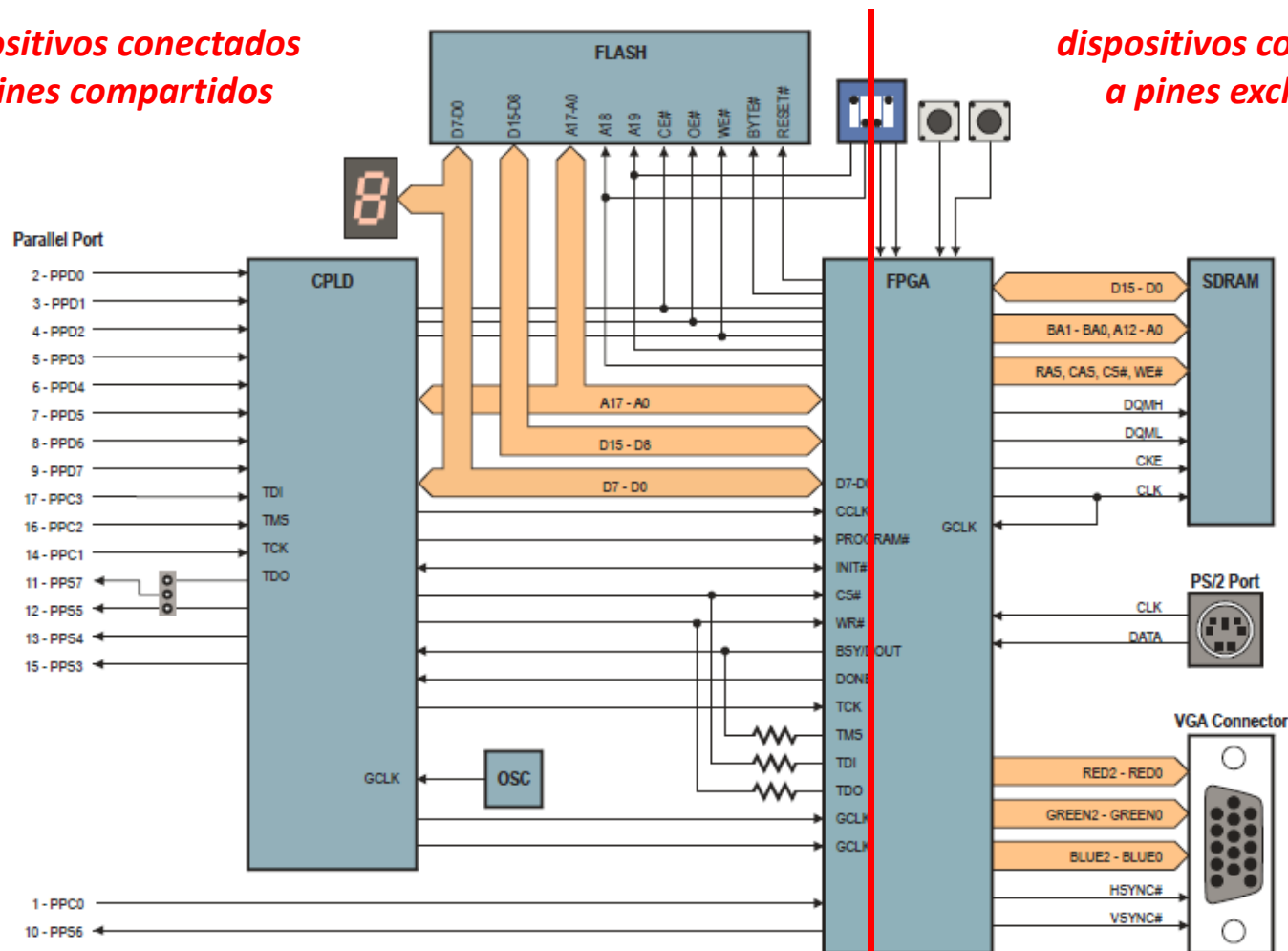


Dispositivos en XSA-3S

- El esquema de interconexión de dispositivos en la placa XSA-3S es:

dispositivos conectados a pines compartidos

dispositivos conectados a pines exclusivos

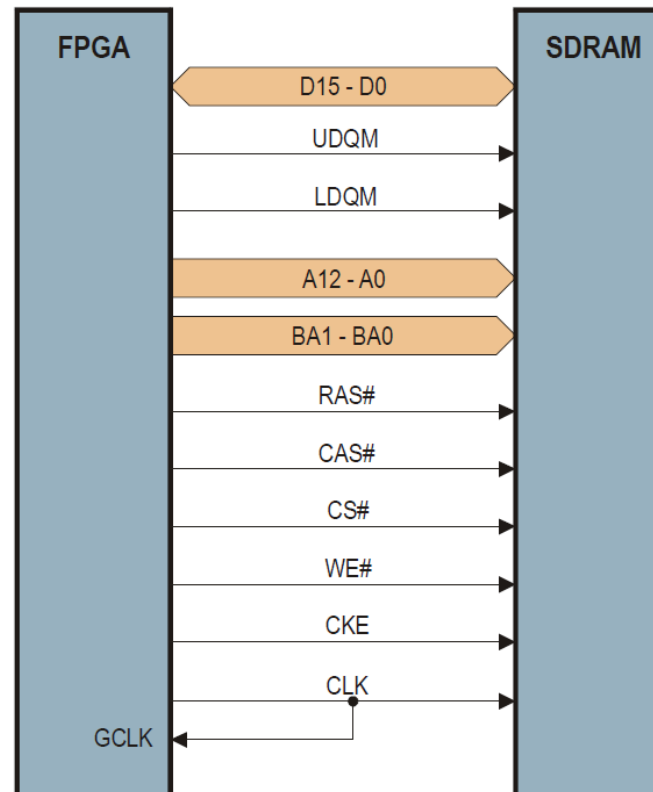




Dispositivos en XSA-3S

conectados a pines exclusivos: SDRAM

- 40 pines de la FPGA están conectados a una SDRAM 16Mx16b (K4S561632E)



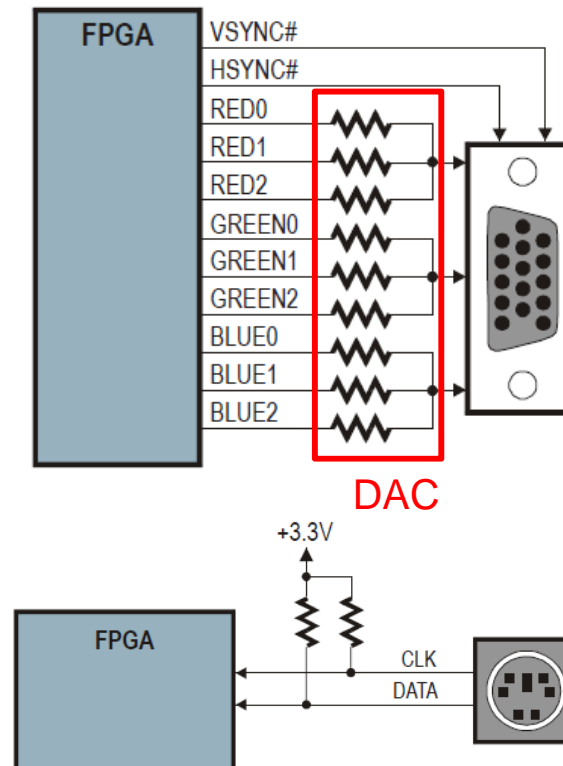
- Capacidad: 32 MB
- Bus de datos: 16b
- Bus de direcciones: 13b
 - Row address = 13b (A12-A0)
 - Column address = 9b (A8-A0)
- Selección de banco: 2b
- Frecuencia de reloj máx. 166 MHz
- Señalización: LVTTTL



Dispositivos en XSA-3S

conectados a pines exclusivos: VGA y PS2

- 2 pines de la FPGA están conectados a un conector PS/2.
- 11 pines de la FPGA están conectados a un conector VGA.
 - Las señales analógicas RGB son generadas por un DAC a partir de 9b de color.

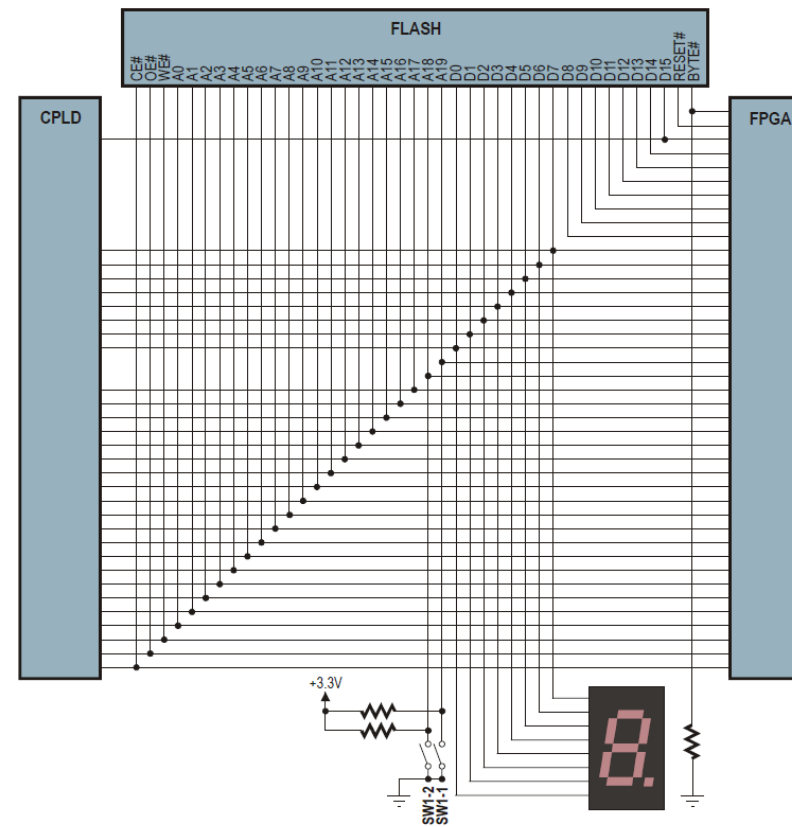




Dispositivos en XSA-3S

conectados a pines compartidos: display 7-segs

- 8 pines de la FPGA están conectados a un display 7 segmentos:
 - Usan **lógica directa** (se encienden enviando 1).
 - Están también conectados a pines del CPLD y al bus de datos de la Flash ROM.
 - Típicamente no interferirán por estar el CPLD/Flash activos solo durante configuración

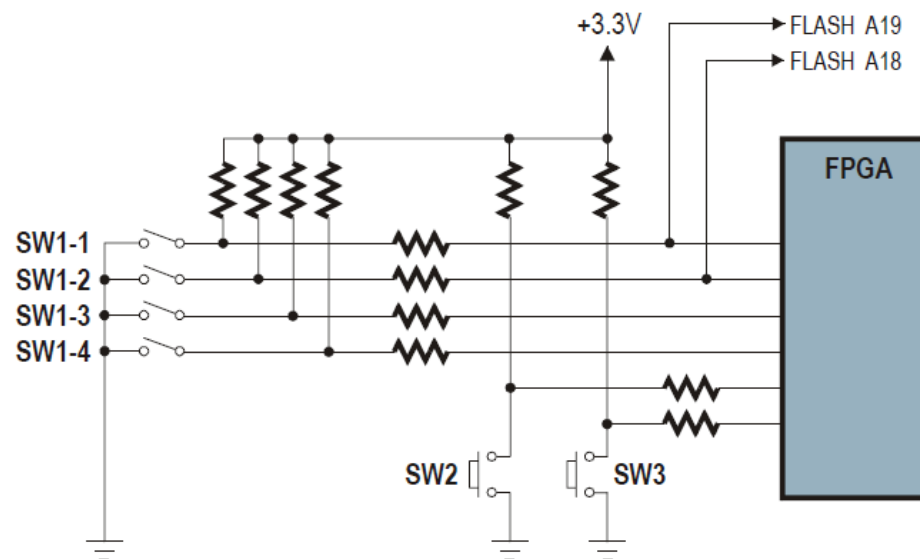


Dispositivos en XSA-3S

conectados a pines compartidos: pulsadores e interruptores



- 2 pines de la FPGA están conectados a 2 pulsadores:
 - Usan **lógica inversa** (envían 0 al ser pulsados).
- 4 pines de la FPGA están conectados a 4 interruptores:
 - Usan **lógica inversa** (envían 0 en posición ON).
 - 2 de ellos están conectados al bus de direcciones de la Flash ROM
 - El usuario puede seleccionar cual de las 4 posibles configuraciones almacenadas en la Flash ROM debe cargarse en la FPGA.
 - Típicamente no interferirán por estar la Flash activa solo durante configuración.



Dispositivos en XSA-3S

mapa de pines (i)



Reloj		
50 MHz	P8	<i>in</i>
100 MHz	T9	<i>in</i>

PS/2		
CLK	B16	<i>out</i>
DATA	E13	<i>in</i>

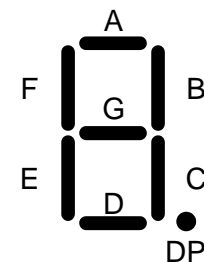
Pulsadores		
izq.	E11	<i>in</i>
der.	A13	<i>in</i>

VGA		
HSYNC	B7	<i>out</i>
VSYNC	D8	<i>out</i>
RED0	C8	<i>out</i>
RED1	D6	<i>out</i>
RED2	B1	<i>out</i>
GREEN0	A8	<i>out</i>
GREEN1	A5	<i>out</i>
GREEN2	C3	<i>out</i>
BLUE0	C9	<i>out</i>
BLUE1	E7	<i>out</i>
BLUE2	D5	<i>out</i>

7-segs		
A	R10	<i>out</i>
B	P10	<i>out</i>
C	M11	<i>out</i>
D	M6	<i>out</i>
E	N6	<i>out</i>
F	T7	<i>out</i>
G	R7	<i>out</i>
DP	N11	<i>out</i>

Interruptores		
1	K4	<i>in</i>
2	K3	<i>in</i>
3	K2	<i>in</i>
4	J4	<i>in</i>

Flash ROM		
CE	R4	<i>out</i>



Dispositivos en XSA-3S

mapa de pines (ii)

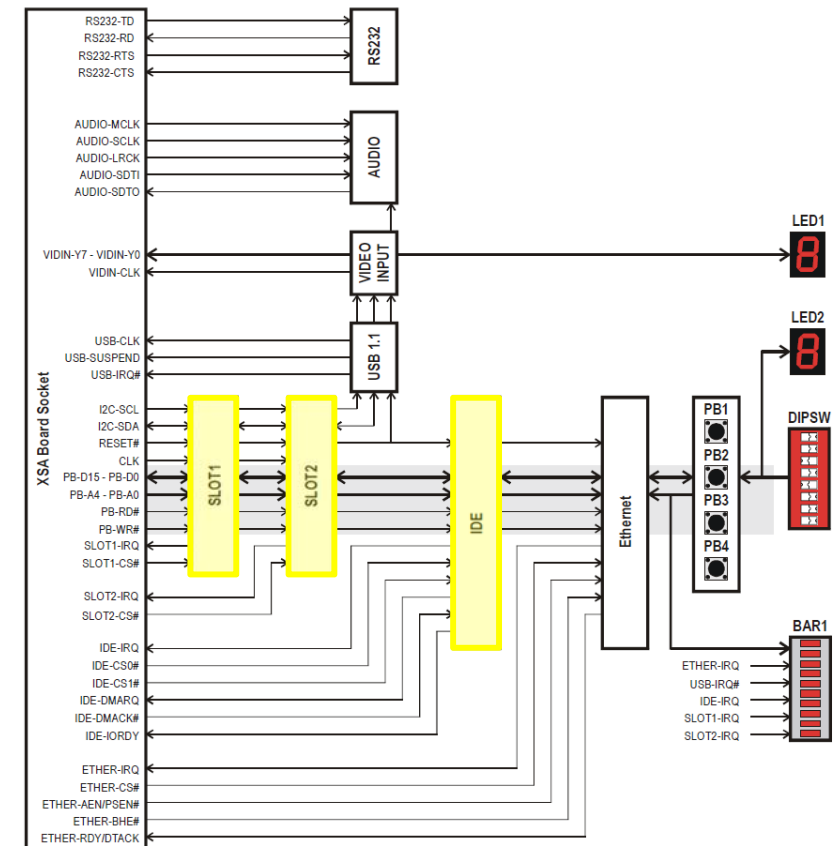
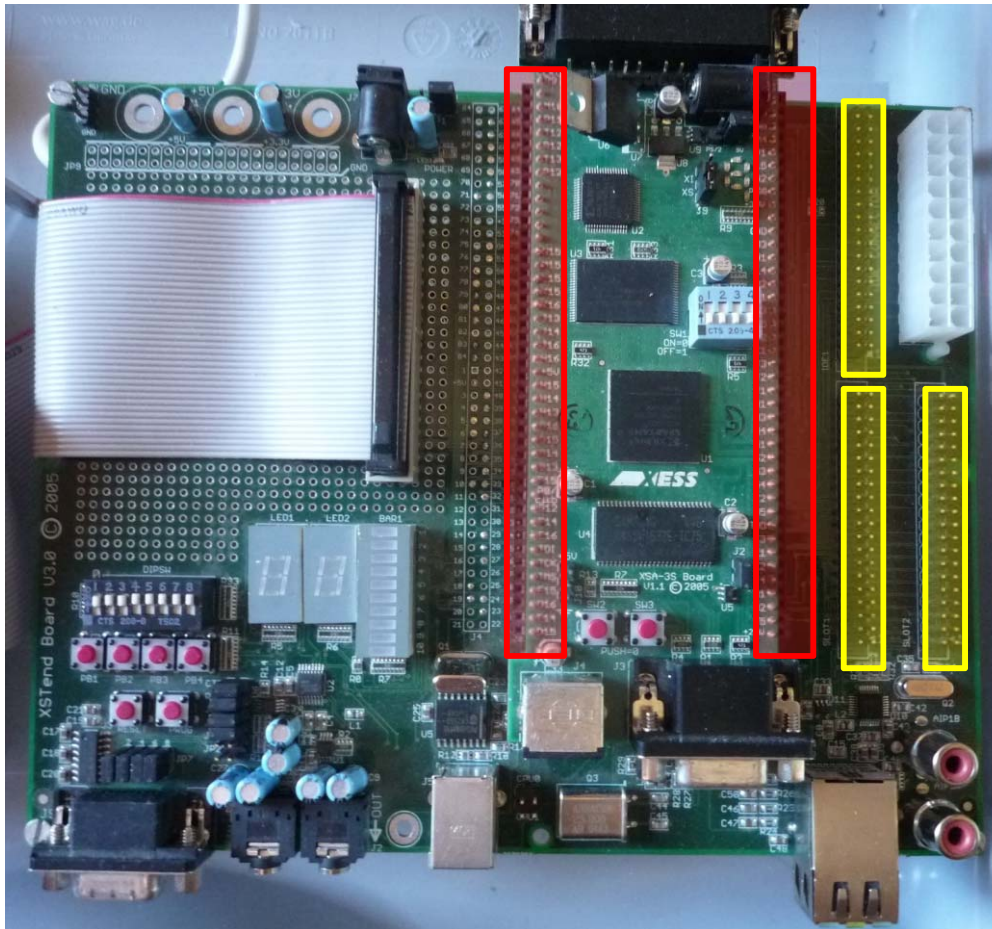


SDRAM														
CLK	E10	out		A0	B5	out		A11	C5	out		D9	B12	in-out
CLKFB	N8	in		A1	A4	out		A12	C6	out		D10	C12	in-out
CKE	D7	out		A2	B4	out		D0	C15	in-out		D11	B14	in-out
CS	B8	out		A3	E6	out		D1	D12	in-out		D12	D14	in-out
RAS	A9	out		A4	E3	out		D2	A14	in-out		D13	C16	in-out
CAS	A10	out		A5	C1	out		D3	B13	in-out		D14	F12	in-out
WE	B10	out		A6	E4	out		D4	D11	in-out		D15	F13	in-out
UDQM	D9	out		A7	D3	out		D5	A12	in-out				
LDQM	C10	out		A8	C2	out		D6	C11	in-out				
BA0	A7	out		A9	A3	out		D7	D10	in-out				
BA1	C7	out		A10	B6	out		D8	B11	in-out				

Dispositivos en XST



- 72 pines libres de la FPGA se conectan a dispositivos de la placa XST a través de 2 zócalos dobles de 42 pines cada uno.
 - Accesibles desde el mismo zócalo o a través de los conectores IDE / SLOT1 / SLOT2

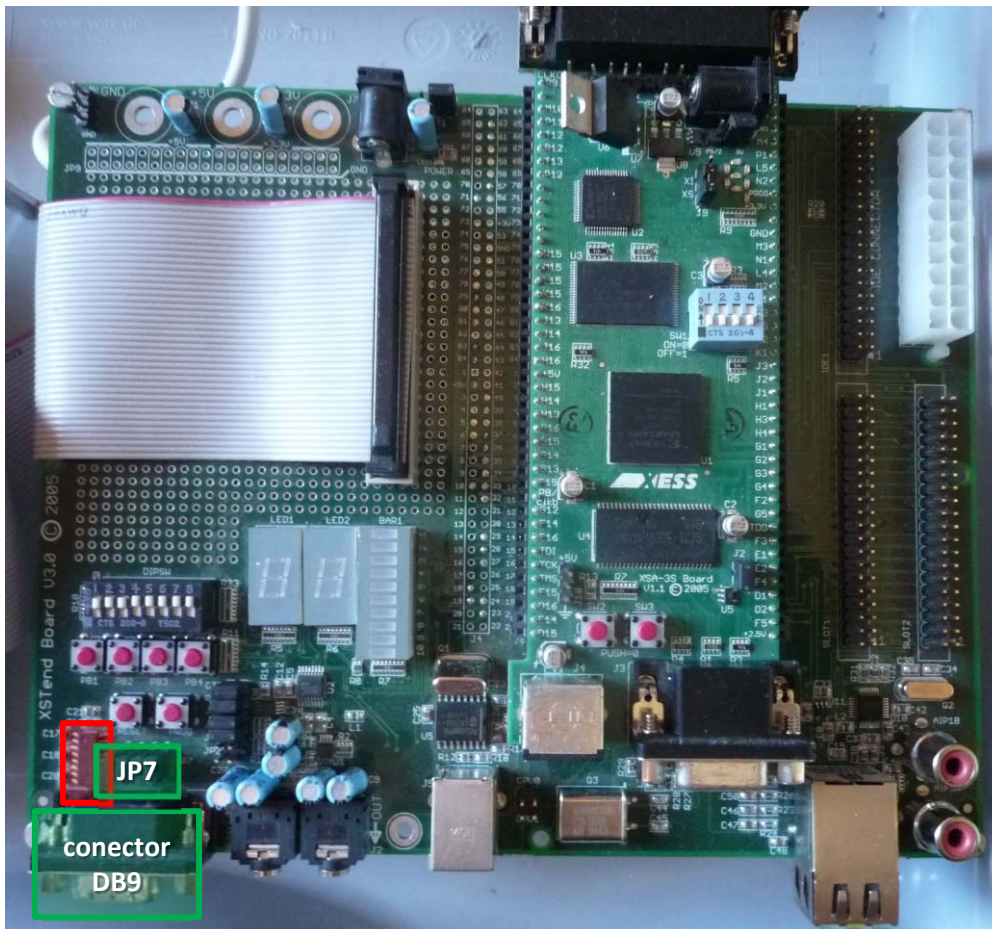




Dispositivos en XST

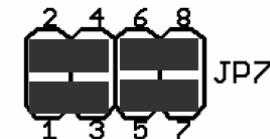
conectados a pines exclusivos: RS-232

- 4 pines de la FPGA están conectados a un conector RS-232:
 - 2 a líneas de datos serie: TD (salida) y RD (entrada).
 - 2 a líneas para control de flujo por handshake: RTS (salida) y CTS (entrada).



- 4 jumpers permiten conectar la FPGA a un host a través de:

- cable serie directo (terminales de distinto género: conecta RD-TD y TD-RD)



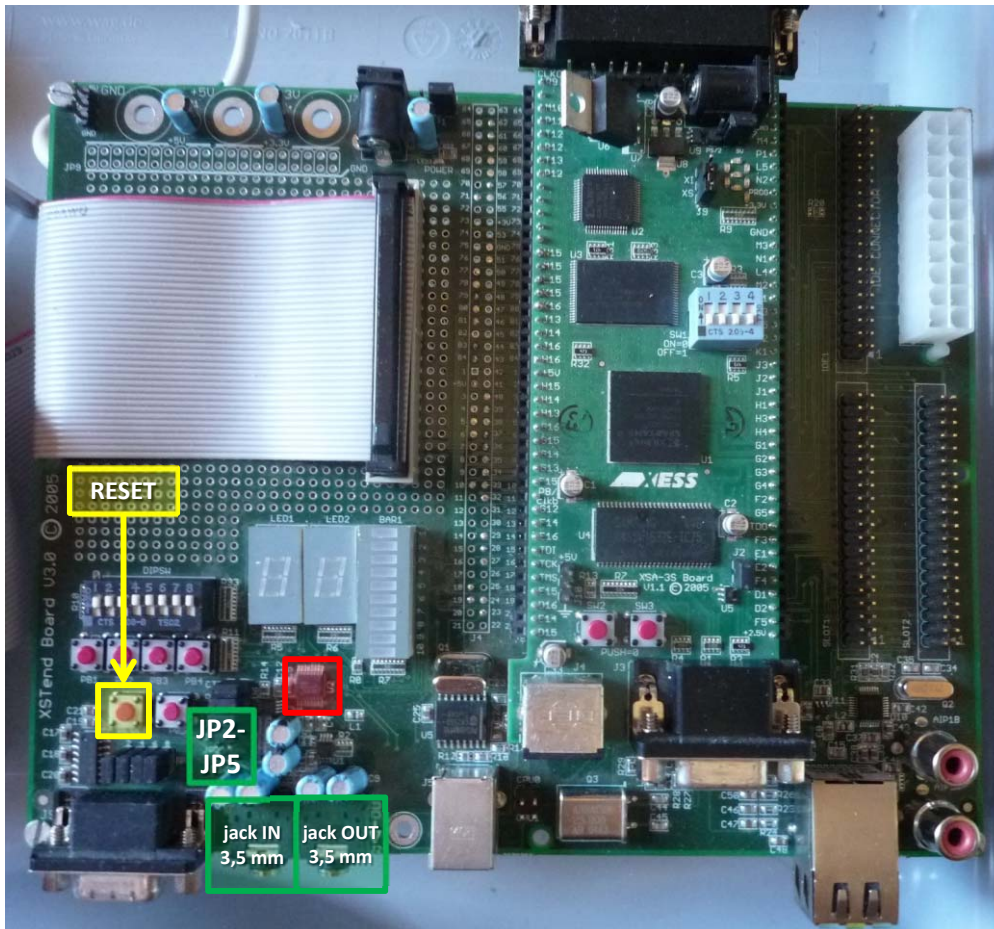
- cable serie cruzado / modem nulo (terminales del mismo género: conecta RD-RD y TD-TD)



Dispositivos en XST

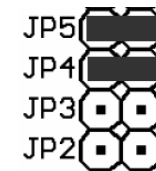
conectados a pines exclusivos: audio codec IIS (i)

- 5 pines de la FPGA están conectados al bus IIS de un Audio Codec estéreo (AK4551)

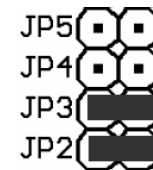


- 4 jumpers permiten conectar la FPGA a una fuente de audio que:

- no necesita amplificación (por ejemplo, un reproductor de CD)



- que necesita amplificación (por ejemplo, un micrófono pasivo)



Dispositivos en XST

conectados a pines exclusivos: audio codec IIS (ii)



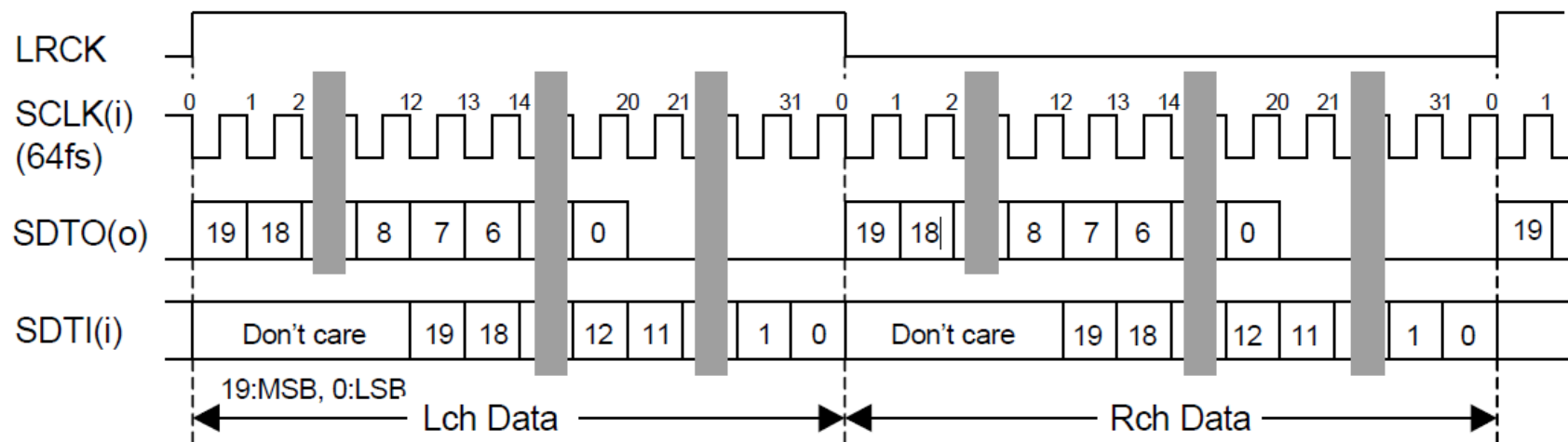
- **IIS** (Integrated Interchip Sound) es un **bus serie síncrono** para la transmisión de audio estéreo entre dispositivos digitales.
 - Tiene 2 líneas unidireccionales de datos serie: **SDTI** (entrada) y **SDTO** (salida).
 - Permite el envío/recepción simultánea de muestras de sonido.
 - Tiene 3 líneas de reloj: **SCLK** (transmisión de datos serie), **LRCK** (selección de canal izquierdo/derecho), **MCLK** (reloj principal).
 - Las frecuencias de los relojes **se definen relativas a la frecuencia de muestreo (f_s)**
 - LRCK: f_s
 - SCLK: $(\text{bits/muestra}) \times (\text{número de canales}) \times f_s$
 - MCLK: $256 f_s / 384 f_s / 512 f_s$
 - Todos los datos transmitidos están codificados en C2 (MSB first) con un número de bits no definido (depende del emisor/receptor).
 - Los datos serán truncados o extendidos con 0 según convenga en el emisor/receptor.
 - La transmisión de datos es continua
 - El maestro genera las señales de reloj
 - Emisor y receptor generan las señales de datos de audio alternando muestras del canal izquierdo y derecho.

Dispositivos en XST

conectados a pines exclusivos: audio codec IIS (iii)



- Las muestras de sonido en el **Audio Codec** AK4551
 - Son de 20 bits
 - Se transmiten según un cronograma fijo:

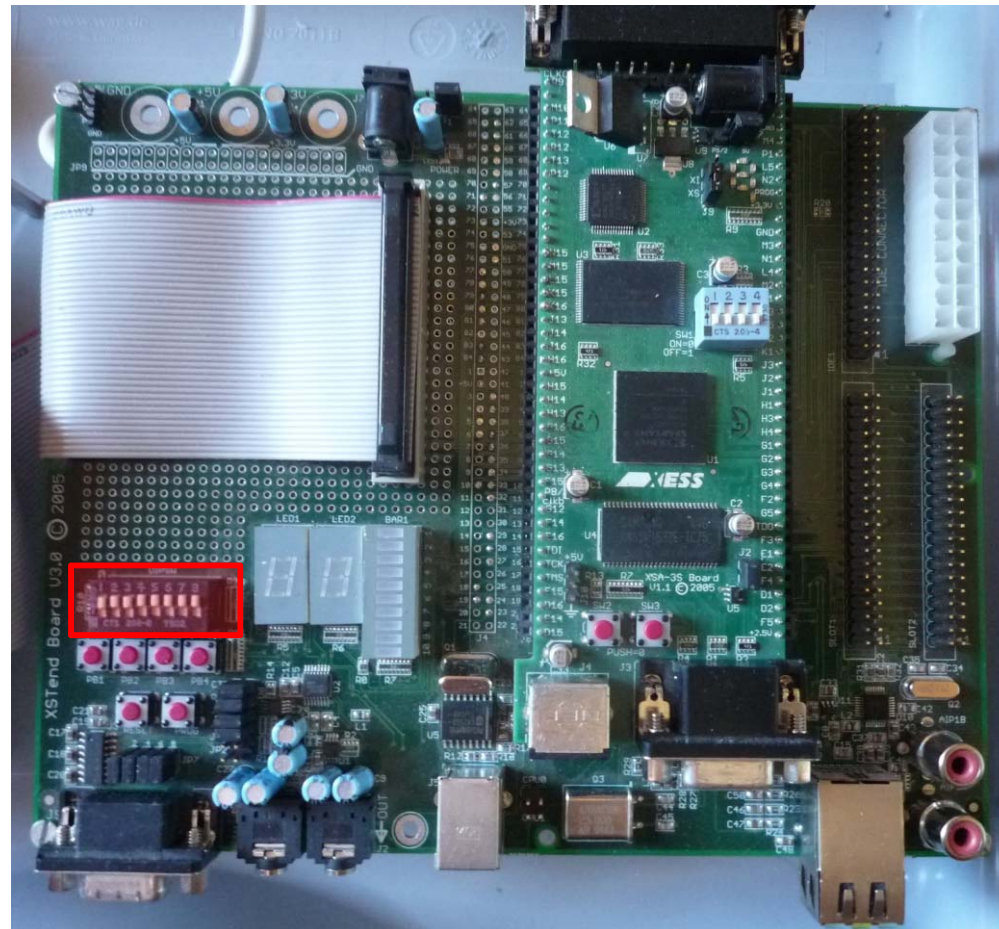


- La relación entre las frecuencias de los relojes es fija:
 - $f_{LRCLK} = f_s$
 - $f_{SCLK} = 64 f_s$
 - $f_{MCLK} = 256 f_s$

Dispositivos en XST

conectados a pines compartidos: interruptores

- 8 pines de la FPGA están conectados a 8 interruptores.
 - Usan **lógica inversa** (envían 0 en posición ON).
 - Comparten conexión con el bus de datos del Controlador de Ethernet.

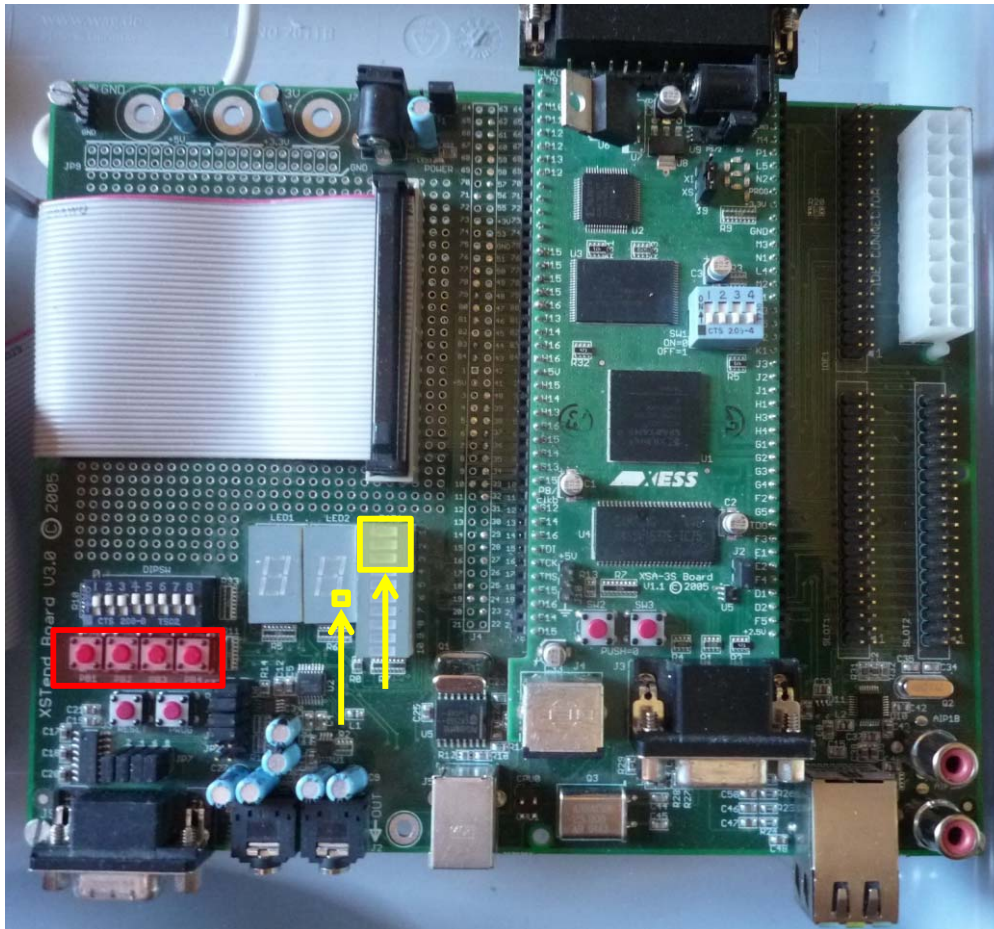


Dispositivos en XST

conectados a pines compartidos: pulsadores



- 4 pines de la FPGA están conectados a 4 pulsadores.
 - Usan **lógica inversa** (envían 0 al ser pulsados).
 - Comparten conexión con LEDs, 7-seg derecho y controlador Ethernet



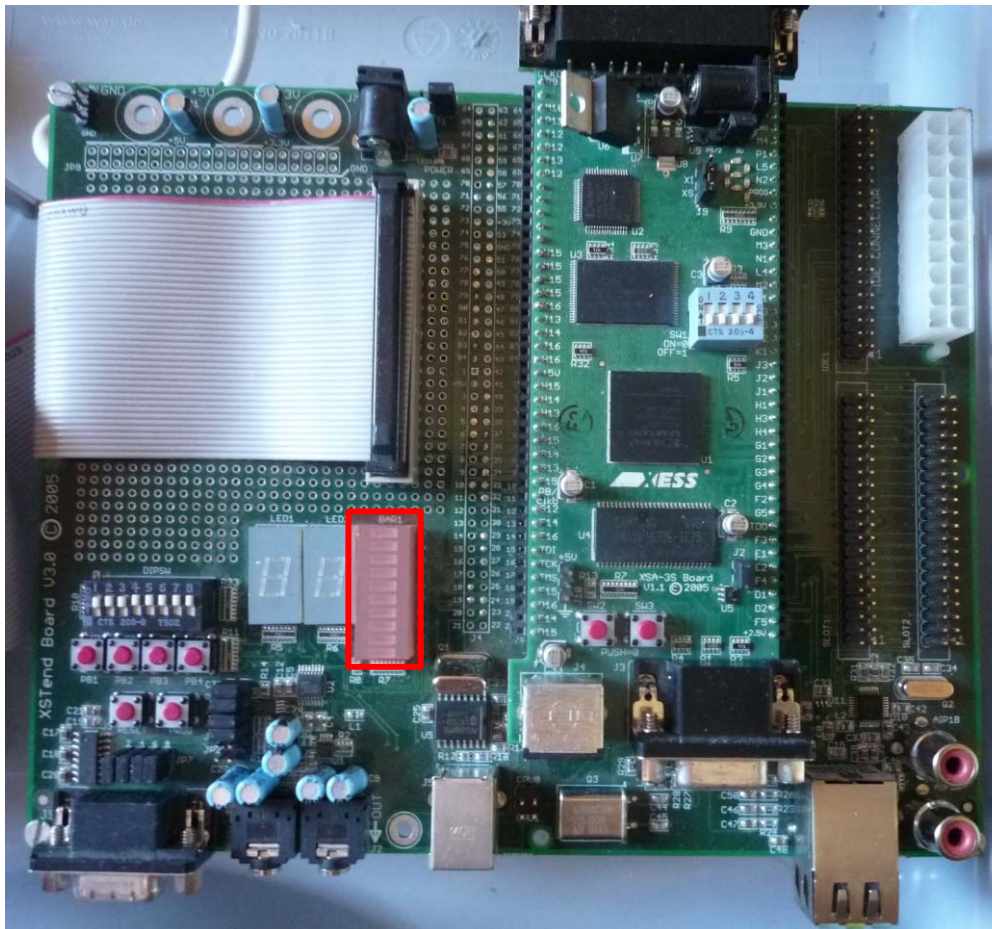
- Conexiones compartidas:
 - Pulsador 2 – LED 1 – Bus dir. Ethernet
 - Pulsador 3 – LED 2 – Bus dir. Ethernet
 - Pulsador 4 – LED 3 – Bus dir. Ethernet
 - Pulsador 1 – Punto del 7-seg derecho
- Si el pin de la FPGA:
 - **no se usa** o se configura como **entrada**, prevalece el valor del pulsador.
 - se configura como **salida**, prevalece el valor que envíe la FPGA.

Dispositivos en XST

conectados a pines compartidos: LEDs



- 10 pines de la FPGA están conectados a 10 LEDs.
 - Usan **lógica directa** (se encienden enviando 1).
 - Comparten conexión con pulsadores y controladores de Ethernet y USB.

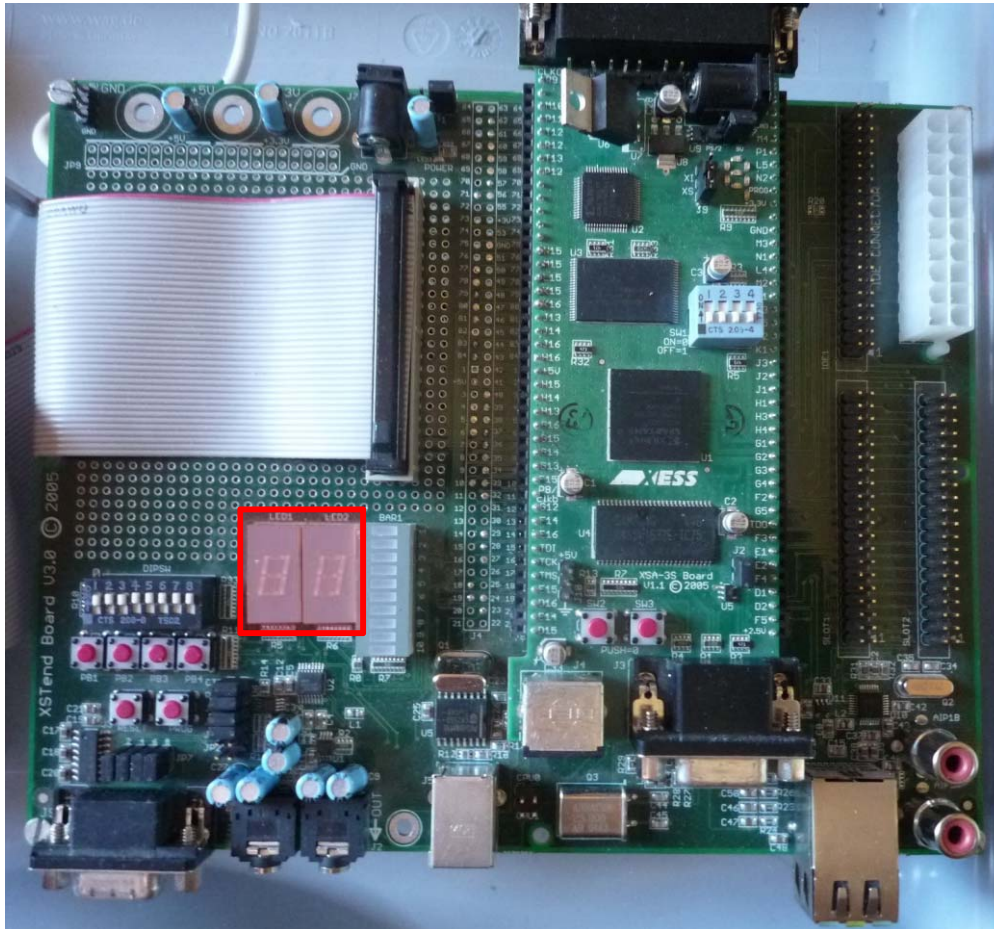


- Conexiones compartidas:
 - LED 1 – Pulsador 2 – Bus dir. Ethernet
 - LED 2 – Pulsador 3 – Bus dir. Ethernet
 - LED 3 – Pulsador 4 – Bus dir. Ethernet
 - LED 4 – Bus dir. Controlador Ethernet
 - LED 5 – Bus dir. Controlador Ethernet
 - LED 6 – IRQ controlador Ethernet
 - LED 7 – IRQ controlador USB
 - LED 8 – Bus dir. controlador Ethernet
 - LED 9 – Bus dir. controlador Ethernet
 - LED 10 – Bus dir. controlador Ethernet

Dispositivos en XST

conectados a pines compartidos: displays 7-segs

- 16 pines de la FPGA están conectados a 2 displays 7-segs.
 - Usan **lógica directa** (se encienden enviando 1).
 - Comparten conexión con pulsadores, controlador de Ethernet y Video Decoder



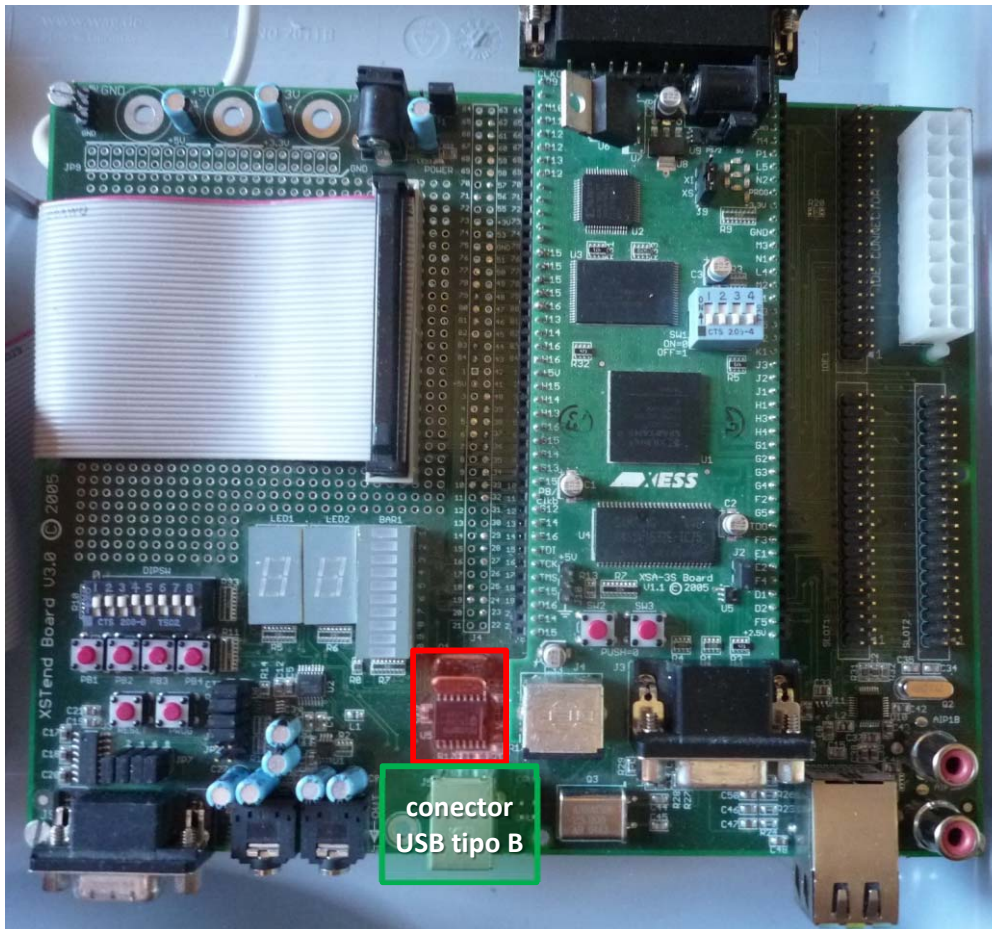
- Conexiones compartidas:
 - 7-segs izquierdo – Bus datos Video Decoder
 - 7-segs derecho – Bus de datos Ethernet
 - Punto del 7-seg derecho – Pulsador 1



Dispositivos en XST

conectados a pines compartidos: controlador USB (i)

- 5 pines de la FPGA están conectados a un Controlador USB (PDIUSBD11):
 - 2 al bus IIC
 - 3 a salidas del dispositivo: reloj, petición interrupción, testigo de modo suspendido.



- La configuración del controlador y la comunicación USB se hace mediante el envío de comandos y datos a través de un bus IIC
 - Dirección del registro de comandos: 0x1B
 - Dirección del registro de datos: 0x1A
- Permiten prototipar periféricos USB usando la FPGA.
- Conexiones compartidas:
 - IRQ controlador USB – LED 7



Dispositivos en XST

conectados de manera dedicada: controlador USB (ii)

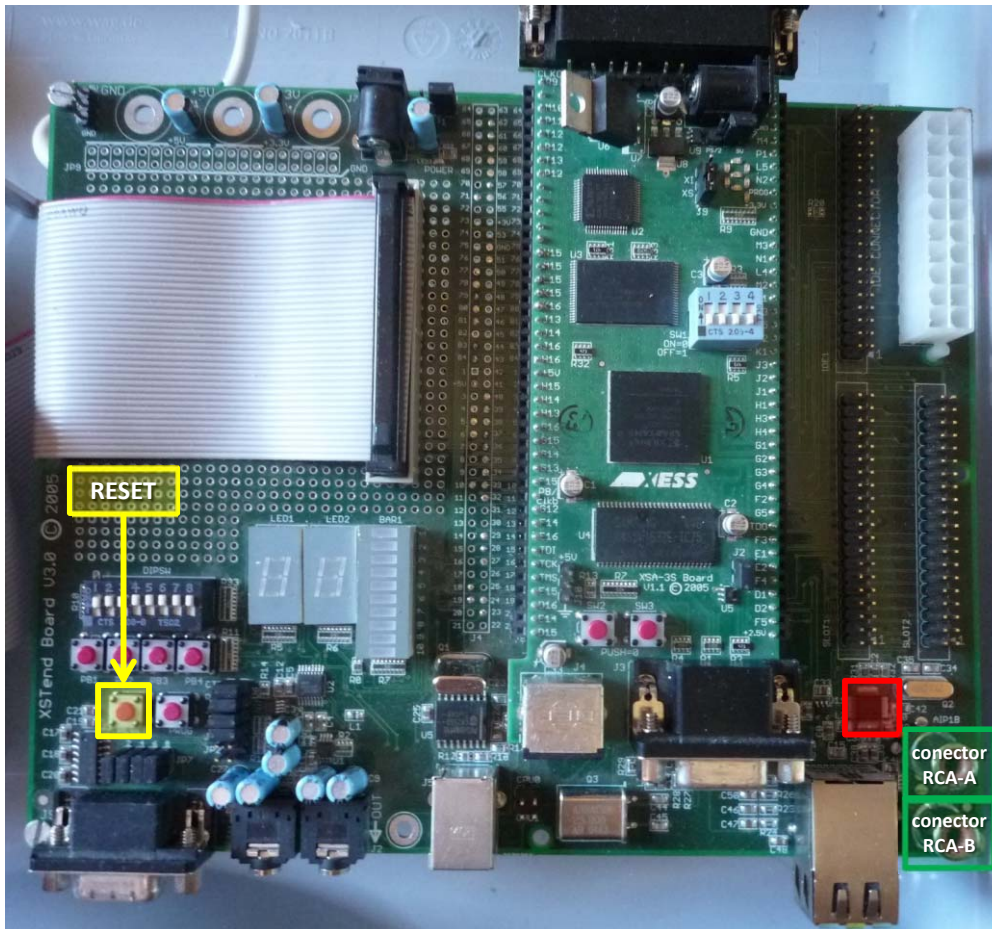


- IIC (Inter Integrated Circuits) es un **bus serie síncrono multi-master**
 - Tiene 2 líneas bidireccionales: **SDA** (datos serie) y **SCL** (reloj).
 - Si el bus está libre ambas están en alta.
 - Comunicación master-slave
 - El maestro gobierna el inicio/fin de la transferencia y genera el reloj.
 - Puede haber varios maestros/esclavos conectados en un mismo bus
 - Existe un mecanismo de arbitraje.
 - Todos los datos transmitidos son de 8 bits (MSB first) y deben ser reconocidos individualmente (ACK).
 - Soporta altas tasas de transferencia (hasta 400 Kb/s)
- **Protocolo básico:**
 - El maestro inicia la transmisión generando la start condition (transición 1-0 en SDA).
 - todos los esclavos se ponen en alerta
 - El maestro envía la dirección del esclavo (7b) y el tipo de operación R/W (1b)
 - todos esclavos comparan la dirección con la suya y el esclavo aludido envía ACK
 - si la dirección es de 10b se envía en 2 trozos
 - Se transmiten un número indefinido de datos (8b) reconocidos individualmente (1b).
 - El maestro finaliza la transmisión generando la stop condition (transición 0-1 en SDA)

Dispositivos en XST

conectados a pines compartidos: video decoder

- 11 pines de la FPGA están conectados a un Video Decoder (TVP5150A):
 - 2 al bus IIC
 - 9 a un bus paralelo síncrono: 8 datos de vídeo + 1 reloj



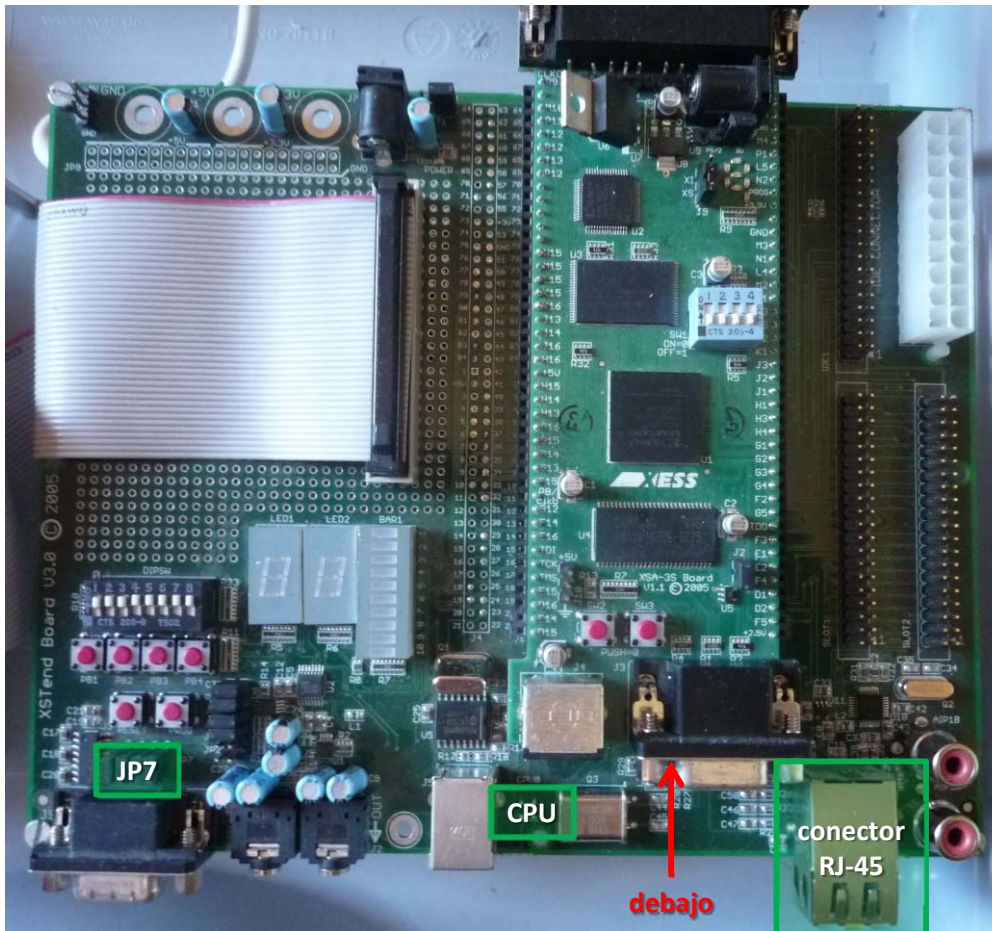
- La configuración del controlador se hace mediante el envío de datos a través de un bus IIC
 - Dirección del dispositivo: 0x5C
- La recepción de datos de vídeo (pixels y sincronización) se realiza en paralelo a flancos de subida de la señal de reloj.
- Conexiones compartidas:
 - Bus datos – 7-segs izq.



Dispositivos en XST

conectados a pines compartidos: controlador Ethernet

- 28 pines de la FPGA están conectados a un Controlador de Ethernet (AX88796)
 - Usa un bus tipo bus local de microprocesador



- 2 jumpers permiten definir el protocolo de bus que usará el controlador para comunicarse:
 - MCS-51 / MC68K / 80186 / ISA
- Conexiones compartidas:
 - Bus datos (15:8) – 7-segs der. – Pulsador 1
 - Bus datos (7:0) – interruptores
 - IRQ – LED 6
 - Bus direcciones – Pulsadores – LEDs



Dispositivos en XST

mapa de pines (i)



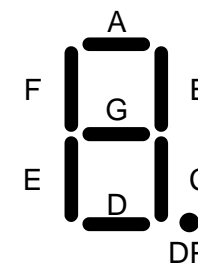
UART		
TD	J2	<i>out</i>
RD	G5	<i>in</i>
CTS	D1	<i>in</i>
RTS	F4	<i>out</i>

Audio Codec		
MCLK	P11	<i>out</i>
SCLK	T12	<i>out</i>
LRCK	R12	<i>out</i>
STDI	M10	<i>out</i>
STDO	K5	<i>in</i>

LEDs		
1	L5	<i>out</i>
2	N2	<i>out</i>
3	M3	<i>out</i>
4	N1	<i>out</i>
5	T13	<i>out</i>
6	L15	<i>out</i>
7	J13	<i>out</i>
8	H15	<i>out</i>
9	J16	<i>out</i>
10	J14	<i>out</i>

7-segs izq.		
A	H14	<i>out</i>
B	M4	<i>out</i>
C	P1	<i>out</i>
D	N3	<i>out</i>
E	M15	<i>out</i>
F	H13	<i>out</i>
G	G16	<i>out</i>
DP	N15	<i>out</i>

7-segs der.		
A	E2	<i>out</i>
B	E1	<i>out</i>
C	F3	<i>out</i>
D	F2	<i>out</i>
E	G4	<i>out</i>
F	G3	<i>out</i>
G	G1	<i>out</i>
DP	H4	<i>out</i>



Dispositivos en XST

mapa de pines (ii)



Interruptores		
1	P12	<i>out</i>
2	J1	<i>out</i>
3	H1	<i>out</i>
4	H3	<i>out</i>
5	G2	<i>out</i>
6	K15	<i>out</i>
7	K16	<i>out</i>
8	F15	<i>out</i>

Pulsadores		
1	H4	<i>in</i>
2	L5	<i>in</i>
3	N2	<i>in</i>
4	M3	<i>in</i>

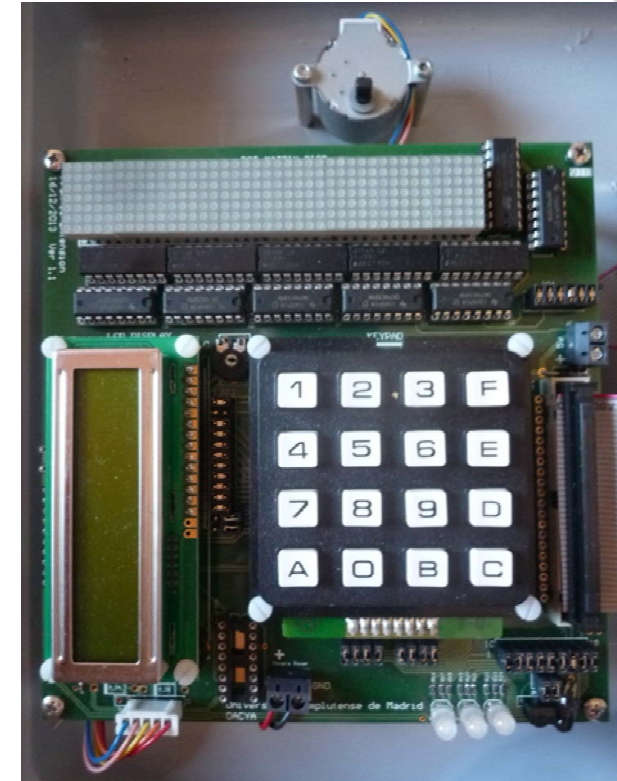
Ethernet		
CS	G13	<i>out</i>

Bus IIC		
SCL	F5	<i>out</i>
SDA	D2	<i>in-out</i>

La placa de dispositivos Fdi-UCM

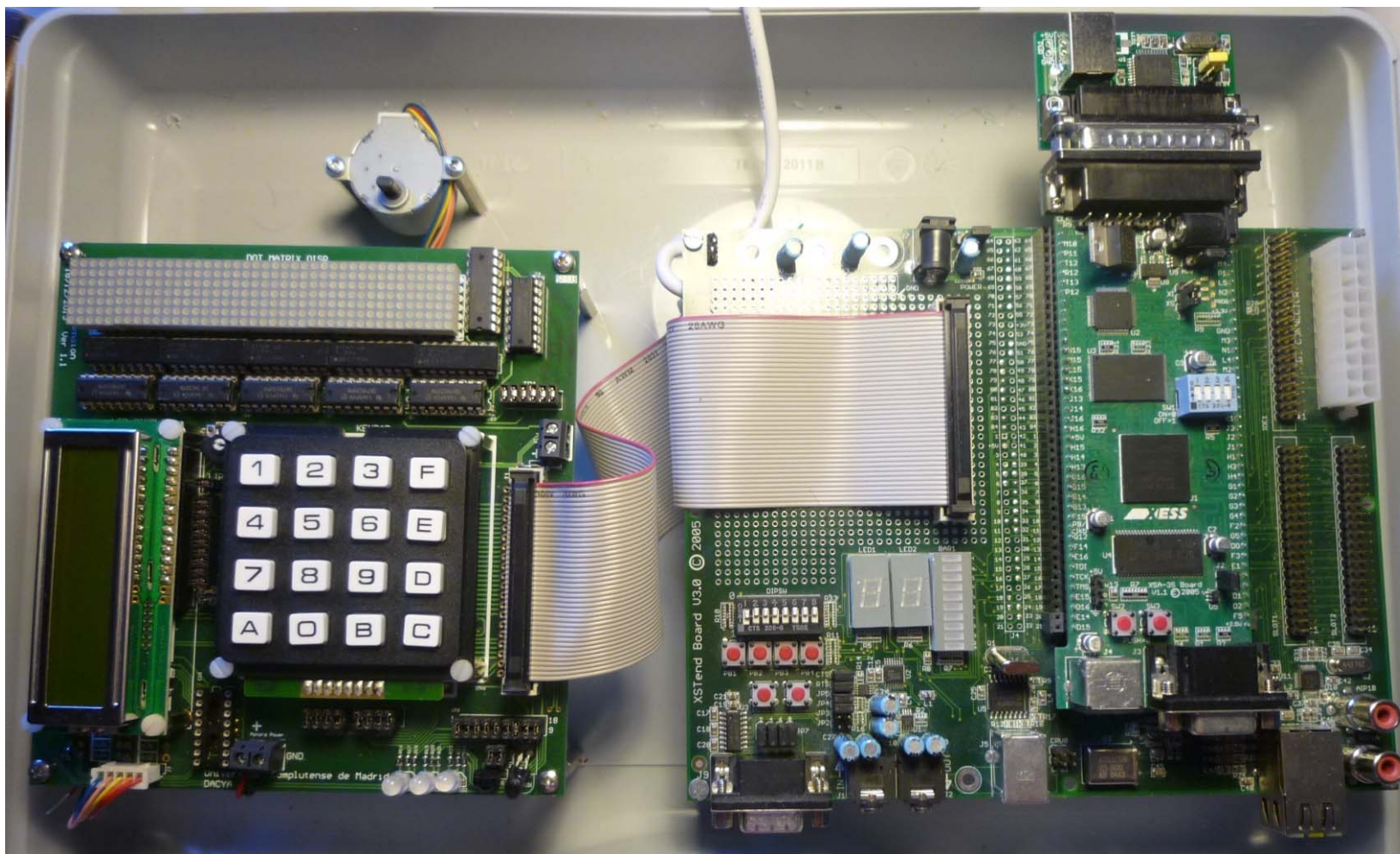


- Teclado matricial 4x4
- 3 LEDs tricolor
- Matriz 40x7 LEDs
- LCD 2x16 caracteres
- Emisor/receptor de infrarrojos
- Conector a zumbador / ventilador
- Conector a altavoz
- Conector a motor paso a paso
- Conector IIC
- Conversor A/D de 8 canales



- A través del conector IIC y del conversor A/D es posible acceder a un gran número de dispositivos tanto digitales como analógicos:
 - Sensores, EPROM, RTC, etc.

Poniéndolo todo junto





Acerca de *Creative Commons*



■ Licencia CC (*Creative Commons*)

- Ofrece algunos derechos a terceras personas bajo ciertas condiciones. Este documento tiene establecidas las siguientes:



Reconocimiento (*Attribution*):

En cualquier explotación de la obra autorizada por la licencia hará falta reconocer la autoría.



No comercial (*Non commercial*):

La explotación de la obra queda limitada a usos no comerciales.



Compartir igual (*Share alike*):

La explotación autorizada incluye la creación de obras derivadas siempre que mantengan la misma licencia al ser divulgadas.

Más información: <https://creativecommons.org/licenses/by-nc-sa/4.0/>