自制操作系统 -准备篇

向阳曦 2017211279 2017211301

1 课题硬件环境描述

1 硬件: TEC-8 实验电路

1 74181ALU 等

2 可编程逻辑芯片 EPM7128

2 软件: Quartus II 9.0

2 题目分析

2.1 实验目标

1 完成硬连线控制器基础设计

2 在原指令的基础上扩指至少三条

3 修改 PC 指针功能

4 完成流水硬连线控制器基础设计

5 在原指令的基础上扩指至少三条

6 修改 PC 指针功能

2.2 设计思路

1 画出硬连线控制器运行流程图

2 将硬连线控制器运行流程图翻译成硬连线信号

3 将硬连线信号翻译成 VHDL 多分支程序

3 团队分工

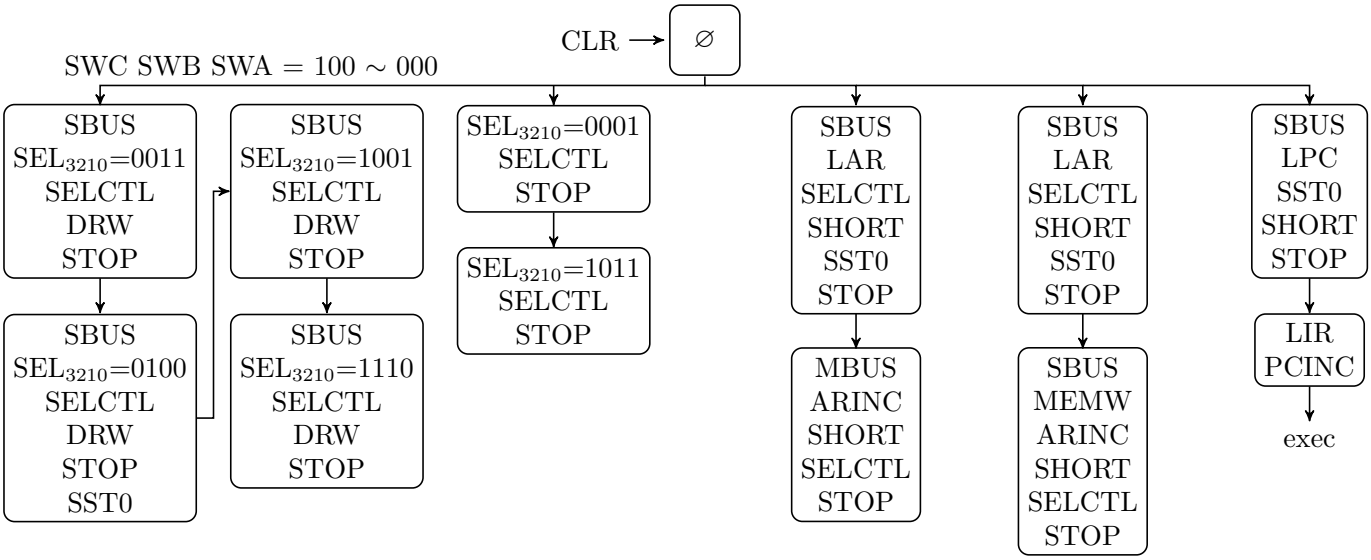
向阳曦负责程序指令翻译, 张逸群负责控制台程序。

合并一起以后, 两人一起完成控制器程序的测试。

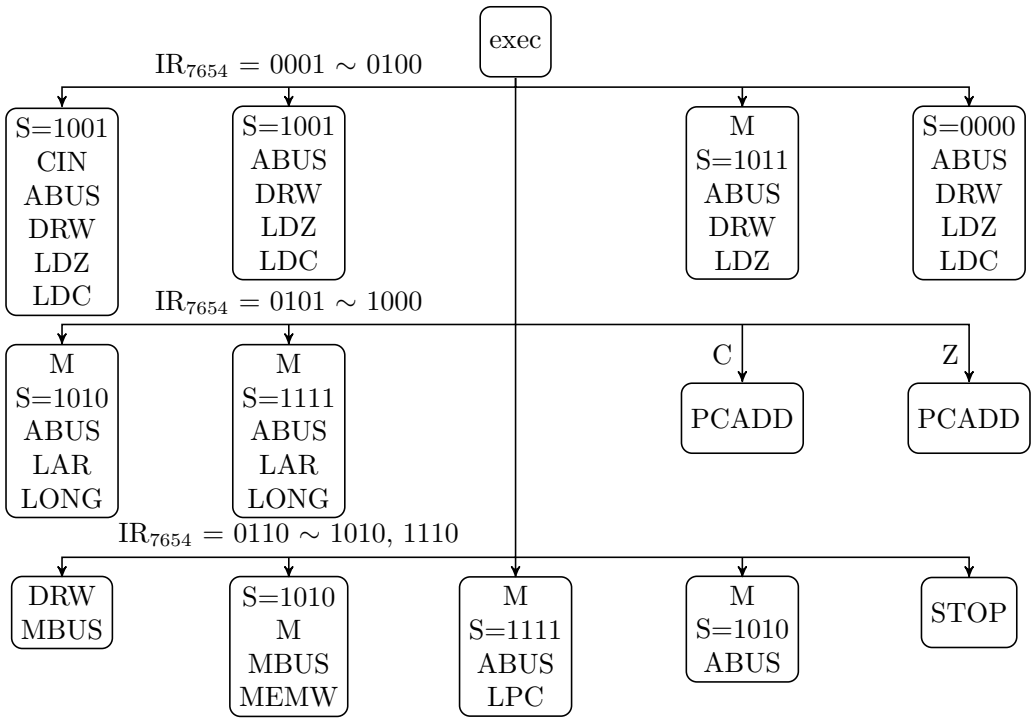
4 设计详解

4.1 硬连线控制器

4.1.1 设计硬连线控制器运行流程图



其中 CLR 表示转移到 ∅. 任意没有出边的状态也都转移到 ∅, 任意时刻传入 CLR 信号也都转移到 ∅.



上图显示了从左到右, 从上到下依次为 ADD, SUB, AND, INC, LD, ST, JC, JZ, JMP, OUT, STP 的所有指令.

需要注意的是, 如果某条指令包含 SHORT, 那么它是一个单拍指令, 如果某条指令包含 LONG, 那么它的下一拍还属于该指令, 计三拍.

4.1.2 翻译成硬连线信号

SBUS ←

$$(\mathrm{W1} + \mathrm{W2}) \cdot \mathrm{SWC} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} +$$

$$\mathrm{W1} \cdot \overline{\mathrm{SWC}} \cdot \mathrm{SWB} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{ST0}} +$$

$$\mathrm{W1} \cdot \overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \mathrm{SWA} +$$

$$\mathrm{W1} \cdot \overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{ST0}}$$

MBUS ←

$$\mathrm{W1} \cdot \overline{\mathrm{SWC}} \cdot \mathrm{SWB} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{ST0} +$$

$$W3 \cdot \overline{IR7} \cdot IR6 \cdot \overline{IR5} \cdot IR4 \cdot \overline{SWC} \cdot \overline{SWB} \cdot \overline{SWA}$$

ABUS $\leftarrow$

$$\overline{SWC} \cdot \overline{SWB} \cdot \overline{SWA} \cdot \overline{IR7} \cdot \overline{IR6} \cdot \overline{IR5} \cdot IR4 \cdot W2+$$

$$\overline{SWC} \cdot \overline{SWB} \cdot \overline{SWA} \cdot \overline{IR7} \cdot \overline{IR6} \cdot IR5 \cdot \overline{IR4} \cdot W2+$$

$$\overline{SWC} \cdot \overline{SWB} \cdot \overline{SWA} \cdot \overline{IR7} \cdot \overline{IR6} \cdot IR5 \cdot IR4 \cdot W2+$$

$$\overline{SWC} \cdot \overline{SWB} \cdot \overline{SWA} \cdot \overline{IR7} \cdot IR6 \cdot \overline{IR5} \cdot \overline{IR4} \cdot W2+$$

$$\overline{SWC} \cdot \overline{SWB} \cdot \overline{SWA} \cdot \overline{IR7} \cdot IR6 \cdot \overline{IR5} \cdot IR4 \cdot W2+$$

$$\overline{SWC} \cdot \overline{SWB} \cdot \overline{SWA} \cdot \overline{IR7} \cdot IR6 \cdot IR5 \cdot \overline{IR4} \cdot (W2 + W3)+$$

$$\overline{SWC} \cdot \overline{SWB} \cdot \overline{SWA} \cdot IR7 \cdot \overline{IR6} \cdot \overline{IR5} \cdot IR4 \cdot W2+$$

$$\overline{SWC} \cdot \overline{SWB} \cdot \overline{SWA} \cdot IR7 \cdot \overline{IR6} \cdot IR5 \cdot \overline{IR4} \cdot W2$$

LAR $\leftarrow$

$$W1 \cdot \overline{SWC} \cdot SWB \cdot \overline{SWA} \cdot \overline{ST0}+$$

$$W1 \cdot \overline{SWC} \cdot \overline{SWB} \cdot SWA \cdot \overline{ST0}+$$

$$\overline{SWC} \cdot \overline{SWB} \cdot \overline{SWA} + \cdot\overline{IR7} \cdot IR6 \cdot \overline{IR5} \cdot IR4 \cdot W2+$$

$$\overline{SWC} \cdot \overline{SWB} \cdot \overline{SWA} + \cdot\overline{IR7} \cdot IR6 \cdot IR5 \cdot \overline{IR4} \cdot W2$$

SST0 $\leftarrow$

$$W1 \cdot \overline{SWC} \cdot SWB \cdot \overline{SWA} \cdot \overline{ST0}+$$

$$W2 \cdot SWC \cdot \overline{SWB} \cdot \overline{SWA} \cdot \overline{ST0}+$$

$$W1 \cdot \overline{SWC} \cdot \overline{SWB} \cdot SWA \cdot \overline{ST0}+$$

$$W1 \cdot \overline{SWC} \cdot \overline{SWB} \cdot \overline{SWA} \cdot \overline{ST0}$$

$$\text{SHORT} \leftarrow$$

$$\text{W1} \cdot \overline{\text{SWC}} \cdot \text{SWB} \cdot \overline{\text{SWA}} +$$

$$\text{W1} \cdot \overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \text{SWA} +$$

$$\text{W1} \cdot \overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \overline{ST0}$$

$$\text{ARINC} \leftarrow$$

$$\text{W1} \cdot \overline{\text{SWC}} \cdot \text{SWB} \cdot \overline{\text{SWA}} \cdot \text{ST0} +$$

$$\text{W1} \cdot \overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \text{SWA} \cdot \text{ST0}$$

$$\text{MEMW} \leftarrow$$

$$\text{W1} \cdot \overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \text{SWA} \cdot \text{ST0} +$$

$$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \overline{\text{IR7}} \cdot \text{IR6} \cdot \text{IR5} \cdot \overline{\text{IR4}} \cdot \text{W3}$$

$$\text{LIR} \leftarrow$$

$$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{ST0} \cdot \text{W1}$$

$$\text{CIN} \leftarrow$$

$$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \overline{\text{IR7}} \cdot \overline{\text{IR6}} \cdot \overline{\text{IR5}} \cdot \overline{\text{IR4}} \cdot \text{W2}$$

$$\text{M} \leftarrow$$

$$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \overline{\text{IR7}} \cdot \overline{\text{IR6}} \cdot \text{IR5} \cdot \text{IR4} \cdot \text{W2} +$$

$$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \overline{\text{IR7}} \cdot \text{IR6} \cdot \overline{\text{IR5}} \cdot \text{IR4} \cdot \text{W2} +$$

$$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \overline{\text{IR7}} \cdot \text{IR6} \cdot \text{IR5} \cdot \overline{\text{IR4}} \cdot (\text{W2} + \text{W3}) +$$

$$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{IR7} \cdot \overline{\text{IR6}} \cdot \overline{\text{IR5}} \cdot \text{IR4} \cdot \text{W2} +$$

$$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{IR7} \cdot \overline{\text{IR6}} \cdot \text{IR5} \cdot \overline{\text{IR4}} \cdot \text{W2}$$

SEL0←

$$\mathrm{SWC} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{W1}$$

SEL1←

$$\mathrm{SWC} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{W2} \cdot \mathrm{ST0}$$

$$\mathrm{SWC} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{W1} \cdot \overline{\mathrm{ST0}}$$

SEL2←

$$\mathrm{SWC} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{W2}$$

SEL3←

$$\mathrm{SWC} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{W1} \cdot \mathrm{ST0}+$$

$$\mathrm{SWC} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{W2} \cdot \overline{\mathrm{ST0}}$$

STOP←

$$\mathrm{SWA} + \mathrm{SWB} + \mathrm{SWC}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{IR7} \cdot \mathrm{IR6} \cdot \mathrm{IR5} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{ST0} \cdot \mathrm{W2}$$

SELCTL←

$$\mathrm{SWA} + \mathrm{SWB} + \mathrm{SWC}$$

DRW←

$$\mathrm{SWC} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{ST0} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \overline{\mathrm{IR5}} \cdot \mathrm{IR4} \cdot \mathrm{W2}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{ST0} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \mathrm{IR5} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W2}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{ST0} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \mathrm{IR5} \cdot \mathrm{IR4} \cdot \mathrm{W2}+$$

$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{ST0} \cdot \overline{\text{IR7}} \cdot \text{IR6} \cdot \overline{\text{IR5}} \cdot \overline{\text{IR4}} \cdot \text{W2}+$

$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{ST0} \cdot \overline{\text{IR7}} \cdot \text{IR6} \cdot \overline{\text{IR5}} \cdot \text{IR4} \cdot \text{W3}$

PCADD←

$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{ST0} \cdot \overline{\text{IR7}} \cdot \text{IR6} \cdot \text{IR5} \cdot \text{IR4} \cdot \text{C} \cdot \text{W2}+$

$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{ST0} \cdot \text{IR7} \cdot \overline{\text{IR6}} \cdot \overline{\text{IR5}} \cdot \overline{\text{IR4}} \cdot \text{Z} \cdot \text{W2}$

PCINC←

$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{ST0} \cdot \text{W1}$

LPC←

$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \overline{\text{ST0}} \cdot \text{W2}$

LONG←

$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{W2} \cdot \overline{\text{IR7}} \cdot \text{IR6} \cdot \overline{\text{IR5}} \cdot \text{IR4}+$

$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{W2} \cdot \overline{\text{IR7}} \cdot \text{IR6} \cdot \text{IR5} \cdot \overline{\text{IR4}}$

LDC←

$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{ST0} \cdot \overline{\text{IR7}} \cdot \overline{\text{IR6}} \cdot \overline{\text{IR5}} \cdot \text{IR4} \cdot \text{W2}+$

$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{ST0} \cdot \overline{\text{IR7}} \cdot \overline{\text{IR6}} \cdot \text{IR5} \cdot \overline{\text{IR4}} \cdot \text{W2}+$

$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{ST0} \cdot \overline{\text{IR7}} \cdot \overline{\text{IR6}} \cdot \text{IR5} \cdot \text{IR4} \cdot \text{W2}+$

$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{ST0} \cdot \overline{\text{IR7}} \cdot \text{IR6} \cdot \overline{\text{IR5}} \cdot \overline{\text{IR4}} \cdot \text{W2}$

LDZ←

$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{ST0} \cdot \overline{\text{IR7}} \cdot \overline{\text{IR6}} \cdot \overline{\text{IR5}} \cdot \text{IR4} \cdot \text{W2}+$

$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{ST0} \cdot \overline{\text{IR7}} \cdot \overline{\text{IR6}} \cdot \text{IR5} \cdot \overline{\text{IR4}} \cdot \text{W2}+$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{ST0} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \mathrm{IR5} \cdot \mathrm{IR4} \cdot \mathrm{W2}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{ST0} \cdot \overline{\mathrm{IR7}} \cdot \mathrm{IR6} \cdot \overline{\mathrm{IR5}} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W2}$$

4.1.3 翻译成多分支程序

观察硬连线信号, 事实上如果写成 VHDL 语句, 我们可以将 $SWCBA$ 信号合并. 然后再在 $\overline{SWC} \cdot \overline{SWB} \cdot \overline{SWA}$ 分支上将 IR_{7654} 合并. 用两个大 switch 语句完成逻辑分类.

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;
entity CPU is
        port (
                CLR,C,Z,T3,W1,W2,W3: in std_logic;
                IRH:in std_logic_vector(3 downto 0);
                SWCBA:in std_logic_vector(2 downto 0);
                SELCTL,ABUS,M,SEL1,SEL0,SEL2,SEL3,DRW,SBUS,LIR,MBUS,MEMW,LAR,ARINC,LPC,
                PCINC,PCADD,CIN,LONG,SHORT,STOP,LDC,LDZ: out std_logic;
                S:out std_logic_vector(3 downto 0);
                CP1,CP2,CP3:out std_logic;
                QD:in std_logic
        );
end CPU;

architecture arc of CPU is
signal ST0,ST0_1,ST0_2,STOP_1,STOP_2: std_logic;
begin
        CP1 <= '1';
        CP2 <= '1';
        CP3 <= QD;

        with SWCBA select
                STOP <= '0'                                             when "000",
                                STOP_1 or STOP_2                when others;
        ST0 <= ST0_1;

        process (CLR, T3)
        begin
                -- 任何时候按下CLR, 都会返回
                if (CLR = '0') then
                        ST0_1   <= '0';
                        STOP_1  <= '1';
                -- 如果到节拍电位下降沿T3,ST0_1 |= ST0_2
                elsif (T3'event and T3 = '0') then
```

```
                    if (ST0_2 = '1') then
                            ST0_1 <= '1';
                    end if;
            end if;
    end process;

    process (SWCBA, IRH, W1, W2, W3, ST0, C, Z)
    begin
            -- 初始化和状态参数
            SHORT <= '0';
            LONG <= '0';
            -- 设置STOP
            STOP_2 <= '1';
            -- 设置标志ST0
            ST0_2 <= '0';
            -- ALU
            ABUS <= '0';
            M <= '0';
            CIN <= '0';
            S <= "0000";
            ARINC <= '0';
            -- 保存标志Z
            LDZ <= '0';
            -- 保存标志C
            LDC <= '0';
            SBUS <= '0';
            MBUS <= '0';
            -- 控制台操作标志
            SELCTL <= '0';
            -- RD1~RD0
            SEL3 <= '0';
            SEL2 <= '0';
            -- RS1~RS0
            SEL1 <= '0';
            SEL0 <= '0';
            -- 送指令寄存器标志
            LIR <= '0';
            -- 送地址寄存器标志
            LAR <= '0';
            -- 送程序计数器标志
            LPC <= '0';
            -- (~R)/W
            MEMW <= '0';
            DRW <= '0';
            -- 程序计数器自增标志
            PCINC <= '0';
```

```
-- 程序计数器增量标志
PCADD <= '0';
case SWCBA is
        when "000" =>  --执行程序
                case ST0 is
                        when '0' =>
                                -- load pc
                                LPC <= W1;
                                SBUS <= W1;
                                ST0_2 <= W1;
                                SHORT <= W1;
                                STOP_2 <= '0';
                        when '1' =>
                                if(W1='1')then
                                        LIR<=W1;
                                        PCINC<=W1;
                                else
                        case IRH is
                                when "0001" =>  --ADD
                                        -- ABUS = W2
                                        ABUS <= W2;
                                        CIN <= W2;
                                        -- 选择加法
                                        -- 选择算术运算, 已经被初始化为M0
                                        S <= "1001";
                                        -- 加法操作
                                        DRW <= W2;
                                        LDZ <= W2;
                                        LDC <= W2;
                                when "0010" =>  -- SUB
                                        -- 选择算术运算, 选择减法
                                        -- 已经被初始化为M0
                                        S <= "0110";
                                        -- 减法操作
                                        ABUS <= W2;
                                        DRW <= W2;
                                        LDZ <= W2;
                                        LDC <= W2;
                                when "0011" =>  -- AND
                                        -- 选择逻辑运算, 与运算
                                        M <= W2;
                                        S <= "1011";
                                        ABUS <= W2;
                                        DRW <= W2;
                                        LDZ <= W2;
                                when "0100" => -- INC
```

```
                -- 选择算术运算, 与运算
                -- 已经被初始化为M0
                S <= "0000";
                ABUS <= W2;
                DRW <= W2;
                LDZ <= W2;
                LDC <= W2;
            when "0101" =>  -- LD
                -- 选择算术运算传送,（保留原值）B
                M <= W2;
                S <= "1010";
                ABUS <= W2;
                LONG<=W2;
                LAR <= W2;
                MBUS <= W3;
                DRW <= W3;
            when "0110" =>  -- ST
                LONG<=W2;
                -- 设定...
                M <= W2 or W3;
                if(W2='1')then
                        S<="1111";
                else
                        S<="1010";
                end if;
                ABUS <= W2 or W3;
                LAR <= W2;
                MEMW <= W3;
            when "0111" =>  -- JC
                PCADD <= C and W2;
            when "1000" =>  -- JZ
                PCADD <= Z and W2;
            when "1001" =>  -- JMP
                -- 设定算术运算
                M <= W2;
                S <= "1111";
                ABUS <= W2;
                LPC <= W2;
            when "1010" =>  -- OUT
                -- 设定算术运算
                M <= W2;
                S <= "1010";
                ABUS <= W2;
            when "1011" =>  -- SSP
                SEL3<='1';
                LONG<=W2;
```

```
                                        M <= W2 or W3;
                                        if (W2 = '1') then
                                                S <= "1000";
                                        elsif (W3 = '1') then
                                                S <= "1010";
                                        end if;
                                        ABUS <= W2 or W3;
                                        LAR <= W2;
                                        MEMW <= W3;
                                when "1100" =>  -- PUSH
                                        --无法自减PUSH
                                        M <= W2 or W3;
                                        if (W2 = '1') then
                                                S <= "1111";
                                        elsif (W3 = '1') then
                                                S <= "1010";
                                        end if;
                                        ABUS <=W2 or W3;
                                        LAR <= W2;
                                        MEMW <= W3;
                                        LONG <= W2;
                                when "1101" =>  -- MOV B->A
                                        -- 选择逻辑运算, MOV 运算
                                        M <= W2;
                                        S <= "1010";
                                        ABUS <= W2;
                                        DRW <= W2;
                                        LDZ <= W2;
                                when "1110" =>  -- STP
                                        STOP_2 <= W2;
                                when "1111" =>  -- LSP
                                        LONG<=W2;
                                        M <= W2;
                                        S <= "1000";
                                        ABUS <= W2;
                                        LAR <= W2;
                                        MBUS <= W3;
                                        DRW <= W3;
                                when others =>  -- 公操作
                        end case;
                                end if;
                        when others =>
                                        -- 不可能到这吧?
                end case;
        when "001" =>
        --      SEL0<=ST0;
```

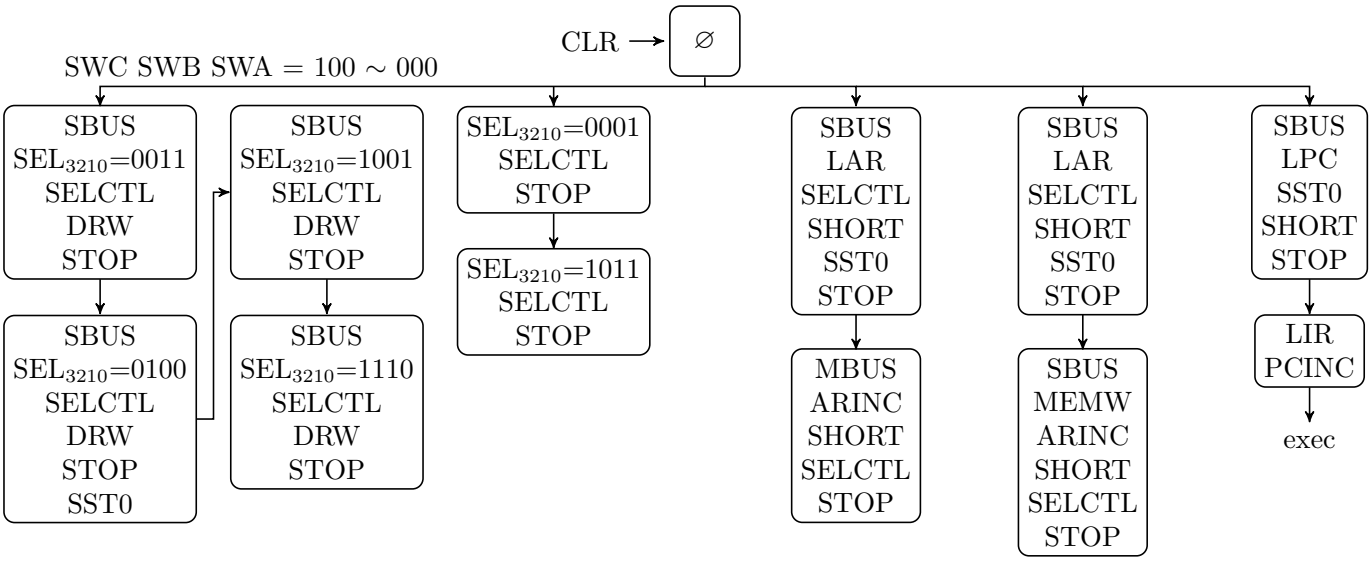
```
                -- SBUS = (ST0=0 or ST0=1) and W1
                SBUS <= W1;
                -- STOP = (ST0=0 or ST0=1) and W1
                STOP_2 <= W1;
                -- SHORT = (ST0=0 or ST0=1) and W1
                SHORT <= W1;
                -- SELCTL = (ST0=0 or ST0=1) and W1
                SELCTL <= W1;
                -- LAR = (ST0=0) and W1
                LAR <= W1 and (not ST0);
                -- LAR = (ST0=1) and W1
                ARINC <= W1 and ST0;
                -- MEMW = (ST0=1) and W1
                MEMW <= W1 and ST0;
                ST0_2 <= W1;
            when "010" =>
                -- SHORT = (ST0=0 or ST0=1) and W1
                SHORT<=W1;
                -- SELCTL = (ST0=0 or ST0=1) and W1
                SELCTL <= W1;
                -- STOP = (ST0=0 or ST0=1) and W1
                STOP_2<=W1;
                -- SBUS = (ST0=0) and W1
                SBUS<=W1 and (not ST0);
                -- LAR = (ST0=0) and W1
                LAR<=W1 and (not ST0);
                -- MBUS = (ST0=1) and W1
                MBUS<=W1 and ST0;
                -- ARINC = (ST0=1) and W1
                ARINC<=W1 and ST0;
                ST0_2<=W1;
            when "011" =>
                -- SELCTL = W1 or W2
                SELCTL <= '1';
                -- STOP = W1 or W2
                STOP_2 <= W1 or W2;
                -- SEL0 = W1 or W2
                SEL0<=W1 or W2;
                -- SEL1 = W2
                SEL1<=W2;
                -- SEL2 = 0
                -- SEL3 = W2
                SEL3<=W2;
            when "100" =>
                -- SELCTL = (ST0=0 or ST0=1) and (W1 or W2)
                SELCTL <= '1';
```

```
                                -- SBUS = (ST0=0 or ST0=1) and (W1 or W2)
                                SBUS <= W1 or W2;
                                -- STOP = (ST0=0 or ST0=1) and (W1 or W2)
                                STOP_2 <= W1 or W2;
                                -- DRW = (ST0=0 or ST0=1) and (W1 or W2)
                                DRW <= W1 or W2;
                                -- SEL0 = (ST0=0 or ST0=1) and W1
                                SEL0 <= W1;
                                -- SEL1 = ((ST0=0) and W1) or ((ST0=1) and W2)
                                SEL1 <= ((not ST0) and W1) or (ST0 and W2);
                                -- SEL2 = (ST0=0 or ST0=1) and W2
                                SEL2 <= W2;
                                -- SEL3 = (ST0=1) and (W1 or W2)
                                SEL3 <= ST0 and (W1 or W2);
                                ST0_2 <= W2;
                        when others=>
                end case;
        end process;
end arc;
```

4.2 流水硬连线控制器

4.2.1 设计硬连线控制器运行流程图

流水硬连线和硬连线的 *SW* 部分几乎是完全一样的. 只不过 LIR 和 PCINC 被合并到了指令运行周期中.



4.2.2 翻译成硬连线信号

SBUS ←

$$(\mathrm{W1}+\mathrm{W2})\cdot\mathrm{SWC}\cdot\overline{\mathrm{SWB}}\cdot\overline{\mathrm{SWA}}+$$

$$\mathrm{W1}\cdot\overline{\mathrm{SWC}}\cdot\mathrm{SWB}\cdot\overline{\mathrm{SWA}}\cdot\overline{\mathrm{ST0}}+$$

$$\mathrm{W1}\cdot\overline{\mathrm{SWC}}\cdot\overline{\mathrm{SWB}}\cdot\mathrm{SWA}+$$

$$\mathrm{W1}\cdot\overline{\mathrm{SWC}}\cdot\overline{\mathrm{SWB}}\cdot\overline{\mathrm{SWA}}\cdot\overline{\mathrm{ST0}}$$

MBUS ←

$$\mathrm{W1}\cdot\overline{\mathrm{SWC}}\cdot\mathrm{SWB}\cdot\overline{\mathrm{SWA}}\cdot\mathrm{ST0}+$$

$$\mathrm{W2}\cdot\overline{\mathrm{IR7}}\cdot\mathrm{IR6}\cdot\overline{\mathrm{IR5}}\cdot\mathrm{IR4}\cdot\overline{\mathrm{SWC}}\cdot\overline{\mathrm{SWB}}\cdot\overline{\mathrm{SWA}}$$

ABUS ←

$$\overline{\mathrm{SWC}}\cdot\overline{\mathrm{SWB}}\cdot\overline{\mathrm{SWA}}\cdot\overline{\mathrm{IR7}}\cdot\overline{\mathrm{IR6}}\cdot\overline{\mathrm{IR5}}\cdot\mathrm{IR4}\cdot\mathrm{W1}+$$

$$\overline{\mathrm{SWC}}\cdot\overline{\mathrm{SWB}}\cdot\overline{\mathrm{SWA}}\cdot\overline{\mathrm{IR7}}\cdot\overline{\mathrm{IR6}}\cdot\mathrm{IR5}\cdot\overline{\mathrm{IR4}}\cdot\mathrm{W1}+$$

$$\overline{\mathrm{SWC}}\cdot\overline{\mathrm{SWB}}\cdot\overline{\mathrm{SWA}}\cdot\overline{\mathrm{IR7}}\cdot\overline{\mathrm{IR6}}\cdot\mathrm{IR5}\cdot\mathrm{IR4}\cdot\mathrm{W1}+$$

$$\overline{\mathrm{SWC}}\cdot\overline{\mathrm{SWB}}\cdot\overline{\mathrm{SWA}}\cdot\overline{\mathrm{IR7}}\cdot\mathrm{IR6}\cdot\overline{\mathrm{IR5}}\cdot\overline{\mathrm{IR4}}\cdot\mathrm{W1}+$$

$$\overline{\mathrm{SWC}}\cdot\overline{\mathrm{SWB}}\cdot\overline{\mathrm{SWA}}\cdot\overline{\mathrm{IR7}}\cdot\mathrm{IR6}\cdot\overline{\mathrm{IR5}}\cdot\mathrm{IR4}\cdot\mathrm{W1}+$$

$$\overline{\mathrm{SWC}}\cdot\overline{\mathrm{SWB}}\cdot\overline{\mathrm{SWA}}\cdot\overline{\mathrm{IR7}}\cdot\mathrm{IR6}\cdot\mathrm{IR5}\cdot\overline{\mathrm{IR4}}\cdot(\mathrm{W1}+\mathrm{W2})+$$

$$\overline{\mathrm{SWC}}\cdot\overline{\mathrm{SWB}}\cdot\overline{\mathrm{SWA}}\cdot\mathrm{IR7}\cdot\overline{\mathrm{IR6}}\cdot\overline{\mathrm{IR5}}\cdot\mathrm{IR4}\cdot\mathrm{W1}+$$

$$\overline{\mathrm{SWC}}\cdot\overline{\mathrm{SWB}}\cdot\overline{\mathrm{SWA}}\cdot\mathrm{IR7}\cdot\overline{\mathrm{IR6}}\cdot\mathrm{IR5}\cdot\overline{\mathrm{IR4}}\cdot\mathrm{W1}$$

LAR ←

$$\mathrm{W1}\cdot\overline{\mathrm{SWC}}\cdot\mathrm{SWB}\cdot\overline{\mathrm{SWA}}\cdot\overline{\mathrm{ST0}}+$$

$\mathrm{W1} \cdot \overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \mathrm{SWA} \cdot \overline{\mathrm{ST0}}+$

$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \mathrm{IR6} \cdot \overline{\mathrm{IR5}} \cdot \mathrm{IR4} \cdot \mathrm{W1}+$

$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \mathrm{IR6} \cdot \mathrm{IR5} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W1}$

SST0 $\leftarrow$

$\mathrm{W1} \cdot \overline{\mathrm{SWC}} \cdot \mathrm{SWB} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{ST0}}+$

$\mathrm{W2} \cdot \mathrm{SWC} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{ST0}}+$

$\mathrm{W1} \cdot \overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \mathrm{SWA} \cdot \overline{\mathrm{ST0}}+$

$\mathrm{W1} \cdot \overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{ST0}}$

SHORT $\leftarrow$

$\mathrm{W1} \cdot \overline{\mathrm{SWC}} \cdot \mathrm{SWB} \cdot \overline{\mathrm{SWA}}$

$\mathrm{W1} \cdot \overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \mathrm{SWA}$

$\mathrm{W1} \cdot \overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{ST0}+$

$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \overline{\mathrm{IR5}} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W1}+$

$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \overline{\mathrm{IR5}} \cdot \mathrm{IR4} \cdot \mathrm{W1}+$

$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \mathrm{IR5} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W1}+$

$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \mathrm{IR5} \cdot \mathrm{IR4} \cdot \mathrm{W1}+$

$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \mathrm{IR6} \cdot \overline{\mathrm{IR5}} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W1}+$

$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \mathrm{IR6} \cdot \mathrm{IR5} \cdot \mathrm{IR4} \cdot \mathrm{W1} \cdot \overline{C}+$

$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{IR7} \cdot \overline{\mathrm{IR6}} \cdot \overline{\mathrm{IR5}} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W1} \cdot \overline{Z}$

ARINC $\leftarrow$

$\mathrm{W1} \cdot \overline{\mathrm{SWC}} \cdot \mathrm{SWB} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{ST0}+$

$\mathrm{W1} \cdot \overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \mathrm{SWA} \cdot \mathrm{ST0}$

MEMW $\leftarrow$

$\mathrm{W1} \cdot \overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \mathrm{SWA} \cdot \mathrm{ST0}+$

$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \mathrm{IR6} \cdot \mathrm{IR5} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W2}$

LIR $\leftarrow$

$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \overline{\mathrm{IR5}} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W1}+$

$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \overline{\mathrm{IR5}} \cdot \mathrm{IR4} \cdot \mathrm{W1}+$

$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \mathrm{IR5} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W1}+$

$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \mathrm{IR5} \cdot \mathrm{IR4} \cdot \mathrm{W1}+$

$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \mathrm{IR6} \cdot \overline{\mathrm{IR5}} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W1}+$

$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \mathrm{IR6} \cdot \mathrm{IR5} \cdot \mathrm{IR4} \cdot \mathrm{W1} \cdot \overline{C}+$

$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{IR7} \cdot \overline{\mathrm{IR6}} \cdot \overline{\mathrm{IR5}} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W1} \cdot \overline{Z}+$

$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \mathrm{IR6} \cdot \mathrm{IR5} \cdot \mathrm{IR4} \cdot \mathrm{W2} \cdot C+$

$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{IR7} \cdot \overline{\mathrm{IR6}} \cdot \overline{\mathrm{IR5}} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W2} \cdot Z+$

$\mathrm{W2} \cdot \overline{\mathrm{IR7}} \cdot \mathrm{IR6} \cdot \overline{\mathrm{IR5}} \cdot \mathrm{IR4} \cdot \overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}}+$

$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \mathrm{IR6} \cdot \mathrm{IR5} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W2}+$

$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{ST0}} \cdot \mathrm{W1}$

CIN $\leftarrow$

$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \overline{\mathrm{IR5}} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W1}$

M ←

$$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \overline{\text{IR7}} \cdot \overline{\text{IR6}} \cdot \text{IR5} \cdot \text{IR4} \cdot \text{W2} +$$

$$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \overline{\text{IR7}} \cdot \text{IR6} \cdot \overline{\text{IR5}} \cdot \text{IR4} \cdot \text{W2} +$$

$$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \overline{\text{IR7}} \cdot \text{IR6} \cdot \text{IR5} \cdot \overline{\text{IR4}} \cdot (\text{W2} + \text{W3}) +$$

$$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{IR7} \cdot \overline{\text{IR6}} \cdot \overline{\text{IR5}} \cdot \text{IR4} \cdot \text{W2} +$$

$$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{IR7} \cdot \overline{\text{IR6}} \cdot \text{IR5} \cdot \overline{\text{IR4}} \cdot \text{W2}$$

SEL0←

$$\text{SWC} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{W1}$$

SEL1←

$$\text{SWC} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{W2} \cdot \text{ST0} +$$

$$\text{SWC} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{W1} \cdot \overline{\text{ST0}}$$

SEL2←

$$\text{SWC} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{W2}$$

SEL3←

$$\text{SWC} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{W1} \cdot \text{ST0} +$$

$$\text{SWC} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{W2} \cdot \overline{\text{ST0}}$$

STOP←

$$\text{SWA} + \text{SWB} + \text{SWC} +$$

$$\overline{\text{SWC}} \cdot \overline{\text{SWB}} \cdot \overline{\text{SWA}} \cdot \text{IR7} \cdot \text{IR6} \cdot \text{IR5} \cdot \overline{\text{IR4}} \cdot \text{ST0} \cdot \text{W2}$$

SELCTL←

$$\overline{\mathrm{SWA}} + \overline{\mathrm{SWB}} + \overline{\mathrm{SWC}}$$

DRW←

$$\mathrm{SWC} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{ST0} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \overline{\mathrm{IR5}} \cdot \mathrm{IR4} \cdot \mathrm{W2}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{ST0} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \mathrm{IR5} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W2}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{ST0} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \mathrm{IR5} \cdot \mathrm{IR4} \cdot \mathrm{W2}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{ST0} \cdot \overline{\mathrm{IR7}} \cdot \mathrm{IR6} \cdot \overline{\mathrm{IR5}} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W2}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{ST0} \cdot \overline{\mathrm{IR7}} \cdot \mathrm{IR6} \cdot \overline{\mathrm{IR5}} \cdot \mathrm{IR4} \cdot \mathrm{W3}$$

PCADD←

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{ST0} \cdot \overline{\mathrm{IR7}} \cdot \mathrm{IR6} \cdot \mathrm{IR5} \cdot \mathrm{IR4} \cdot \mathrm{C} \cdot \mathrm{W2}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{ST0} \cdot \mathrm{IR7} \cdot \overline{\mathrm{IR6}} \cdot \overline{\mathrm{IR5}} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{Z} \cdot \mathrm{W2}$$

PCINC ←

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \overline{\mathrm{IR5}} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W1}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \overline{\mathrm{IR5}} \cdot \mathrm{IR4} \cdot \mathrm{W1}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \mathrm{IR5} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W1}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \mathrm{IR5} \cdot \mathrm{IR4} \cdot \mathrm{W1}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \mathrm{IR6} \cdot \overline{\mathrm{IR5}} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W1}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \mathrm{IR6} \cdot \mathrm{IR5} \cdot \mathrm{IR4} \cdot \mathrm{W1} \cdot \overline{C}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{IR7} \cdot \overline{\mathrm{IR6}} \cdot \overline{\mathrm{IR5}} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W1} \cdot \overline{Z}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \mathrm{IR6} \cdot \mathrm{IR5} \cdot \mathrm{IR4} \cdot \mathrm{W2} \cdot C+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{IR7} \cdot \overline{\mathrm{IR6}} \cdot \overline{\mathrm{IR5}} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W2} \cdot Z+$$

$$\mathrm{W2} \cdot \overline{\mathrm{IR7}} \cdot \mathrm{IR6} \cdot \overline{\mathrm{IR5}} \cdot \mathrm{IR4} \cdot \overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{IR7}} \cdot \mathrm{IR6} \cdot \mathrm{IR5} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W2}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{ST0}} \cdot \mathrm{W1}$$

LPC←

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \overline{\mathrm{ST0}} \cdot \mathrm{W1}$$

LDC←

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{ST0} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \overline{\mathrm{IR5}} \cdot \mathrm{IR4} \cdot \mathrm{W1}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{ST0} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \mathrm{IR5} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W1}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{ST0} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \mathrm{IR5} \cdot \mathrm{IR4} \cdot \mathrm{W1}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{ST0} \cdot \overline{\mathrm{IR7}} \cdot \mathrm{IR6} \cdot \overline{\mathrm{IR5}} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W1}$$

LDZ←

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{ST0} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \overline{\mathrm{IR5}} \cdot \mathrm{IR4} \cdot \mathrm{W1}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{ST0} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \mathrm{IR5} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W1}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{ST0} \cdot \overline{\mathrm{IR7}} \cdot \overline{\mathrm{IR6}} \cdot \mathrm{IR5} \cdot \mathrm{IR4} \cdot \mathrm{W1}+$$

$$\overline{\mathrm{SWC}} \cdot \overline{\mathrm{SWB}} \cdot \overline{\mathrm{SWA}} \cdot \mathrm{ST0} \cdot \overline{\mathrm{IR7}} \cdot \mathrm{IR6} \cdot \overline{\mathrm{IR5}} \cdot \overline{\mathrm{IR4}} \cdot \mathrm{W1}$$

4.2.3 翻译成多分支程序

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;
entity CPU is
        port (
                CLR,C,Z,T3,W1,W2,W3: in std_logic;
```

```
                IRH:in std_logic_vector(3 downto 0);
                SWCBA:in std_logic_vector(2 downto 0);
                SELCTL,ABUS,M,SEL1,SEL0,SEL2,SEL3,DRW,SBUS,LIR,MBUS,MEMW,LAR,ARINC,LPC,
                PCINC,PCADD,CIN,LONG,SHORT,STOP,LDC,LDZ: out std_logic;
                S:out std_logic_vector(3 downto 0);
                CP1,CP2,CP3:out std_logic;
                QD:in std_logic
        );
end CPU;

architecture arc of CPU is
signal ST0,ST0_1,ST0_2,STOP_1,STOP_2: std_logic;
begin

        CP1 <= '1';
        CP2 <= '1';
        CP3 <= QD;

        with SWCBA select
                STOP <= '0'                                             when "000",
                                STOP_1 or STOP_2                when others;
        ST0 <= ST0_1;

        process (CLR, T3)
        begin
                -- 任何时候按下CLR, 都会返回
                if (CLR = '0') then
                        ST0_1   <= '0';
                        STOP_1  <= '1';
                -- 如果到节拍电位下降沿T3,ST0_1 |= ST0_2
                elsif (T3'event and T3 = '0') then
                        if (ST0_2 = '1') then
                                ST0_1 <= '1';
                        end if;
                end if;
        end process;

        process (SWCBA, IRH, W1, W2, W3, ST0, C, Z)
        begin
                -- 初始化和状态参数
                SHORT <= '0';
                LONG <= '0';
                -- 设置STOP
                STOP_2 <= '1';
                -- 设置标志ST0
                ST0_2 <= '0';
```

```
                -- ALU
                ABUS <= '0';
                M <= '0';
                CIN <= '0';
                S <= "0000";
                ARINC <= '0';
                -- 保存标志Z
                LDZ <= '0';
                -- 保存标志C
                LDC <= '0';
                SBUS <= '0';
                MBUS <= '0';
                -- 控制台操作标志
                SELCTL <= '0';
                -- RD1~RD0
                SEL3 <= '0';
                SEL2 <= '0';
                -- RS1~RS0
                SEL1 <= '0';
                SEL0 <= '0';
                -- 送指令寄存器标志
                LIR <= '0';
                -- 送地址寄存器标志
                LAR <= '0';
                -- 送程序计数器标志
                LPC <= '0';
                -- (~R)/W
                MEMW <= '0';
                DRW <= '0';
                -- 程序计数器自增标志
                PCINC <= '0';
                -- 程序计数器增量标志
                PCADD <= '0';
                case SWCBA is
                        when "000" =>  --执行程序
                                case ST0 is
                                        when '0' =>
                                                -- load pc
                                                LPC <= W1;
                                                SBUS <= W1;
                                                ST0_2 <= W1;
                                                SHORT <= W1;
                                                STOP_2 <= '0';
                                        when '1' =>
                                case IRH is
                                        when "0000" =>  -- NOP
```

```
                -- 设定PC
                LIR <= W1;
                PCINC <= W1;
                -- 短周期
                SHORT <= W1;
            when "0001" =>  --ADD ()
                -- 设定PC
                LIR <= W1;
                PCINC <= W1;
                -- 短周期
                SHORT <= W1;
                -- ABUS = W1
                ABUS <= W1;
                CIN <= W1;
                -- 选择加法
                -- 选择算术运算, 传送 B
                -- 已经被初始化为M0
                S <= "1001";
                -- 加法操作
                DRW <= W1;
                LDZ <= W1;
                LDC <= W1;
            when "0010" =>  -- SUB ()
                -- 设定PC
                LIR <= W1;
                PCINC <= W1;
                -- 短周期
                SHORT <= W1;
                -- 选择算术运算, 选择减法
                -- 已经被初始化为M0
                S <= "0110";
                -- 减法操作
                ABUS <= W1;
                DRW <= W1;
                LDZ <= W1;
                LDC <= W1;
            when "0011" =>  -- AND ()
                -- 设定PC
                LIR <= W1;
                PCINC <= W1;
                -- 短周期
                SHORT <= W1;
                -- 选择逻辑运算, 与运算
                M <= W1;
                S <= "1011";
                ABUS <= W1;
```

```
                DRW <= W1;
                LDZ <= W1;
            when "0100" => -- INC ()
                -- 设定PC
                LIR <= W1;
                PCINC <= W1;
                -- 短周期
                SHORT <= W1;
                -- 选择算术运算, 与运算
                -- 已经被初始化为M0
                S <= "0000";
                ABUS <= W1;
                DRW <= W1;
                LDZ <= W1;
                LDC <= W1;
            when "0101" =>  -- LD
                -- 选择算术运算, 传送 B
                M <= W1;
                S <= "1010";
                ABUS <= W1;
                LAR <= W1;
                -- 设定PC
                LIR <= W2;
                PCINC <= W2;
                MBUS <= W2;
                DRW <= W2;
            when "0110" =>  -- ST
                -- 设定...
                M <= W1 or W2;
                if(W1='1')then
                        S<="1111";
                else
                        S<="1010";
                end if;
                ABUS <= W1 or W2;
                LAR <= W1;
                MEMW <= W2;
                -- 设定PC
                LIR <= W2;
                PCINC <= W2;
            when "0111" =>  -- JC
                -- 设定PC
                LIR <= (W1 and (not C)) or (W2 and C);
                PCINC <= (W1 and (not C)) or (W2 and C);
                PCADD <= C and W1;
                SHORT <= W1 and (not C);
```

```
                when "1000" =>  -- JZ
                    -- 设定PC
                    LIR <= (W1 and (not Z)) or (W2 and Z);
                    PCINC <= (W1 and (not Z)) or (W2 and Z);
                    PCADD <= Z and W1;
                    SHORT <= W1 and (not Z);
                when "1001" =>  -- JMP
                    -- 设定算术运算
                    M <= W1;
                    S <= "1111";
                    ABUS <= W1;
                    LPC <= W1;
                    -- 设定PC
                    LIR <= W2;
                    PCINC <= W2;
                when "1010" =>  -- OUT
                    -- 设定PC
                    LIR <= W1;
                    PCINC <= W1;
                    -- 短周期
                    SHORT <= W1;
                    -- 设定算术运算
                    M <= W1;
                    S <= "1010";
                    ABUS <= W1;
                when "1011" =>  -- SSP
                    SEL3<='1';
                    M <= W1 or W2;
                    if (W1 = '1') then
                            S <= "1000";
                    elsif (W2 = '1') then
                            -- or S <= "1111"
                            S <= "1010";
                    end if;
                    ABUS <= W1 or W2;
                    LAR <= W1;
                    MEMW <= W2;
                    -- 设定PC
                    LIR <= W2;
                    PCINC <= W2;
                when "1100" =>  -- PUSH
                    M <= W1 or W2;
                    CIN <= W3;
                    if (W1 = '1') then
                            S <= "1111";
                    elsif (W2 = '1') then
```

```
                                        S <= "1010";
                                    elsif (W3 = '1') then
                                        S <= "1111";
                                    end if;
                                    ABUS <= W1 or W2 or W3;
                                    LAR <= W1;
                                    MEMW <= W2;
                                    LONG <= W2;
                                    DRW <= W3;
                                    LIR <= W3;
                                    PCINC <= W3;
                                when "1101" =>  -- MOV B->A
                                    -- 设定PC
                                    LIR <= W1;
                                    PCINC <= W1;
                                    -- 短周期
                                    SHORT <= W1;
                                    -- 选择逻辑运算, MOV 运算
                                    M <= W1;
                                    S <= "1010";
                                    ABUS <= W1;
                                    DRW <= W1;
                                    LDZ <= W1;
                                when "1110" =>  -- STP
                                    STOP_2 <= W1;
                                when "1111" =>  -- LSP
                                    M <= W1;
                                    S <= "1000";
                                    ABUS <= W1;
                                    LAR <= W1;
                                    MBUS <= W2;
                                    DRW <= W2;
                                    -- 设定PC
                                    LIR <= W2;
                                    PCINC <= W2;
                                when others =>  -- 公操作
                                    -- 设定PC
                                    LIR <= W1;
                                    PCINC <= W1;
                            end case;
                                when others =>
                                    -- 不可能到这吧?
                            end case;
                    when "001" =>
                    --      SEL0<=ST0;
                            -- SBUS = (ST0=0 or ST0=1) and W1
```

```
                SBUS <= W1;
                -- STOP = (ST0=0 or ST0=1) and W1
                STOP_2 <= W1;
                -- SHORT = (ST0=0 or ST0=1) and W1
                SHORT <= W1;
                -- SELCTL = (ST0=0 or ST0=1) and W1
                SELCTL <= W1;
                -- LAR = (ST0=0) and W1
                LAR <= W1 and (not ST0);
                -- LAR = (ST0=1) and W1
                ARINC <= W1 and ST0;
                -- MEMW = (ST0=1) and W1
                MEMW <= W1 and ST0;
                ST0_2 <= W1;
            when "010" =>
                -- SHORT = (ST0=0 or ST0=1) and W1
                SHORT<=W1;
                -- SELCTL = (ST0=0 or ST0=1) and W1
                SELCTL <= W1;
                -- STOP = (ST0=0 or ST0=1) and W1
                STOP_2<=W1;
                -- SBUS = (ST0=0) and W1
                SBUS<=W1 and (not ST0);
                -- LAR = (ST0=0) and W1
                LAR<=W1 and (not ST0);
                -- MBUS = (ST0=1) and W1
                MBUS<=W1 and ST0;
                -- ARINC = (ST0=1) and W1
                ARINC<=W1 and ST0;
                ST0_2<=W1;
            when "011" =>
                -- SELCTL = W1 or W2
                SELCTL <= '1';
                -- STOP = W1 or W2
                STOP_2 <= W1 or W2;
                -- SEL0 = W1 or W2
                SEL0<=W1 or W2;
                -- SEL1 = W2
                SEL1<=W2;
                -- SEL2 = 0
                -- SEL3 = W2
                SEL3<=W2;
            when "100" =>
                -- SELCTL = (ST0=0 or ST0=1) and (W1 or W2)
                SELCTL <= '1';
                -- SBUS = (ST0=0 or ST0=1) and (W1 or W2)
```

```
                                SBUS <= W1 or W2;
                                -- STOP = (ST0=0 or ST0=1) and (W1 or W2)
                                STOP_2 <= W1 or W2;
                                -- DRW = (ST0=0 or ST0=1) and (W1 or W2)
                                DRW <= W1 or W2;
                                -- SEL0 = (ST0=0 or ST0=1) and W1
                                SEL0 <= W1;
                                -- SEL1 = ((ST0=0) and W1) or ((ST0=1) and W2)
                                SEL1 <= ((not ST0) and W1) or (ST0 and W2);
                                -- SEL2 = (ST0=0 or ST0=1) and W2
                                SEL2 <= W2;
                                -- SEL3 = (ST0=1) and (W1 or W2)
                                SEL3 <= ST0 and (W1 or W2);
                                ST0_2 <= W2;
                        when others=>
                end case;
        end process;
end arc;
```

5 调试过程中的问题及讨论

5.1 代码无法导入箱子或者代码导入箱子以后测试程序仍然发生以前的问题

这里暂且不考虑箱子信号的问题, 具体原因可能有几个.

1 串口损坏, 导致写入箱子失败.

2 箱子板子识别损坏, 导致电脑无法针对这个芯片写入程序.

3 电脑只会写入一个文件项目, 如果在测试过程中换了文件, 需要在写入前确认是否写入目标文件是否是自己想要的文件.

5.2 程序运行失败

考虑信号问题

1 dp 单拍未设定, 导致程序直接运行到 stop 或者因为没有 stop, 在主存中持续运行.(表现行为是, 程序一闪而过或者 W1,W2,W3 信号灯在同一时间发亮.)

2 PCINC 信号失效.(表现行为是 PCINC 信号灯不亮或者 PCINC 信号灯已经亮但内部电路失效, 这种情况对于所有信号都是一样的, 所以下略, 只说明失效时的电路行为. 此时 PC 灯未能自增)

3 LIR 信号失效 (此时 IR 灯始终为初始状态).

4 AR 损坏, 表现行为是计算预期地址和实际显示 AR 不一致.

5 信号冲突, 并行信号如果有先后关系, 则有很大概率失败, 比如 STOP/SST0.

6 当上述情况均为发生, 应当考虑是否是程序代码有问题.

6 设计调试小结

6.1 向阳曦的总结

在调试硬件及其编程语言时, 一定要注意硬件的不可靠性.

所以在所有测试开始之前一定要先做如下步骤:

1 测试数据通路是否有问题. 这个可以使用读写寄存器判断, 可以迅速推断问题.

2 如果已知之前有程序能够运行, 先跑这两个简单指令的程序, 如果无错, 则推测是在程序指令中有信号错误.

3 根据已知信号无错, 缩小以后的信号调试错误推测范围. 最后能够确定该系统在独立情况下信号无错的结论.

4 根据程序使用的信号无错, 推断程序的指令是否有问题.

5 根据程序的指令是否在表面上有问题, 推测是否是深层逻辑问题.

得到这些经验还是要拜托实验室里成群不能用的箱子. 里面的箱子坏的各有特色, 不带重样, 因此积累了大量经验. 关于程序部分, 我和张研究了一会如何设计指令. 从 x86 中挑选了大约十条指令, 并设计了指令格式. 等到开始编写时, 才发现 IR_{3210} 虽然和 SEL_{3210} 的值相同, 但是因为 SEL_{3210} 只能用于控制台读写寄存器的输出, 所以 IR_{3210} 是无法读出的. 未果, 寻弃.

最终我们选择完整地把 PUSHS,POPS 一整套栈操作完成. 但是按照正常流程 PUSHS, 应当是:

1. 得到 SP;2. 写入 SP;3.SP 下推.

但是 SP 在硬件中没有专门存储器, 寄存器只有 4 个, 占用其中一个的代价太高. 如果每次从主存取, 周期占用太多. 因此设计了新的 LSP 和 SSP. 采用一般数据库 prepare 的思路. 这时又遇到问题了.LSP 的流程应当是:

1. 得到 SP 在主存地址;2. 读入 SP 到寄存器中.

这里我们如何去硬编码 SP 的地址是个问题.

深思熟虑以后. 我们将 SP 地址从寄存挪到主存, 再到最后敲定一个特殊的地址. 我们选择了 FF. 因为这个根据任意 8 位 2 进制数字 A 或上 $\overline{A}$ 永远等于 FF. 所以限定 A, B 为相同寄存器, 就能在一个周期得到硬编码的 FF 写入 AR. 最后实际的设计为:

1. 要求 A,B 选择的寄存器一致;2. 第一个周期将 $A|\overline{B}$ 送入 AR.3. 取出 FF 上的值到 A 寄存器上.

这样只需要额外一条指令就能临时得到 SP，额外另一条指令就能存储 SP.

最后, 我们将栈设计为向下生长, 将 POPS 合并到 INC SP 中. 又节约了一条指令空间, 将这个指令编码给了另一个指令 MOV.

6.2 张逸群的总结