

宽带通信网



信息与通信工程学院

靳浩



宽带网交换技术

- ATM 交换的定义及特点
- 宽带网业务对ATM交换结构的影响
- ATM 交换系统的构成
- ATM 基本交换结构----排队方式
- ATM 基本交换结构-----交换模块
- ATM 交换机构和交换系统



ATM 交换的定义及特点

- 传统交换与 ATM 交换的差异
- ATM 交换系统的构成
- ATM 交换应完成的基本功能
- ATM 交换的定义
- ATM 交换的基本原理



传统交换与 ATM 交换的差异

■ ATM 出现以前的交换方式

- 电路交换：基于 STM 原理的交换（如电话交换）
- 分组交换 (X.25、帧中继等)

■ 这些技术不能直接适用于 ATM 交换，主要原因是

- ATM 信息流的统计行为
- ATM 具有极高的信息处理速度
- ATM 信元的固定长度
- 有限的信元头功能
- 不同用途的 ATM 交换系统差异很大



ATM 交换系统的构成

■ ATM 交换系统的应用场合

- 用于公用宽带网的 ATM 交换系统 (ATM Central Office)
- 用户的内部专用网 (ATM LAN)

■ ATM 交换系统的构成

■ 传输部分 (传输网)

- 在入线与出线之间传输 ATM 信元的物理设备
- 完成协议参考模型中用户平面的功能

■ 控制部分

- 在信令处理的基础上实现对传输网进行控制的设备
- 完成协议参考模型中控制平面的功能



ATM交换系统的 QOS 参数

■ 传输网络

- 容量
- 信元丢失率
- 误比特率
- 信元时延
- 信元时延抖动

■ 控制网络

- 呼叫处理能力 (BHCA)
- 呼叫建立时间
- 呼叫释放时间
- 呼叫建立的阻塞概率
- 呼损概率

与传统交换系统类似，ATM 交换系统中，传输部分和控制部分分别有不同的服务质量参数。



ATM 交换应完成的基本功能

■ 信元交换

- ATM 信元从一条入线上的某个逻辑信道上被传送到一条或多条出线的不同逻辑信道上的过程。

■ 集中/复用

- 把 N 条入线上的信息组合到 M 条出线上。
 - 集中：物理入线数 $>$ 物理出线数 ($N > M$)
 - 复用：把多个逻辑输入通道统计复用到一条逻辑输出通道上

■ 扩展/分路

- 集中/复用的逆操作。



ATM 交换的定义

■ ATM 交换的定义

- 从一条逻辑 ATM 信道到一条或多条逻辑 ATM 信道的信息交换；而在该交换过程中，选择可以在许多逻辑 ATM 信道中进行。

■ 逻辑 ATM 信道

- 以物理端口以及该物理端口上的逻辑信道来表征：
 - 逻辑 ATM 信道 = 物理端口 + 物理端口上的逻辑信道
 - 物理端口号：表征了物理入线或出线
 - 物理端口上的逻辑信道：由虚通路/虚信道标识 (VPI/VCI) 表征

■ ATM 交换功能的组成

- 时分交换、空分交换、信元头交换（翻译）



ATM 交换的基本功能

■ 空分交换功能

- 一条物理入线上的信息交换到另一条物理出线上。

■ 时分交换功能

- 将物理入线上一个逻辑信道上的信息交换到对应物理出线上的另一个逻辑信道上。

■ 信元头交换（翻译）

- 一个逻辑 ATM 信道上的信元利用空分交换和时分交换，被交换到另一个逻辑 ATM 信道上时，其输入信元的信元头内容也将同时会被翻译成一个与输出逻辑 ATM 信道相对应的信元头输出值。

空分交换功能



■ 空分交换功能

- 将信息从一条物理入线交换到到另一条物理出线上
- 空分交换中的关键问题——路由选择 (routing)
 - 在交换机内部，信息如何选择一条路由从入线到达出线

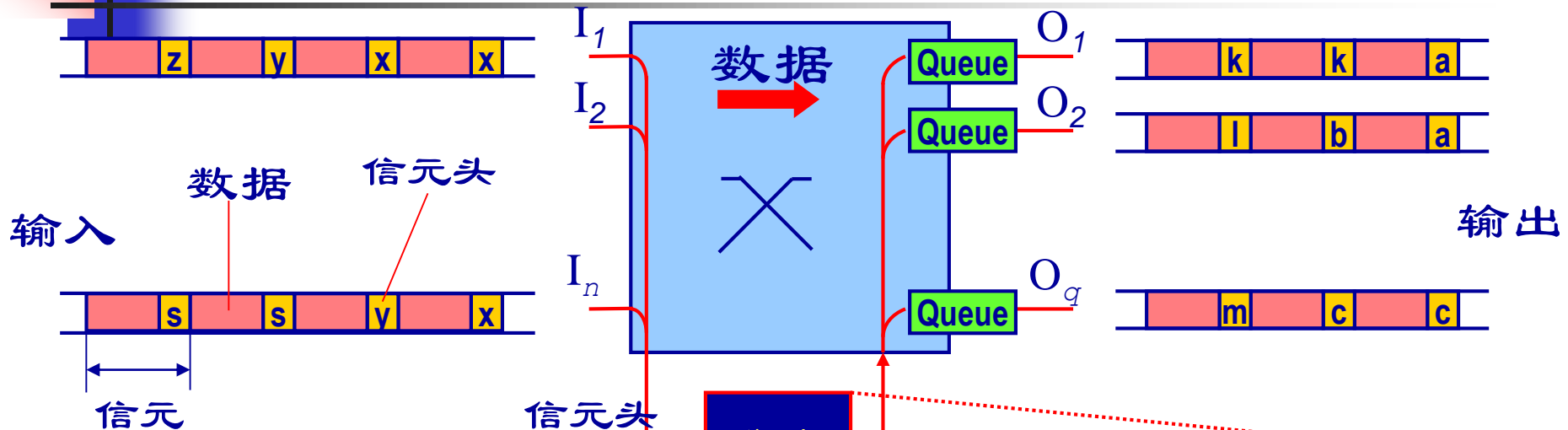
时分交换功能



■ 时分交换功能

- 入线上某逻辑信道中的信息被交换到出线上另一个逻辑信道
- 是逻辑信道 (VP/VC) 的交换 (而不是固定帧时隙)
- 存在竞争问题
 - 存在多个逻辑信道竞争物理出线上同一时间片的情况, 必须引入排队来解决竞争问题。
- 排队功能 —— ATM 交换的一个重要功能

ATM 交换的基本原理



■ 信元头翻译

- 信元被交换的同时，输入信头的值被翻译成输出信元头的值。

输入链路	VCC	输出链路	VCC
I1	x	O_1	k
	y	O_q	m
	z	O_2	l
⋮			
In	x	O_1	a
	y	O_2	b
	s	O_q	c



ATM 交换的基本功能

- 空分交换功能——路由选择
- 时分交换功能——排队功能
- 信头交换（翻译）功能



业务对宽带交换的要求

- 宽带业务的多样性对宽带 ATM 交换具有不同的要求，表现在以下方面：
 - 业务的信息速率
 - 从几 Kb/s 到 几百 Mb/s 或更高
 - 时间行为特性
 - 恒定比特率或可变比特率
 - 实时或非实时
 - 性能
 - 语义透明性：信元丢失率、误比特率
 - 时间透明性：交换时延、时延抖动
 - 其他性能参数：吞吐量、处理能力、连接阻塞
 - 广播和组播功能



业务的信息速率对交换的要求

- 宽带业务的信息速率范围很宽
 - 最低：几 Kbit/s（如遥测数据和远程控制）
 - 最高：几百 Mbit/s（如高清晰度电视 150Mb/s）
 - 交换系统必须能够交换多种信息速率的业务
- 交换系统的接口速率都超过 150Mbit/s
 - 例如，基于 SDH 的信元传输接口中有以下的速率等级：
 - 155.520Mb/s 光接口或电接口
 - 622.080Mb/s 光接口
 - 2488.320Mb/s 光接口
- 在交换系统的内部，信息处理的速率可能更高
 - 由于交换机内部的信息复用，系统内部的信息速率更高
 - 采用并行化的处理方式，可降低交换系统内部信息速率



广播和组播功能对宽带交换的要求

- 业务对宽带交换的广播和组播要求
 - 广播：信息从一个源传递到所有的目的地
 - 组播：信息从一个源传递到一组特定的目的地
 - 典型应用：电子邮件列表的分发、数字化图象库的访问、电视分配
- 传统的电路交换的连接形式是点到点连接
 - 信息只能从一条逻辑信道交换到另一条逻辑信道上
- 传统的分组交换也不能支持广播和组播功能
- 业务对广播和组播功能的需求对交换系统的影响
 - ATM 交换系统设计需要支持优化的广播和组播功能



交换系统性能参数的需求差异

■ 传统交换系统

- 吞吐能力
- 误比特率
- 连接阻塞
- 交换时延
- 呼损概率

■ ATM交换系统

- 吞吐能力
- 误比特率
- 连接阻塞
- 交换时延
- 呼损概率
- 信元丢失率
- 信元误插率
- 时延抖动



吞吐能力和误比特率

■ 影响交换系统的吞吐能力和误比特率的因素

- 信息吞吐能力取决于：系统的信息处理速率、系统的规模、系统设计的技术和工艺
- 信令处理能力取决于：交换系统中控制结构的设计
- 系统误比特率取决于：实现中所采用的技术和工艺

■ 提高系统吞吐能力、控制误比特率的方法

- 在系统设计中，可以采用以下的方法来获得很高的吞吐能力，同时将误比特率保证在可接受的范围内：
 - 采用新技术、新工艺和新型高速器件
 - 合理的体系结构设计，提高整体性能



连接阻塞

连接阻塞的概念

- 建立 ATM 连接时，在交换机内部需要有足够的资源来保证新建连接的质量，这些资源包括：
 - 带宽、VPI/VCI、信头、标签
- 系统不能保证所有的新建连接都能获得所需的资源；
- 在连接建立时，若交换系统在逻辑入线和出线之间找不到足够的资源，就出现连接阻塞，新建连接的请求被拒绝；
- 连接阻塞的概率取决于交换系统中出现资源不足的概率；
- 交换系统的连接阻塞特性由其系统设计所决定。

■ 根据连接阻塞特性，可将交换系统分为：

- 不存在内部连接阻塞的交换系统
- 存在内部连接阻塞的交换系统



连接阻塞

■ 交换系统的内部实现不一定是面向连接的

■ 不存在内部连接阻塞的交换系统

- 内部不需要面向连接
- 传输网内部存在足够的资源，不会出现内部阻塞
- 新建连接总是可以接受，无需检查内部资源
- 新建连接仍然可能由于外部链路资源的不足而被阻塞

■ 存在内部连接内部阻塞的交换机系统

- 通常内部实现面向连接
- 建立新连接时必须分配内部资源
- 在内部资源不足时会发生连接阻塞
- 其阻塞率由交换系统的容量设计决定



信元丢失/误插率

■ 产生信元丢失和误插的原因

- ATM 基于统计复用
 - 交换系统中队列技术的采用
 - 在某瞬间，交换系统中会出现大量信元竞争同一链路的情况，这时可能会导致队列溢出，引起信元丢失。
- 交换系统路由选择机制的错误
 - ATM 信元在交换系统内部被错选了路由会造成信元误插。

■ ATM 交换系统对信元丢失/误插率的要求

- 为保证语义透明性，信元丢失/误插率应保持在一定范围内
- ATM 交换机的信元丢失率一般在 10^{-8} 至 10^{-11} 之间
- 信元误插率一般要小于信元丢失率的千分之一



信元丢失/误插率

- 根据是否存在内部信元丢失，交换系统分为：
 - 无内部阻塞的交换系统
 - 交换结构的设计使系统中不会出现内部资源的竞争
 - 系统内部不会丢失 ATM 信元
 - 信元的丢失仅可能发生在交换系统的入线或出线处
 - 有内部阻塞的交换系统
 - 存在内部资源竞争
 - 由于可用内部资源的缺乏，可能导致 ATM 信元的丢失
 - 采用良好的系统设计策略，可将信元阻塞概率控制在一定范围内



交换时延和时延抖动

■ 交换时延

- 交换时延是交换系统完成 ATM 信元交换的时间
- 交换时延是保证时间透明性、体现交换机性能的重要因素
- 典型的 ATM 交换时延应在 $10\mu\text{s}$ 到 $1000\mu\text{s}$

■ 时延抖动

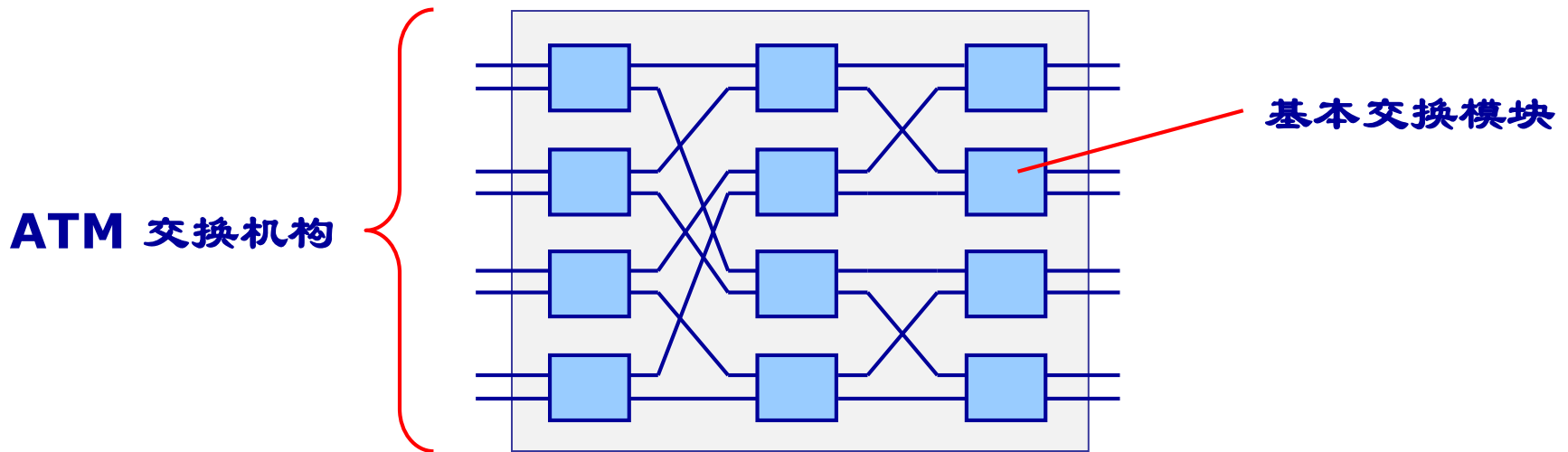
- 信元交换时延的变化值
- 时延的抖动值小于几百微秒
- 时延抖动的表示方法常用分位点定义
 - 分位点：即交换时延超过某值的概率，例如 10^{-10} 分位点上的 $100\mu\text{s}$ 的抖动，其含义是交换时延超过 $100\mu\text{s}$ 的概率小于 10^{-10}



思考题

- 简述ATM交换的基本工作原理。
- 对ATM交换性能的评价参数有哪些？

ATM 交换系统的构成



■ 交换机构

- 由相同的基本交换模块以特定的拓扑结构互连而成
- 设计中需要解决的主要问题——路由选择

■ 基本交换模块

- 用于构造交换机构的最小通用模块
- 设计中需要解决的主要问题——排队问题



一些术语的定义

- **基本交换模块 (Basic Switching Building Block)**
 - 也称为交换单元，是用于构造 ATM 交换机构的最小通用模块，相同的基本交换模块可组成交换机构。
- **交换机构 (Switching Fabric)**
 - 由相同的基本交换模块以特定的拓扑结构互连而成，只有在基本交换模块和网络拓扑确定的情况下，才能定义交换机构。
- **交换系统 (Switching System)**
 - 可用于 ATM 信元交换的设备称为 ATM 交换系统或 ATM 交换机。一般地，交换系统可以由相同或不同的 ATM 交换单元或 ATM 交换机构构成。

基本交换模块的结构



- ATM 交换功能由交换机构完成
- 交换机构由基本交换模块构成
- 基本交换模块的构成
 - 入线控制器 (IC)
 - 出线控制器 (OC)
 - 物理传输网络, 由 VLSI 构成的信元高速传输交换通路



基本交换模块

■ 基本交换模块的容量

- 规模：从 2×2 到 16×16
- 信息速率：从 155Mbit/s、622Mbit/s 到 2.5Gbit/s
- 基本交换模块的容量（规模和信息速率）决定于：
采用的技术工艺、设计的集成化程度

■ 基本交换模块的基本功能 —— 排队功能

- 基本交换模块是一个统计复用器
- 在基本交换模块内部会出现竞争
 - 多个信元需要同时使用相同资源（如内部线路、出线等）
- 在出现竞争时，需要对冲突的信元进行缓冲（排队）
- 若交换模块是内部完全无阻塞的，则不需要内部缓冲
- 为了解决对相同出线的竞争，必须在基本模块内提供排队功能



ATM 基本交换结构----排队方式

- 排队策略
- 输入排队
- 输出排队
- 中央排队
- 三种排队策略的性能分析
- 排队策略对物理实现的要求



排队策略

- 信元排队和缓冲是基本交换模块的基本功能；
- 根据交换单元的结构和所需的信息速率，可以在交换单元的入线、出线或单元内部设计信元的缓冲队列；
- 根据缓冲器在交换单元中的物理位置划分在交换单元中可采用三种排队策略：
 - 输入排队
 - 输出排队
 - 中央排队



输入排队

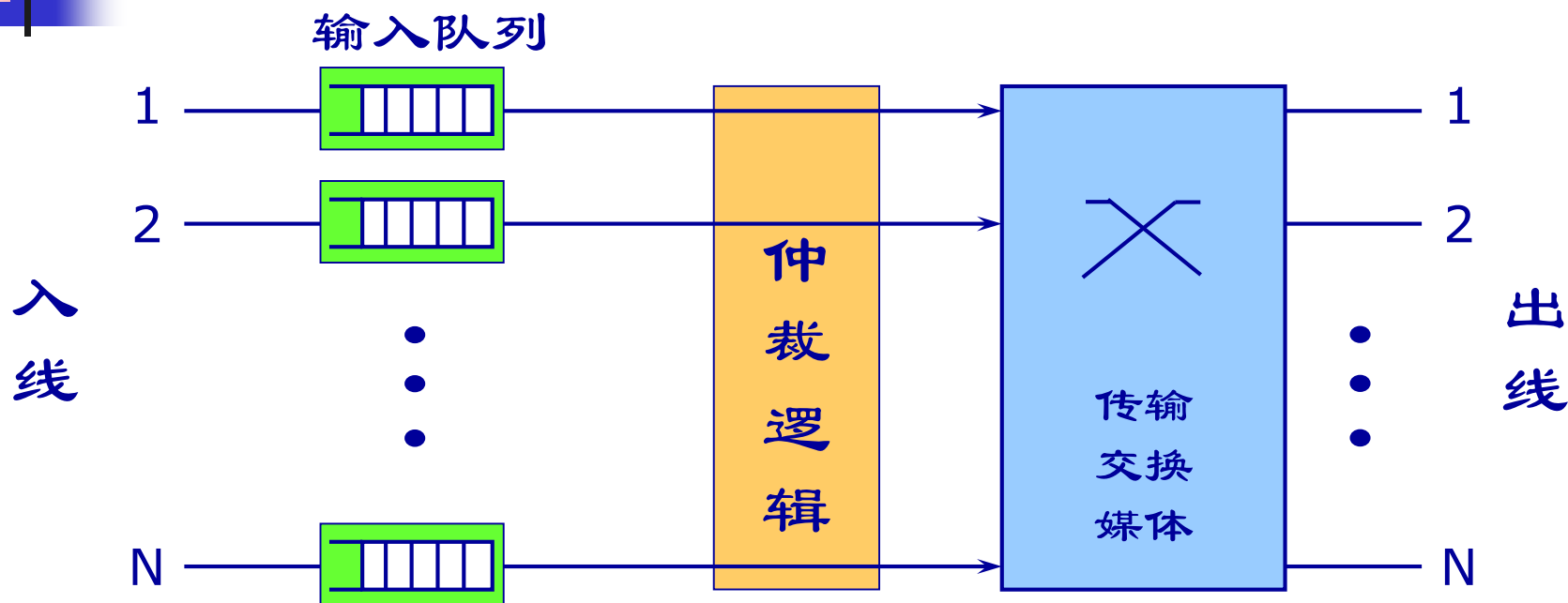
■ 基本思想

- 在交换单元的输入端解决可能的竞争问题。

■ 实现方式

- 为每一条入线配置一个缓冲队列，信元在队列中排队；
- 在一个信元周期内，如果出现多个入线上的信元竞争同一出线时，则由一个仲裁逻辑来决定哪些入线队列中的信元是允许通行的，而其他队列中的信元需要等待；
- 经过仲裁后的信元不会再出现竞争。

输入排队模型



- 每条入线一个缓冲队列
- 信元在入线排队
- 交换传输媒体
 - 是一个无阻塞的传输网络

■ 仲裁逻辑

- 决定可以得到服务的入线
- 仲裁策略

- 轮流服务、具有优先级（固定优先级或队列长度优先等）



输入排队的缺点

- 在入线处的队列将需要更多的缓冲容量
- 存在队头阻塞 (HOL)
 - 在一个信元周期内，任一条出线都只能为一个信元提供输出服务，而选择该出线的其他信元必须在输入队列中等待；
 - 若一条入线上的队列的排头信元因竞争失败而阻塞，即使该队列中的后续信元所选择的出线当前是空闲的，该队列中的所有后续信元也被迫阻塞；
 - 一个信元周期内，通过交换传输媒体传输的信元数 P 不超过交换单元的入线总数 N ，即 $P \leq N$ 。
- 在输入排队模型中，仲裁逻辑是必须的
 - 用于确定可以得到服务的入线



输出排队

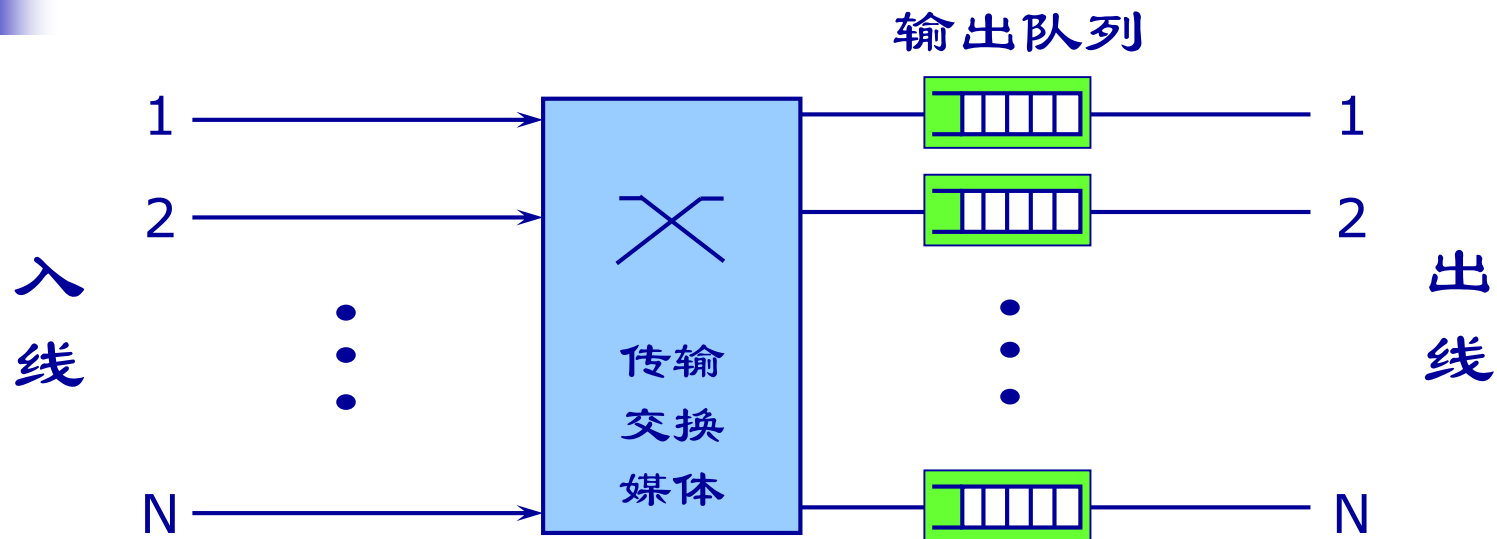
■ 基本思想

- 来自入线的信元可以自由通过交换传输媒体传送（交换）到所需的出线上，在出线上设置缓冲队列解决多信元对出线的竞争。

■ 实现方法

- 在一个信元周期内，所有信元都可无需仲裁地从入线到达所需的出线；
- 每条出线配置一个队列，以便缓冲同时到达的竞争该出线的多个信元；
- 一个信元周期内，一条出线只能为一个信元服务，未服务的信元将暂存在该出线的输出队列中。

输出排队模型



■ 交换传输媒体

- 无阻塞的传输网络，信元通过传输媒体时无需仲裁逻辑

■ 每出线配置一个缓冲队列

- 信元在出线处排队，采用 FIFO 原则，保证信元的顺序



输出排队的优缺点

- 设置在出线上的队列所需的缓冲空间较小；
- 去往同一条出线的多个信元可以在同一个信元周期内交换到出线上，不存在队头阻塞；
- 不需要仲裁逻辑；
- 为保证没有信元丢失，在传输交换媒体中信元的传输交换的速率必须 N 倍于入线的速率；
- 输出排队策略对缓冲器的访问速度要求很高。
 - 在一个信元周期内需要对队列缓冲器进行 N 次信元写操作和一次信元读操作。



中央排队

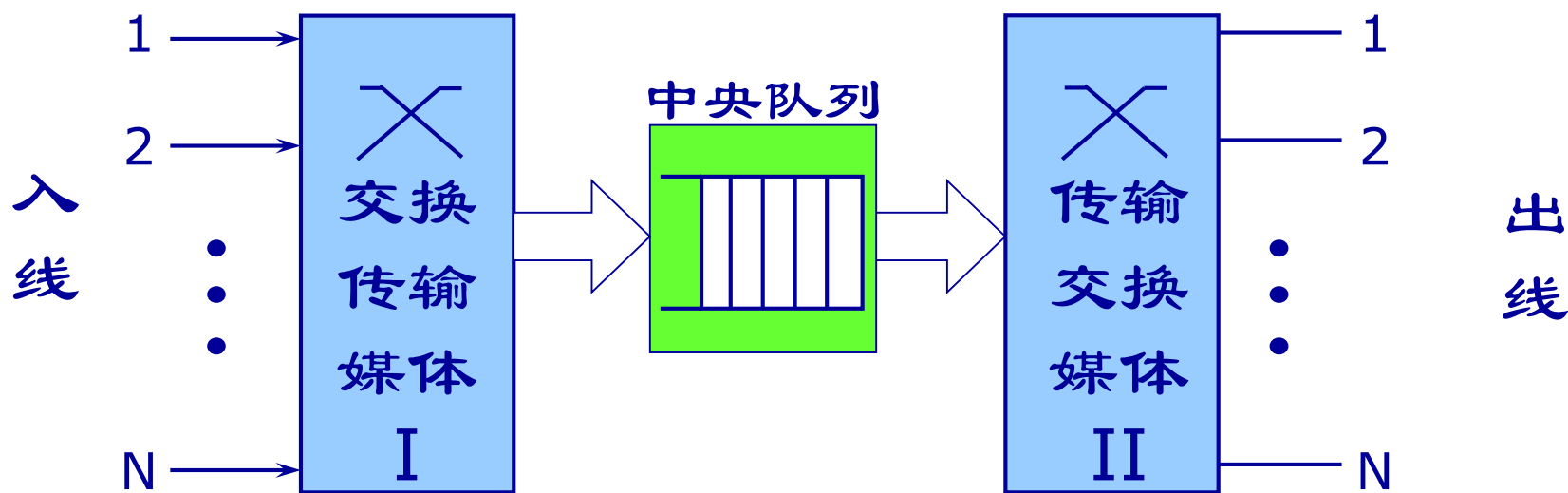
■ 基本思想

- 为了减少整个交换单元所需的总缓冲容量，在基本交换单元中设置一个共享的队列缓冲器，被所有的入线和出线所公用。

■ 实现方法

- 在基本交换单元的中央设置一个队列缓冲器，被所有的入线和出线所共享；
- 来自所有入线上的全部信元都直接存入中央队列
- 各出线从中央队列中查找目的地为其自身的信元，依照先进先出的原则取出并发送。

中央排队模型



- 共享的中央队列被入线和出线所公用
- 交换传输媒体分为两部分
 - 输入信元通过交换传输媒体 I 进入中央队列排队；再通过交换传输媒体 II 输出到出线。信元通过传输媒体时无需仲裁逻辑。



中央排队的优缺点

- 中央队列被所有入线和出线共享，提高了缓冲器的利用率，因此大大地减少了队列缓冲器的总容量。
- 交换单元的控制管理复杂
 - 出线必须能够通过某种查找机制，从中央队列中找出准备输出到出线的信元；
 - 必须保证中央缓冲器中的各逻辑队列具有先进先出的顺序；
 - 由于对中央缓冲器的信元读写是完全随机的，因此需要提供复杂的存储器管理系统。



三种排队策略的性能分析

■ 衡量排队策略的性能参数

- 信元丢失率
- 信元的排队时延
- 所需队列缓冲器的容量（物理实现参数）

■ 研究性能的方法

- 在交换单元的输入线上，给定一种特定的业务类型和业务量负荷，来研究不同排队策略的性能。

■ 进行排队策略性能研究的手段

- 建立数学模型
- 计算机仿真



排队策略的数学模型

直观分析的结论可以通过以下手段进一步证明：

- 数学解析模型
- 计算机仿真
- 建造数学解析模型时，假定：
 - 建模的交换单元的规模为： N 入线 / N 出线
 - 入线的平均利用率为 p
 - 即任意给定时隙（信元周期）内信元到达入线的概率为 p
 - 入线上信元到达的简化模型
 - 每条入线上的信元到达基于不相关的一致性贝努里过程
 - 任一信元被寻址到任何一条出线的概率是相等的 $1/N$



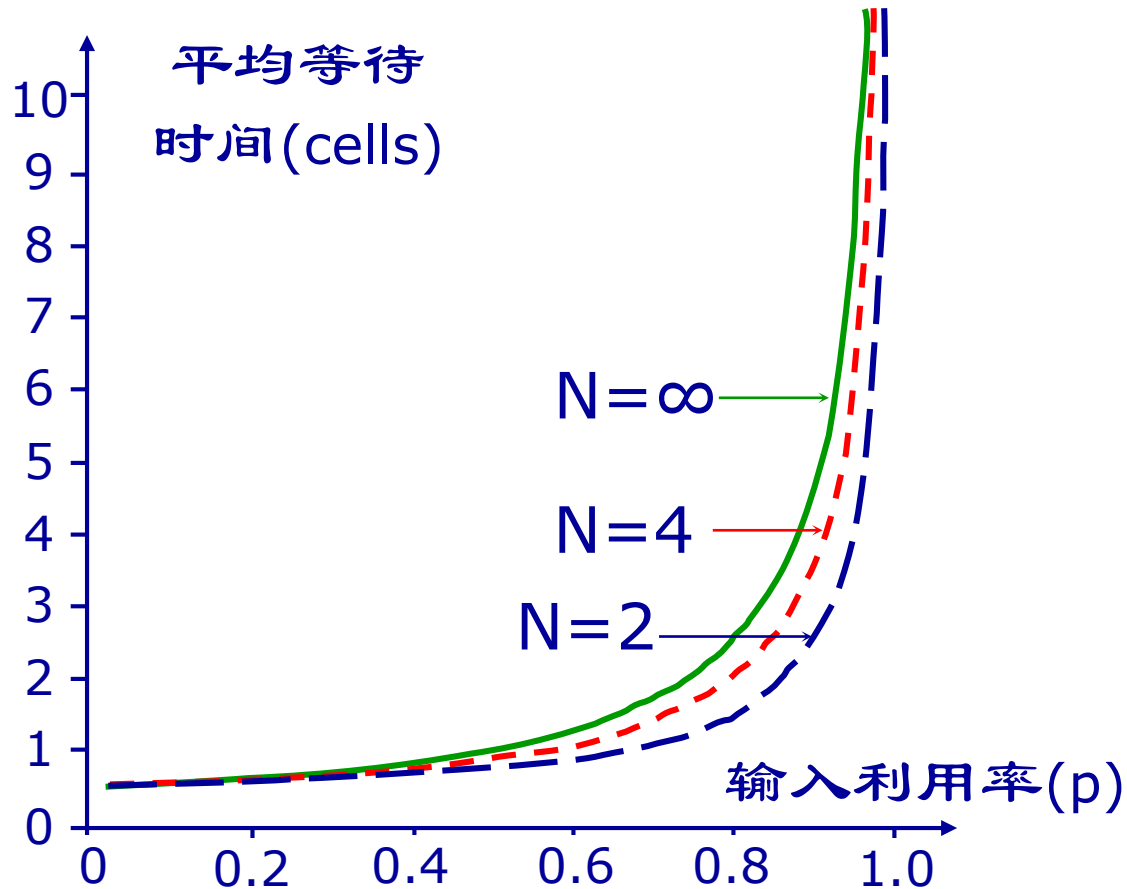
输出排队的解析结果

- 通过推导，输出排队模型的平均等待时间为：

$$\overline{W} = \frac{(N-1)}{N} \cdot \frac{p}{2 \bullet (1-p)}$$

- 输出排队模型的平均等待时间 \overline{W} 是入线上的输入利用率 p （负荷）的函数；
- 交换单元的规模 N 对平均等待时间的影响不大。

输出排队的平均等待时间



平均等待时间与输入利用率的关系



输出排队模型的性能分析

- 输出排队模型的平均等待时间与输入负荷有关；
- 在低负荷情况下，输出排队模型的性能很好；
 - 平均队列长度（平均等待时间）在几个信元范围内
- 当输入负荷超过 0.8 时，性能急剧下降；
 - 平均等待时间呈指数增长
 - 队列长度也呈指数增长，并可能因溢出而造成信元丢失
- 交换单元的规模 N 对输出排队模型的性能影响很小；
- 采用基于输出排队原理的交换单元时，应将输入负荷控制在 0.8 以下，以获得较好的性能。



输入排队模型的性能分析

- 经过推导，可证明采用输入排队模型的交换单元的性能是有限的：
 - 当入线的负荷达到一定程度时，就会出现饱和；
 - 该模型所能达到的最大负荷为：

$$p_{\max} = 2 - \sqrt{2} = 0.586 \quad (N \rightarrow \infty)$$

- 输入排队模型的性能明显低于输出排队；
- 由于交换单元的交换能力所限，超过最大负荷部分的信元将被丢弃。



中央排队模型的性能分析

■ 中央排队模型的性能

- 在平均等待时间特性上，中央排队与输入排队完全相同

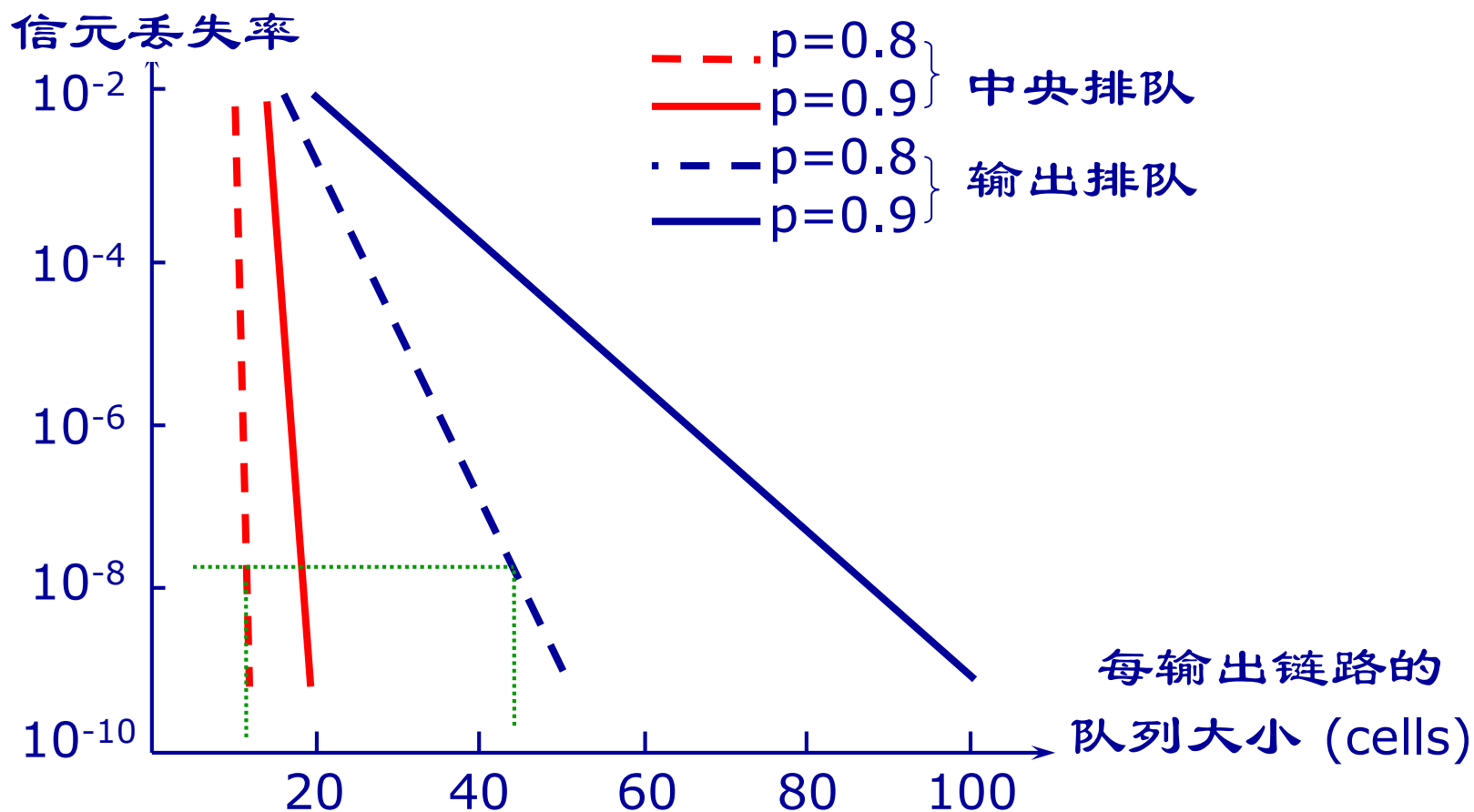
■ 中央排队模型的优点：

- 能够大量减少缓冲存储器的容量；
- 原因：由于对缓冲器的共享提高了存储器的利用率。

■ 数学推导证明，中央排队提高了缓冲的利用率，从而减少了对队列缓冲器容量的需求。

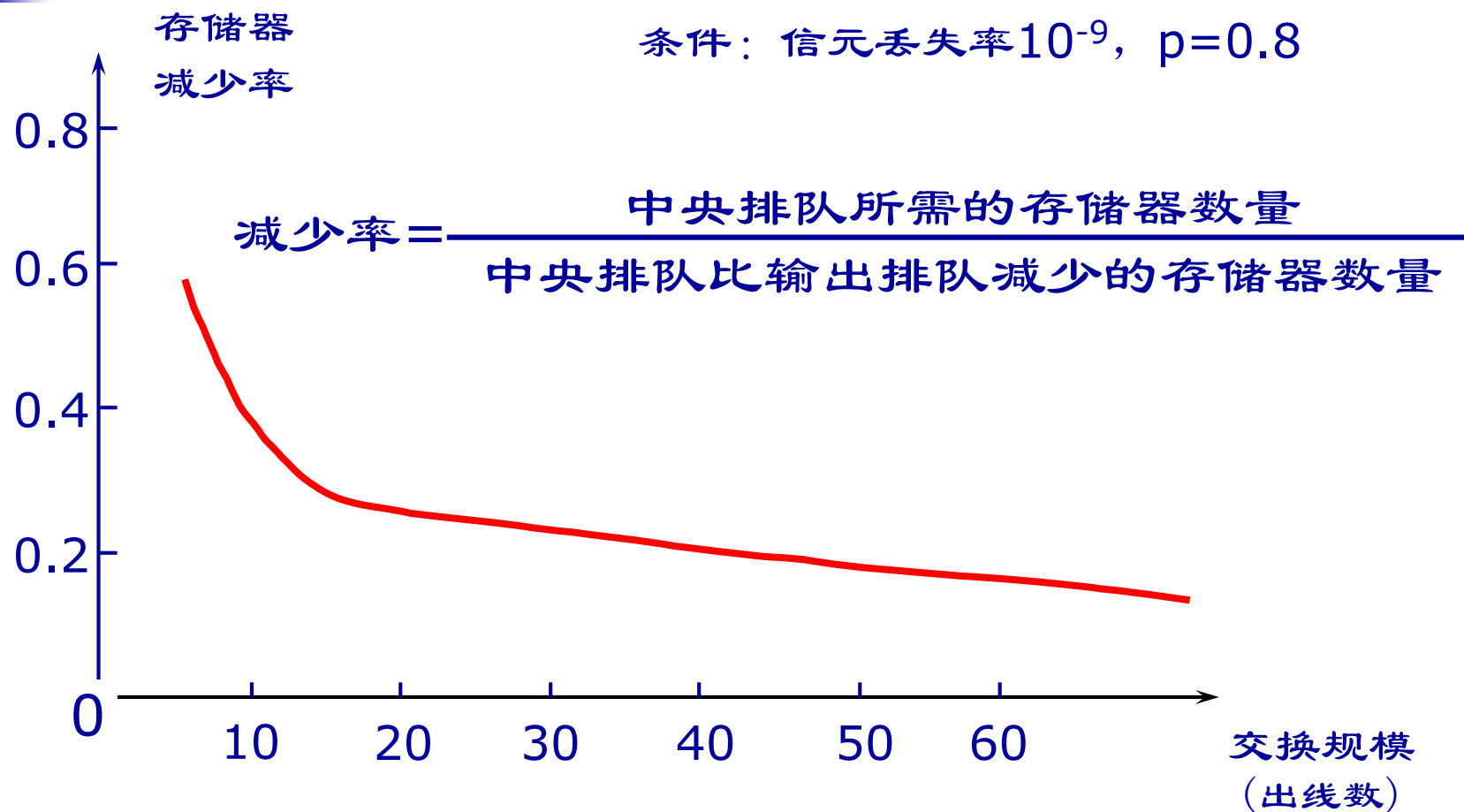
- 通过缓冲器大小与信元丢失率的关系可以反映出来

中央排队策略的队列大小



输出排队和中央排队中信元丢失率与队列大小的关系

中央排队策略的队列大小



中央排队与输出排队相比的队列存储器减少



中央排队策略的性能

- 在保证相同信元丢失率的条件下，中央排队比输出排队需要更少的队列缓冲器
- 队列缓冲器的减少量与交换单元的规模 N 有关
 - N 越大，存储器的统计复用度越高，队列存储器节省越多



计算机仿真

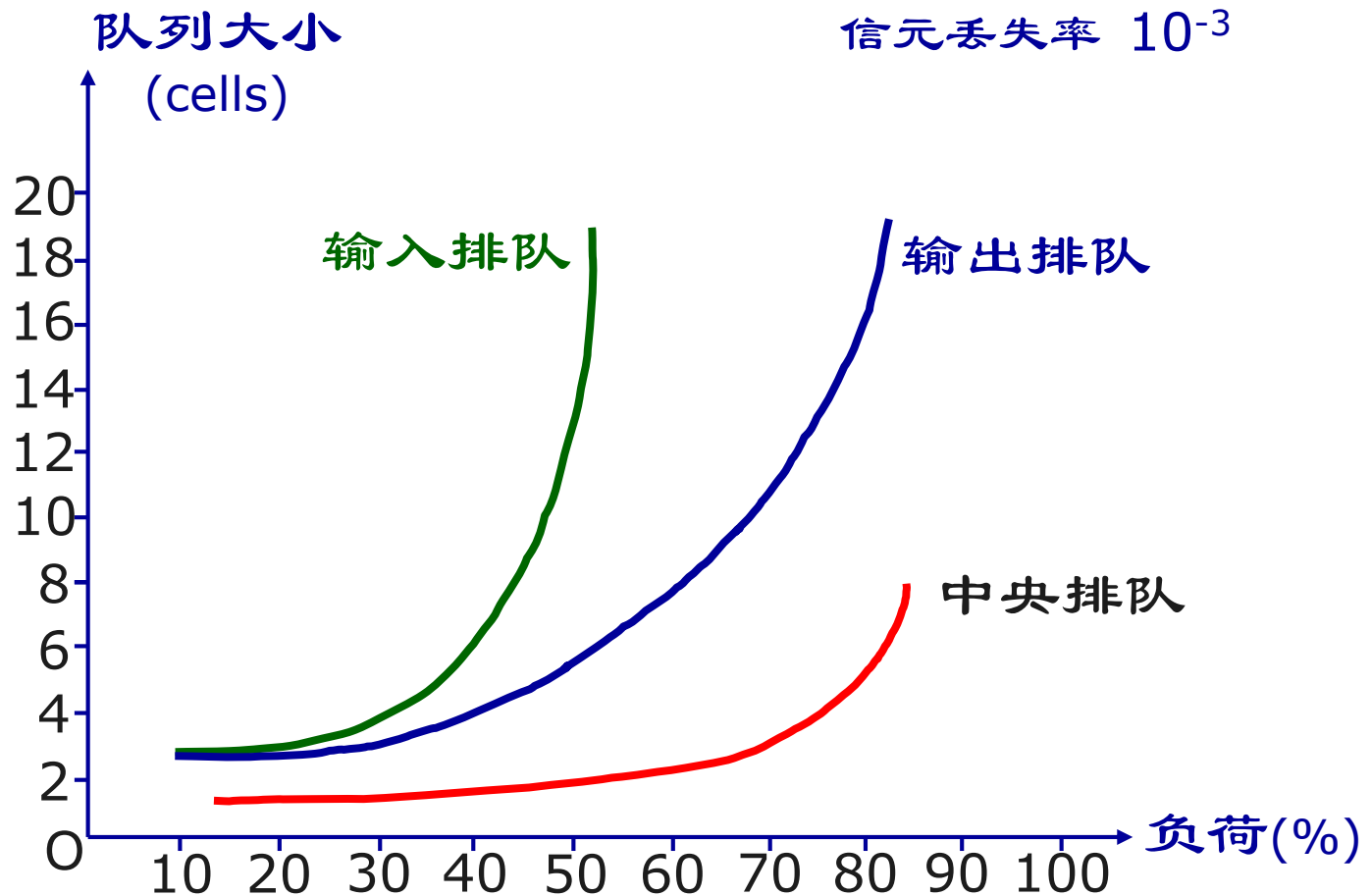
■ 建立数学模型的局限性

- 建立一个一般化的模型很困难;
- 需要在一定的假设条件下进行简化;
- 所得到的结果信息有限.

■ 利用计算机仿真

- 快速取得结果;
- 容易修改模型和条件, 得到更具有普遍意义的结论.

计算机仿真的结果



三种排队策略队列大小与负荷的关系



排队策略的性能分析

■ 三排队策略性能分析的结论

■ 输入排队

- 最大可能承担的负荷：58.6%
- 通常在实际中不可用

■ 输出排队

- 负荷小于 0.8 时，平均等待时间、平均队列长度很小

■ 中央排队

- 负荷小于 0.8 时，平均等待时间、平均队列长度很小
- 与输出排队相比，可大大减少队列长度



排队策略对物理实现的要求

- 采用不同排队策略实现基本交换模块的物理要求不同
- 影响排队系统（基本交换模块）实现复杂度的参数
 - 队列大小:取决于采用的排队原则系统的性能要求（信元丢失率、负荷、时延等）
 - 存贮器速度:取决于交换单元的规模、排队原则、链路速率和存贮器位宽等
 - 存贮器控制算法:依赖于排队原则，不同排队方法的控制算法不同
- 设计排队系统时，常常受到半导体工艺和技术的限制：
 - 最新可用的芯片技术；
 - 芯片的特征尺寸和工作频率；
 - 集成度，它直接决定了基本交换单元的大小。
- 实现交换单元时，很有必要分析其物理实现的需求。

输出排队策略的实现参数

■ 缓冲存储器

- 在一个信元周期内完成 $N+1$ 次信元操作 (N 次写操作, 1 次读操作), 要求存储器的访问时间为:

单端口存储器: $\frac{W}{(N+1) \cdot F}$ 双端口存储器: $\frac{W}{N \cdot F}$

W - 位宽
F - 信元速率
N - 交换单元规模

- 队列的控制逻辑: 简单的 FIFO 控制
- 交换传输媒体: 物理媒体速率必须达到 $N \cdot F$ 才能保证没有信元内部阻塞;
- 对广播和组播功能的支持: 每一入线都可以到达所有输出队列, 因此很容易实现广播和组播.

输入排队策略的实现参数

缓冲存储器

- 一个信元周期内缓冲存储器被入线和出线各访问一次，访问时间为：

单端口存储器: $\frac{W}{2 \cdot F}$

双端口存储器: $\frac{W}{F}$

- 队列的控制逻辑：简单的 FIFO 控制
- 交换传输媒体：由于输入排队策略自身的缺陷，在输入队列处一定存在信元溢出，因此传输媒体的速率可以低于 $N \cdot F$ ；
- 对广播和组播功能的支持：必须附加控制逻辑来避免出线上的竞争，才能支持广播和组播功能。



中央排队策略的实现参数

■ 缓冲存储器

- 所有入线和出线需同时访问中央队列，访问时间为：

$$\text{单端口存储器: } \frac{W}{2 \cdot N \cdot F} \quad \text{双端口存储器: } \frac{W}{N \cdot F}$$

- 队列的控制逻辑: 由于所有的信元都随机存储在队列缓冲器中，因此需要更加复杂的存储控制技术，例如计算机操作系统中所采用的动态存储分配技术，同时要求控制逻辑的工作速度极高；
- 交换传输媒体: 若要求信元无内部阻塞，两部分的物理传输媒体速率都必须达到 $N \cdot F$ ；
- 对广播和组播功能的支持: 实现困难。

不同排队策略的存储器访问时间

■ 三种排队策略的存储器访问时间

- 交换单元规模 $N = 16$
- 存储器位宽 $W = 16$
- 信元速率 $F = 150\text{Mb/s}$

■ 计算得到的存储器访问时间:

比较的方面	输入排队	输出排队	中央排队
单端口存储器	53.3ns	6.3ns	3.8ns
双端口存储器	106.6ns	6.7ns	6.7ns



三种排队策略的实现参数比较

比较的方面	输出排队	输入排队	中央排队
存储器速度	高	低	高
控制逻辑	FIFO	FIFO	复杂
缓冲器大小	大	很大	小
性能	高	低	高
支持组播	容易	困难	困难



思考题

- ATM交换的关键技术包括哪两方面？
- ATM交换系统的组成包括哪些部分？
- 在ATM系统中，为什么要采用排队技术？
- 排队方式有几种？分别具有哪些特点？在交换系统中常用的排队方式是哪种？
- 对交换系统的排队方式研究，其研究方法可以包括哪几种？



ATM 基本交换结构-----交换模块

- 基本交换模块的组成
- 基本交换模块的分类
- 几种典型的交换单元

基本交换模块的组成



■ 基本交换模块的组成

- 入线控制器 (IC)：用于输入端口的控制；
- 出线控制器 (OC)：用于输出端口的控制；
- 传输网络：由 VLSI 构成的信元高速传输交换通路。

■ 基本交换模块的容量

- 规模小：通常为从 2×2 到 16×16 、 32×32 ；
- 端口速率：从 155Mbit/s、622Mbit/s 到 2.5Gbit/s；

■ 基本交换模块需要在 IC、OC 或传输网络内部提供排队功能



基本交换模块的分类

- 传输网络的结构决定了基本交换模块的性能特征。
- 按照传输网络的结构，基本交换模块可分为两类：
 - 基于矩阵的网络结构
 - 基于时分复用介质的网络结构



基本交换模块的分类

■ 基于矩阵结构的交换单元

- 所有的输入线和输出线互连构成矩阵网格，信元通过网格接点并行传送。

■ 基于时分复用结构的交换单元

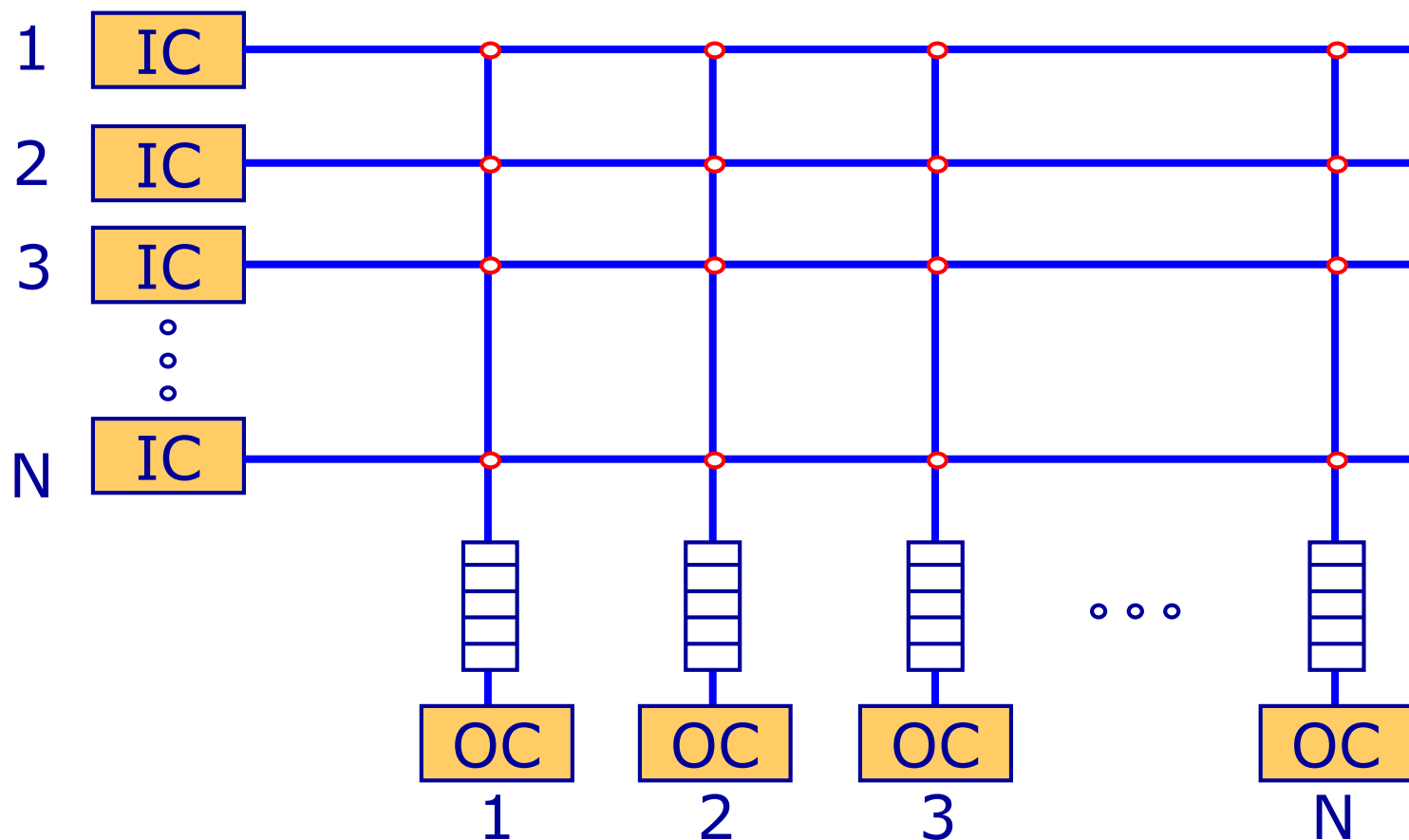
- 输入线和输出线通过时分复用的方式共享传输介质或存储介质，从而实现信元交换。
- 基于时分复用结构的交换单元又可分为：
 - 共享总线式交换单元
 - 环型交换单元
 - 中央存贮式交换单元



几种典型的交换单元

- 交换模块是构成 ATM 交换机构的基本单元，典型的交换单元包括：
 - 基于矩阵结构的交换单元----Knockout 交换单元
 - 总线式交换单元----Cellbus 交换单元
 - 环型交换单元
 - 中央存贮式交换单元
 - Roxanne 交换单元 ISE

基于矩阵结构的交换单元（机理）





基于矩阵结构的交换单元

- 每条输入线驱动一条总线;
- 总线上的信息速率等于入线的速率;
- 信元通过总线传输到任意一条出线上;
- 来自各入线的信元可以并行地传输;
- 为避免信元竞争出线时可能发生的丢失, 需要在每个出线上增加缓冲器. (输出排队)



矩阵结构的加速因子

- 加速因子是衡量矩阵交换单元性能的重要参数;
- 加速因子的定义
 - 在一个时隙 (信元周期) 内, 可由输出缓存器接收的最大信元数
- 决定加速因子的因素:
 - 输出缓存器的容量
 - 交换单元工作速率
- 加速因子 K 的值不会超过交换单元的规模 N ;
- 只有当 $K=N$ 时, 才可保证交换单元是无内部阻塞的.



输出端口的队列组织

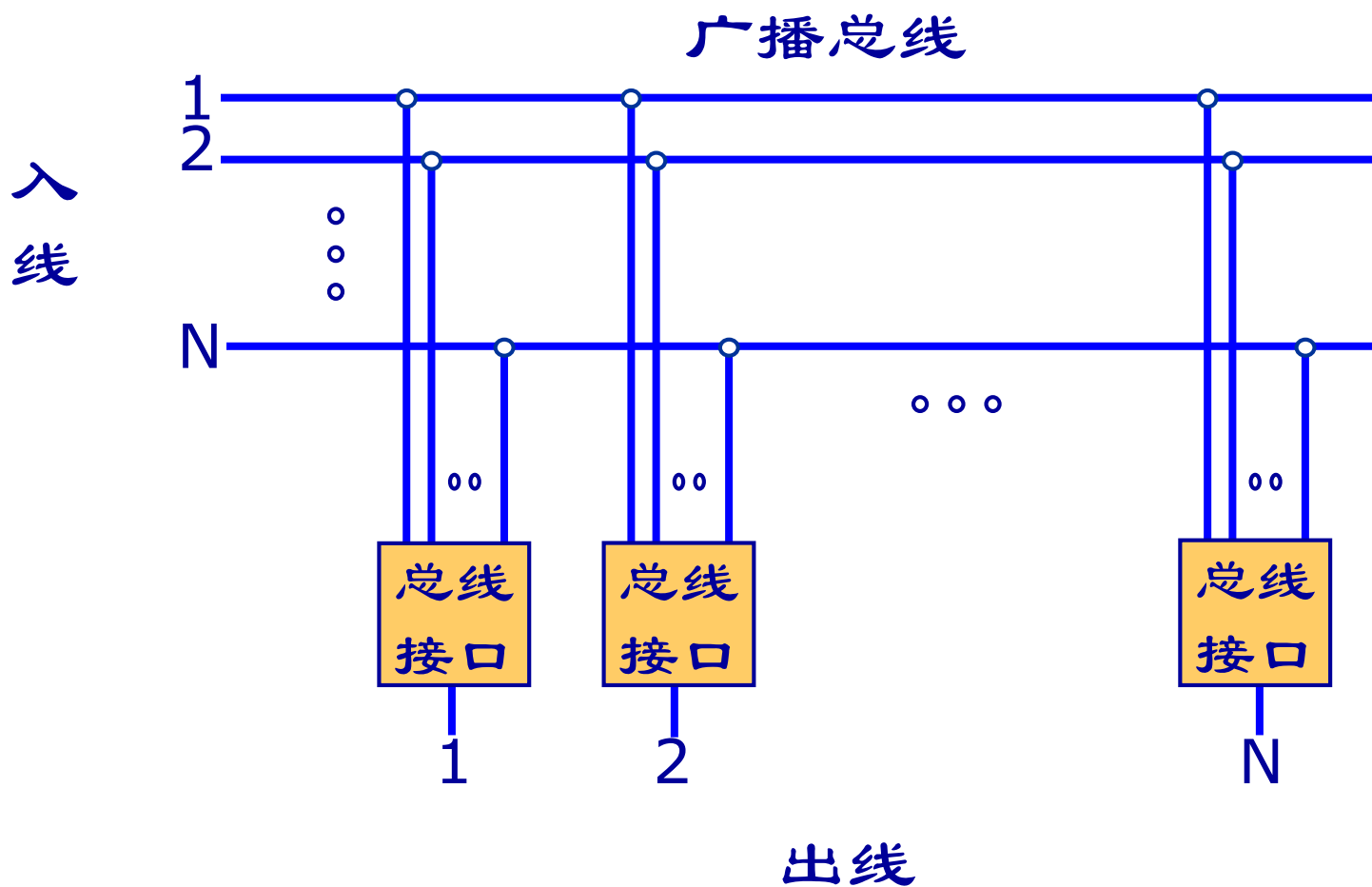
■ 输出端口队列的组织方式

- 来自所有入线的信元共享一个队列
 - 该方法管理简单，信元按 FIFO 原则获得服务，但要求缓冲存储器的访问速度很高。
- 为不同的入线划分多个子队列
 - 该方法可有效降低缓冲存储器的访问速度；但在每一个信元周期中，输出端口都需要借助仲裁机制从多个队列中选择一个信元，进行输出服务。

■ 输出端口提供输出服务时所依据的仲裁原则：

- 随机性原则
- 依据时延的原则
- 依据状态的原则
- 轮循原则

Knockout 交换单元

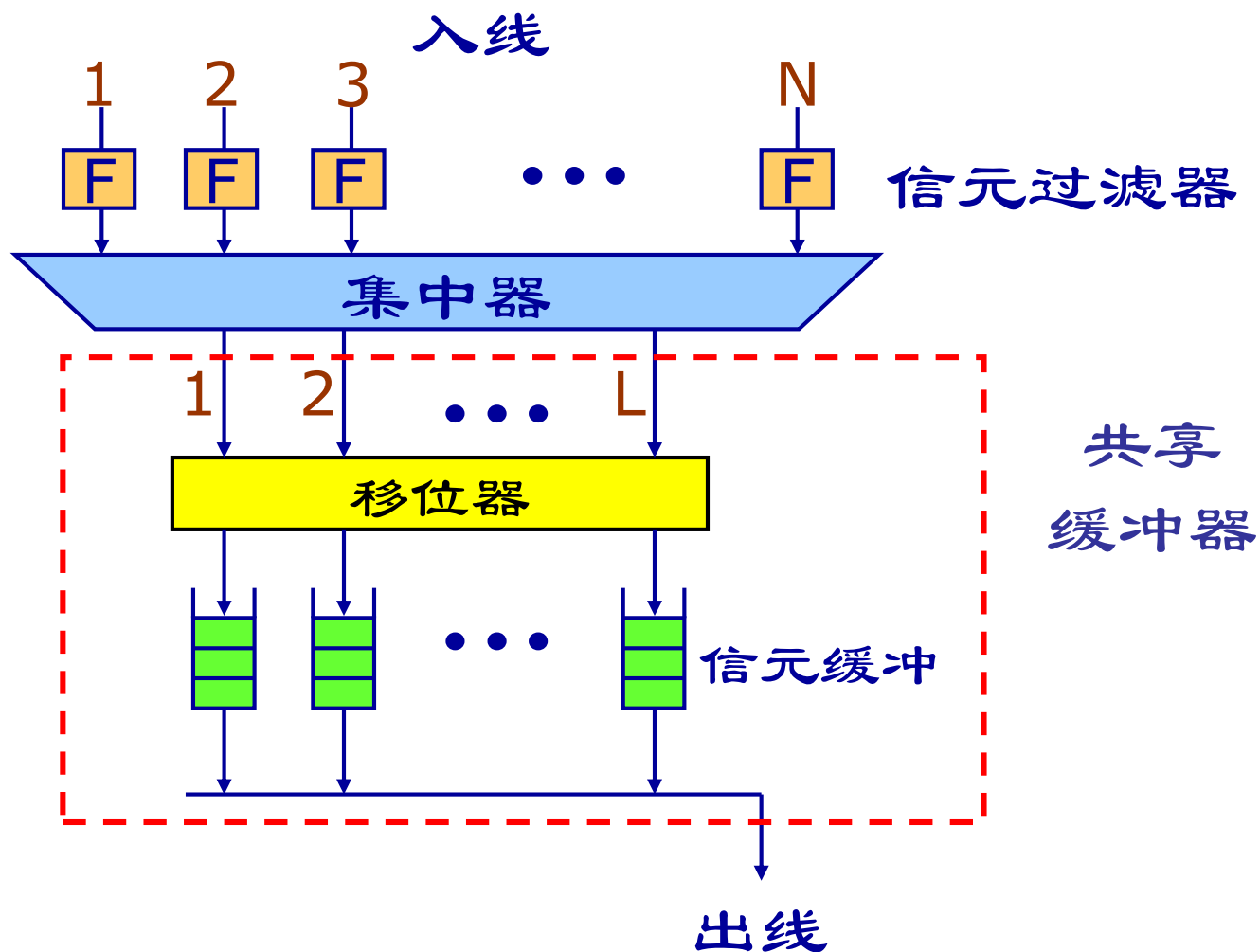




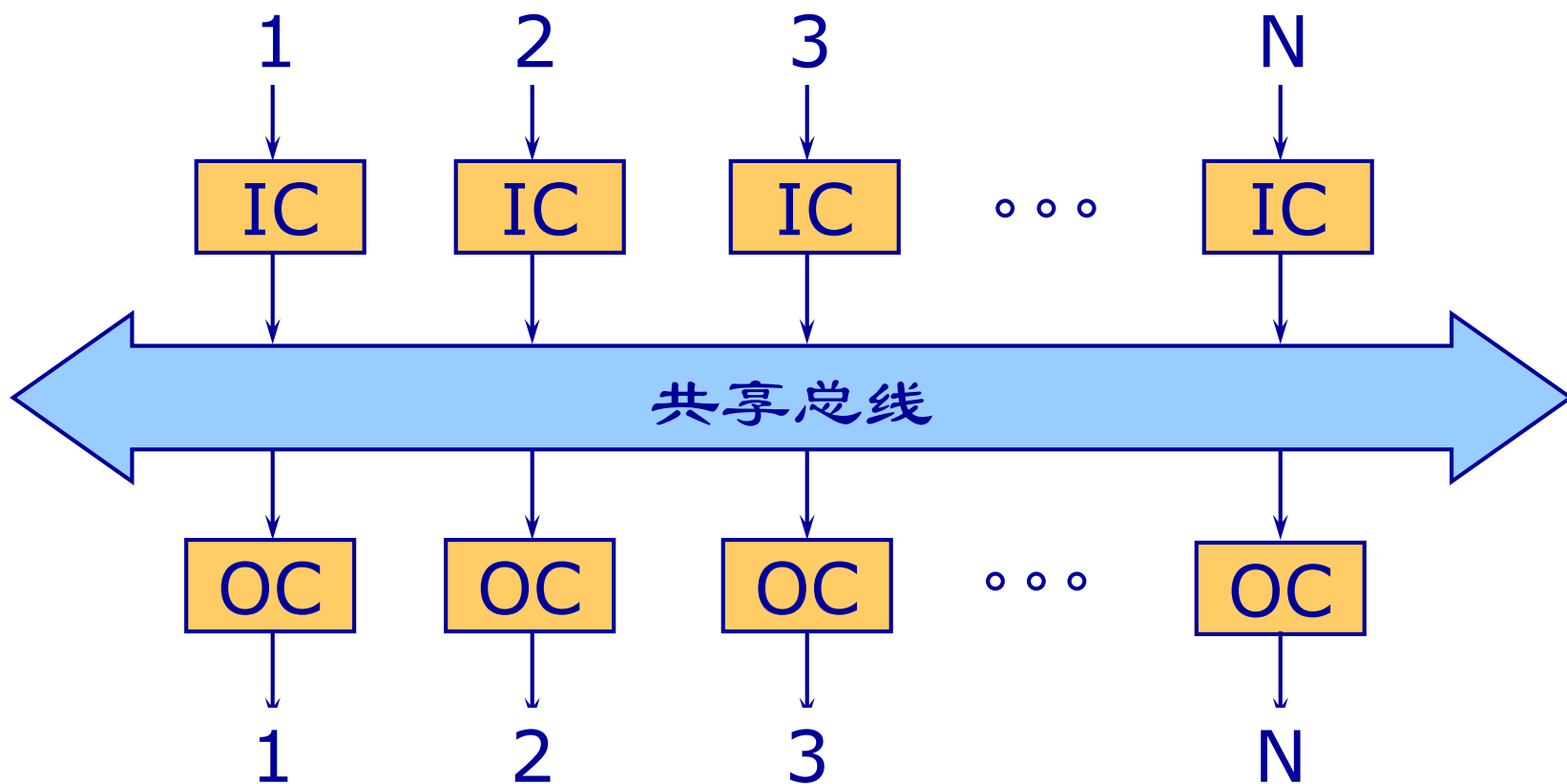
Knockout 交换单元

- 传输媒体由 N 条广播总线组成，每条入线驱动一条广播总线；
- 传输媒体无阻塞；
- 每条出线通过一个总线接口可以访问到所有的入线；
- 总线接口中需要设置队列缓冲器；
- 优点
 - 扩展简单；
 - 支持广播和组播功能容易。
- 总线接口的集中功能
 - 降低了队列的操作速度，但引入了信元丢失。

Knockout 单元总线接口



总线式交换单元（机理）



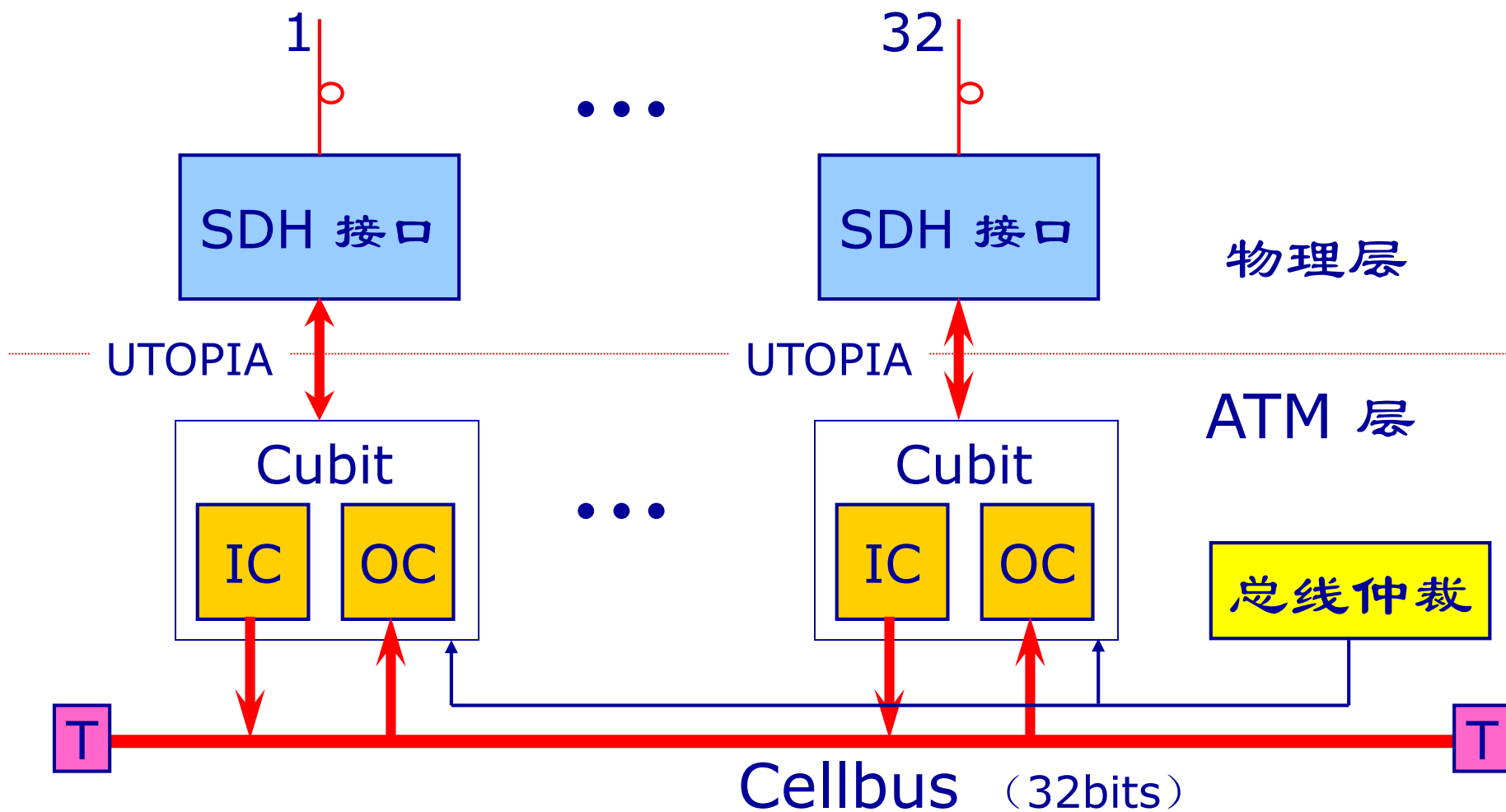
总线速率应大于 N 倍端口速率



总线式交换单元

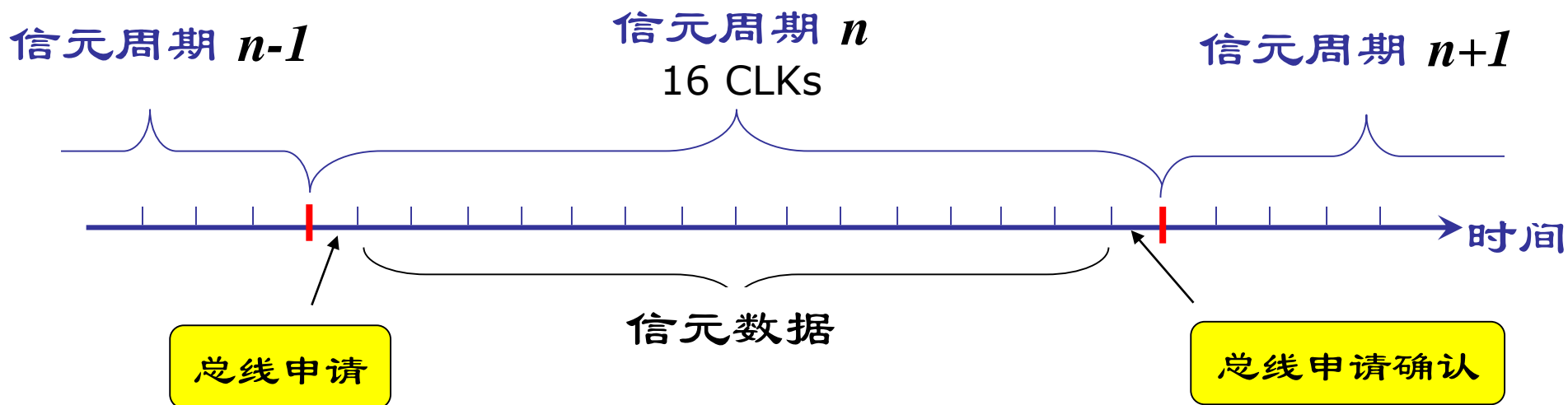
- 传输介质是高速时分复用总线
 - 高速总线通常需要采取一定措施防止信号反射。
- 总线的容量决定交换单元的容量
 - 只有总线容量大于各输入端口容量之和时，才能保证交换单元是内部无阻塞的。
- 需要控制逻辑来控制各入线对总线的分时访问
- 提高总线的位宽，可增加总线的吞吐率
- 输出端口需要增加缓冲存储器（输出排队）
- 输入端口需要信元缓冲器，用于信元暂存和速率匹配

Transwitch 的 Cellbus 交换单元

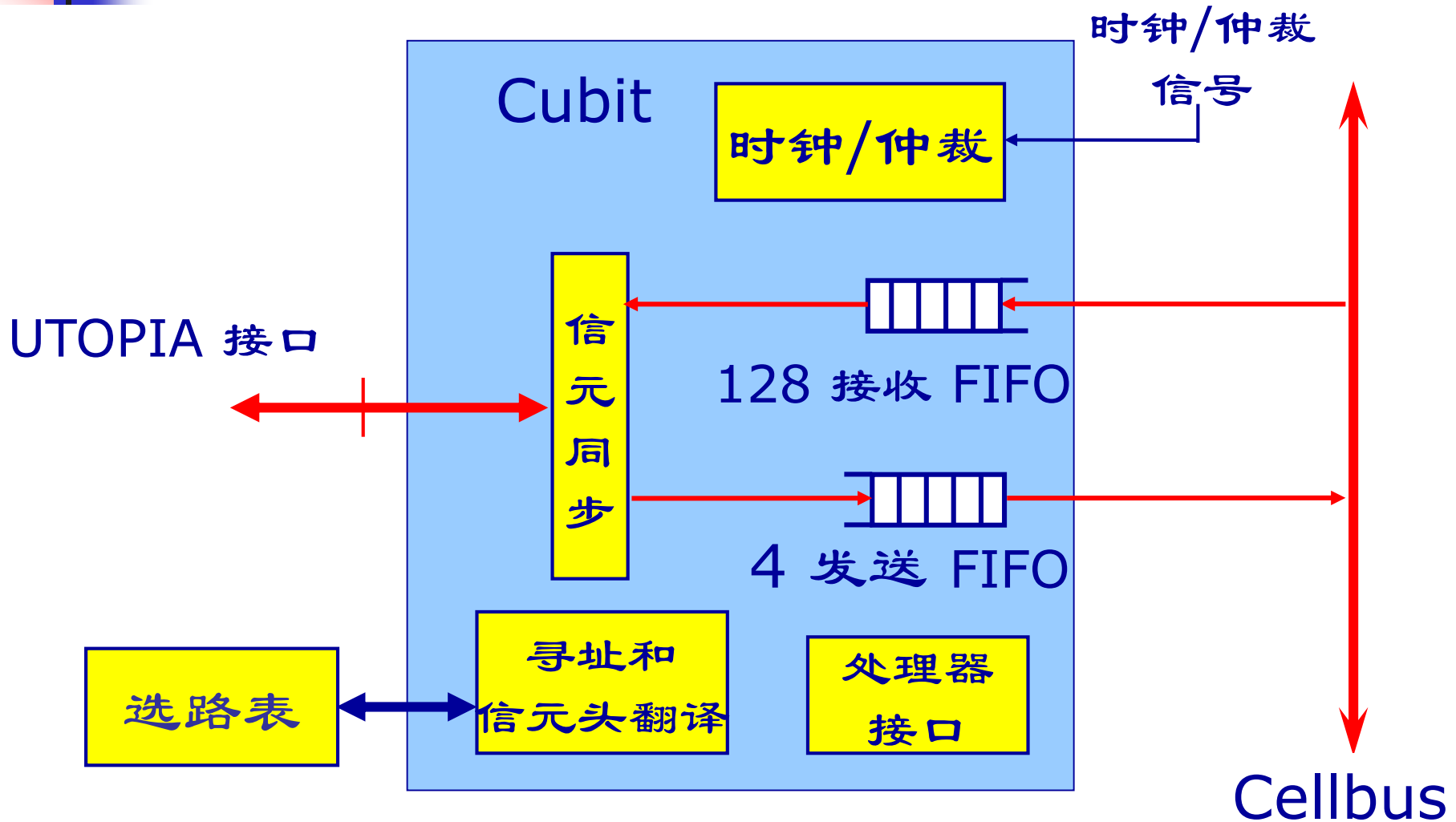


Cellbus 交换单元

- 32 位信元数据总线 (GTL)，最大支持 32 端口；
- 集成的端口控制器 Cubit，各端口具有唯一总线地址；
- 端口控制器可通过 UTOPIA 接口连接各种物理层设备；
- 总线上划分信元周期，在每个周期内，只允许唯一端口发送信元，仲裁逻辑判定获得总线控制权的端口控制器；



端口控制器结构





Cubit 单元结构

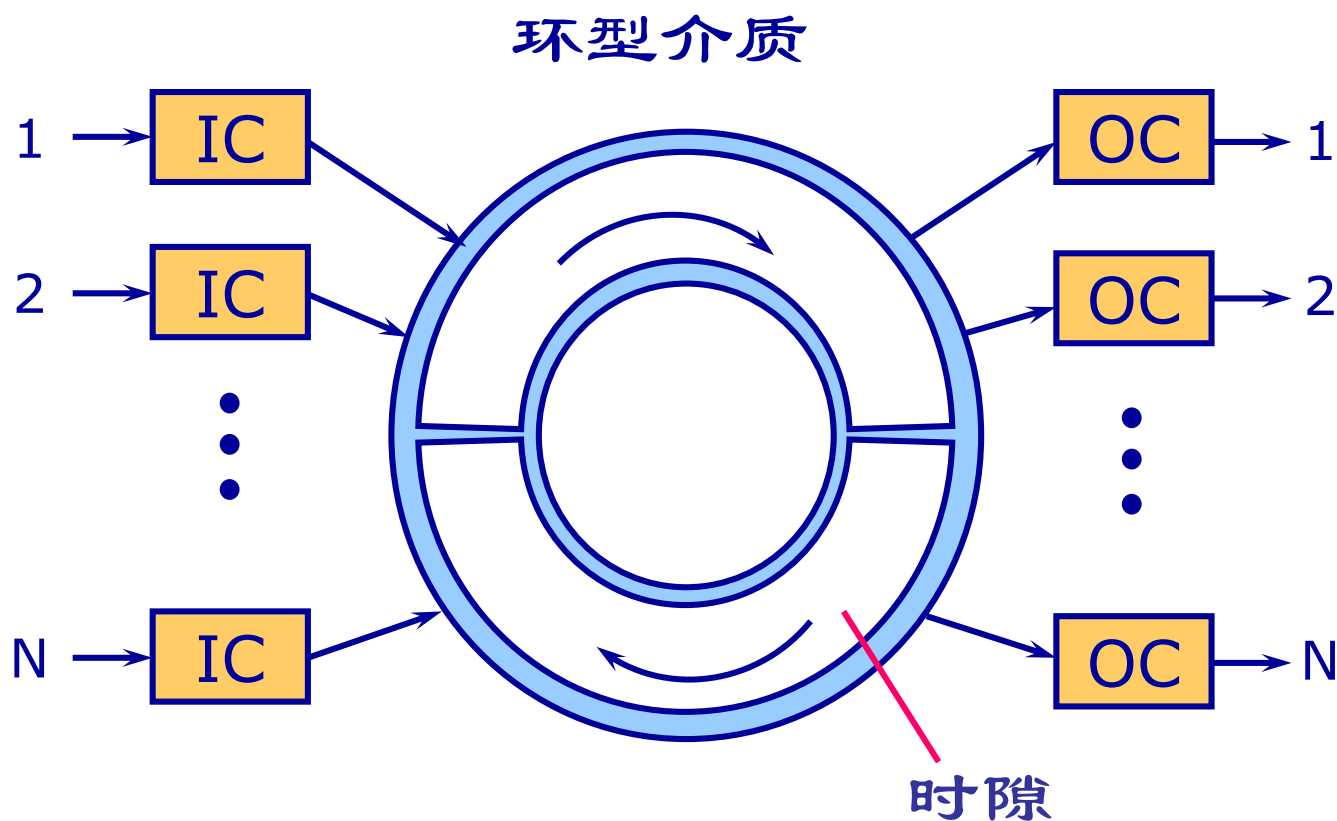
- 4 信元的发送缓冲器，用于速率匹配；
- 128 信元的接收缓冲器（输出排队）；
- 时钟电路根据总线时钟产生内部工作时钟；
- 寻址和翻译机构根据 VPI/VCI 指定输入信元的 Cellbus 目的地址，并对输入信元的 VPI/VCI 进行翻译；
- 处理器接口用于接受控制系统的指令。

总线信元周期的构成

- 16 个时钟脉冲 (CLOCK) 组成;
- CLK0 为总线申请周期; CLK15 为总线申请的确认周期;
- CLK1: 信元目的总线地址, 用于寻址到相应的目的端口;
- CLK2~CLK14: 承载信元体;
- 当总线的工作速率为 40MHz 时, 交换单元的有效信元交换容量为:
$$32\text{bit} \times 40\text{MHz} \times 13/16 = 1\text{Gbit/s}$$



环型交换单元（机理）



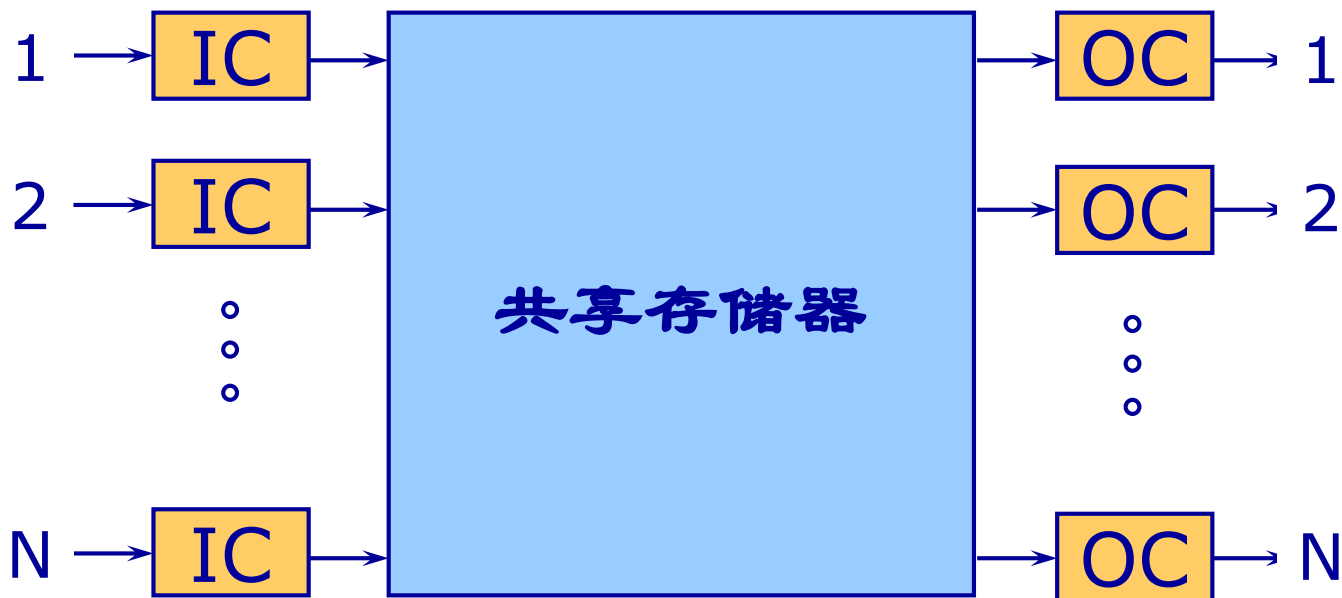
端口速率 K ，环速率 R 可小于 $N \times K$



环型交换单元

- 环型拓扑结构：所有 IC 和 OC 通过环型介质连接
 - 环上划分为多个时隙（slot），每个时隙可装载一定量的信息；
 - 一个信元周期中，多个 IC 可以利用介质环上的不同时隙来传送信元；
 - 介质的利用率高；
 - 介质的工作速率可以低于各输入端口的速率之和；
 - 介质环的工作速率越高，可划分的时隙数越多，吞吐量越大。
- 实现比总线式交换单元复杂；
- 提高环型介质的位宽，可增加交换单元的吞吐率；
- 输出端口需要增加缓冲存储器（输出排队）；
- 输入端口需要信元缓冲器，用于信元暂存和速率匹配。

中央存贮式交换单元（机理）





中央存贮式交换单元

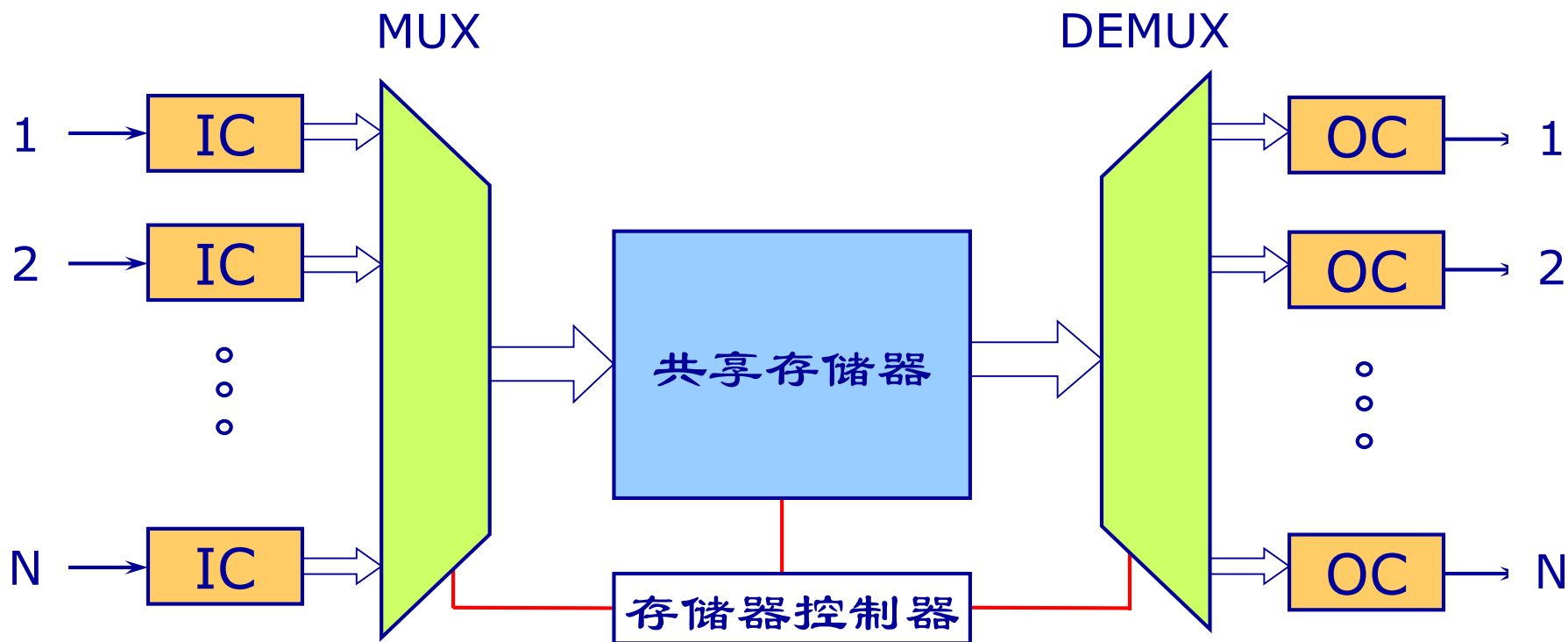
- 基于中央排队模型，IC 和 OC 以时分复用方式共享存储器；
- 输入信元通过 IC 写入公共缓冲存储器中，OC 也从公共缓冲存储器中读取信元，存贮器的控制比较复杂；
- 大大节省存储空间，但缓冲存储器的访问速度很高：

存储器访问时间：

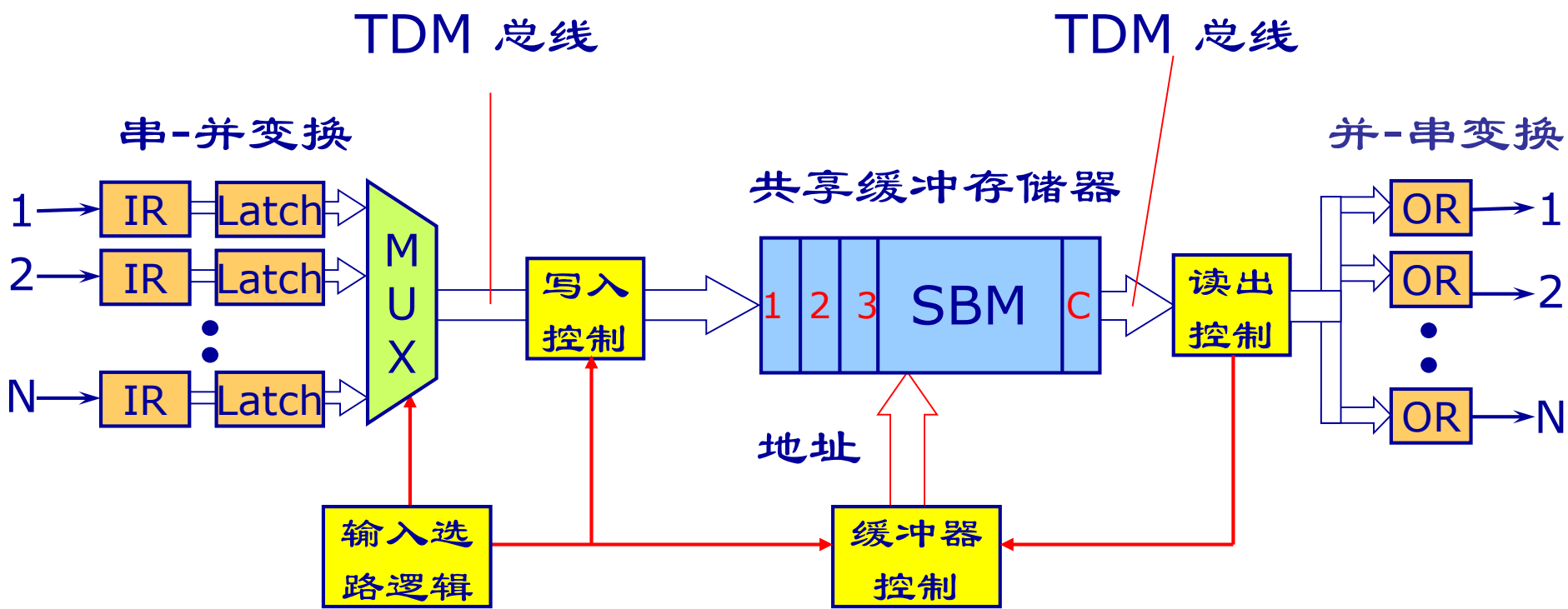
$$\frac{W}{2 \cdot N \cdot F}$$

- 可以采用提高信息处理位宽的方式来降低存贮器访问速率，即在 IC 和 OC 中完成信元数据的串-并/并-串转换。

中央存储式交换单元



Roxanne 交换单元 ISE





思考题

- ATM的基本交换模块包括哪些基本组成部件？
- 对基本交换模块如何进行分类？
- 以一种典型的基本交换单元为例，说明其工作原理。



ATM 交换机构和交换系统

- ATM 交换机构
- 单级交换网络
- 扩展交换矩阵网络
- 混合式互换网络
- 多级互连网 (MIN)



ATM 交换机构

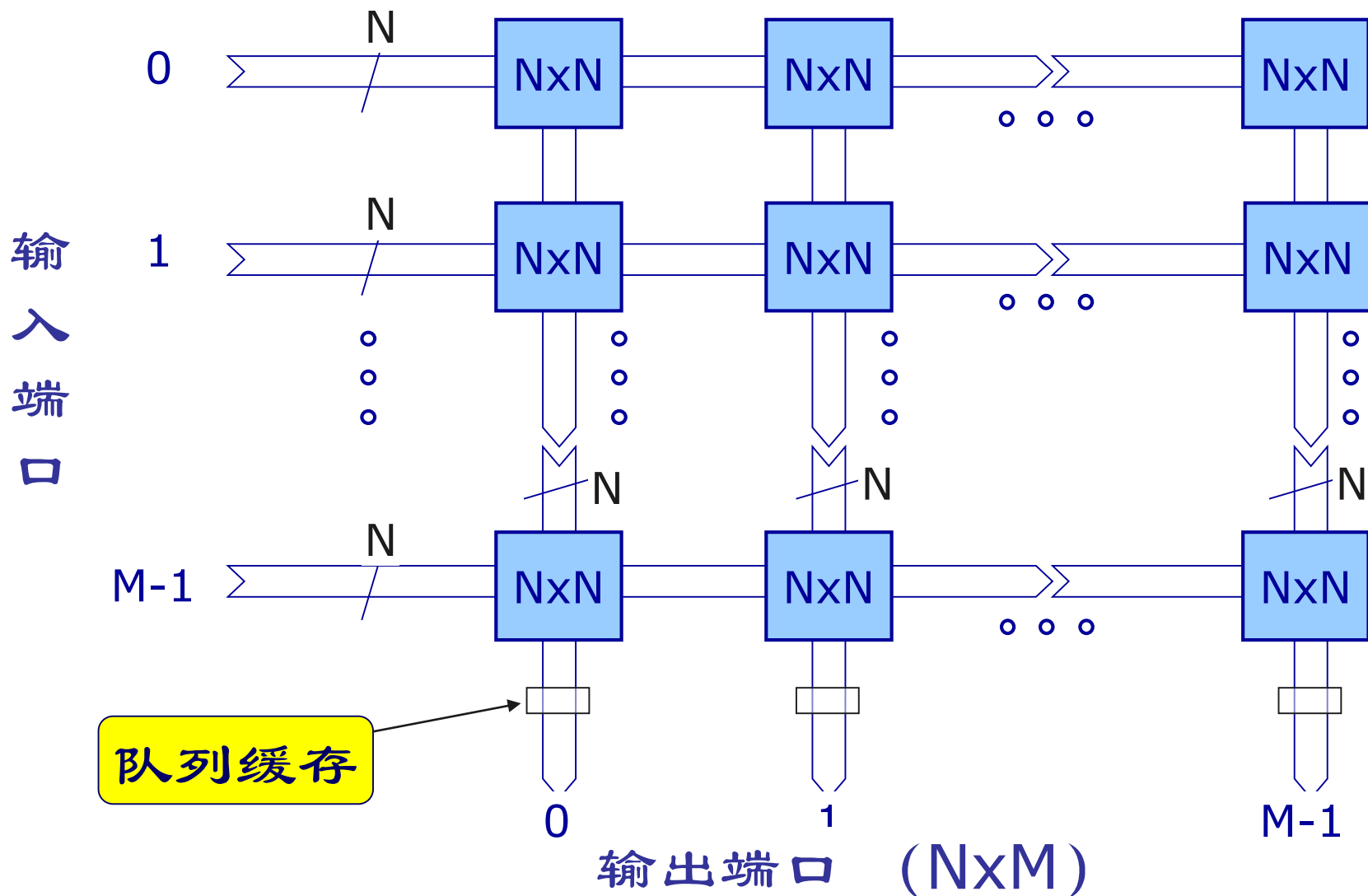
- ATM 交换机构（或交换网络）是由大量基本交换模块构成的；
 - 交换机构的规模可达数百条到数万条出入线。
- 基本交换模块构成交换机构时需要依照一定的结构；
- 交换机构的结构组织方式决定了交换机构的特性；
- 根据网络的组织方式，交换机构可大体分为：
 - 单级交换网络
 - 多级互连网（MIN）



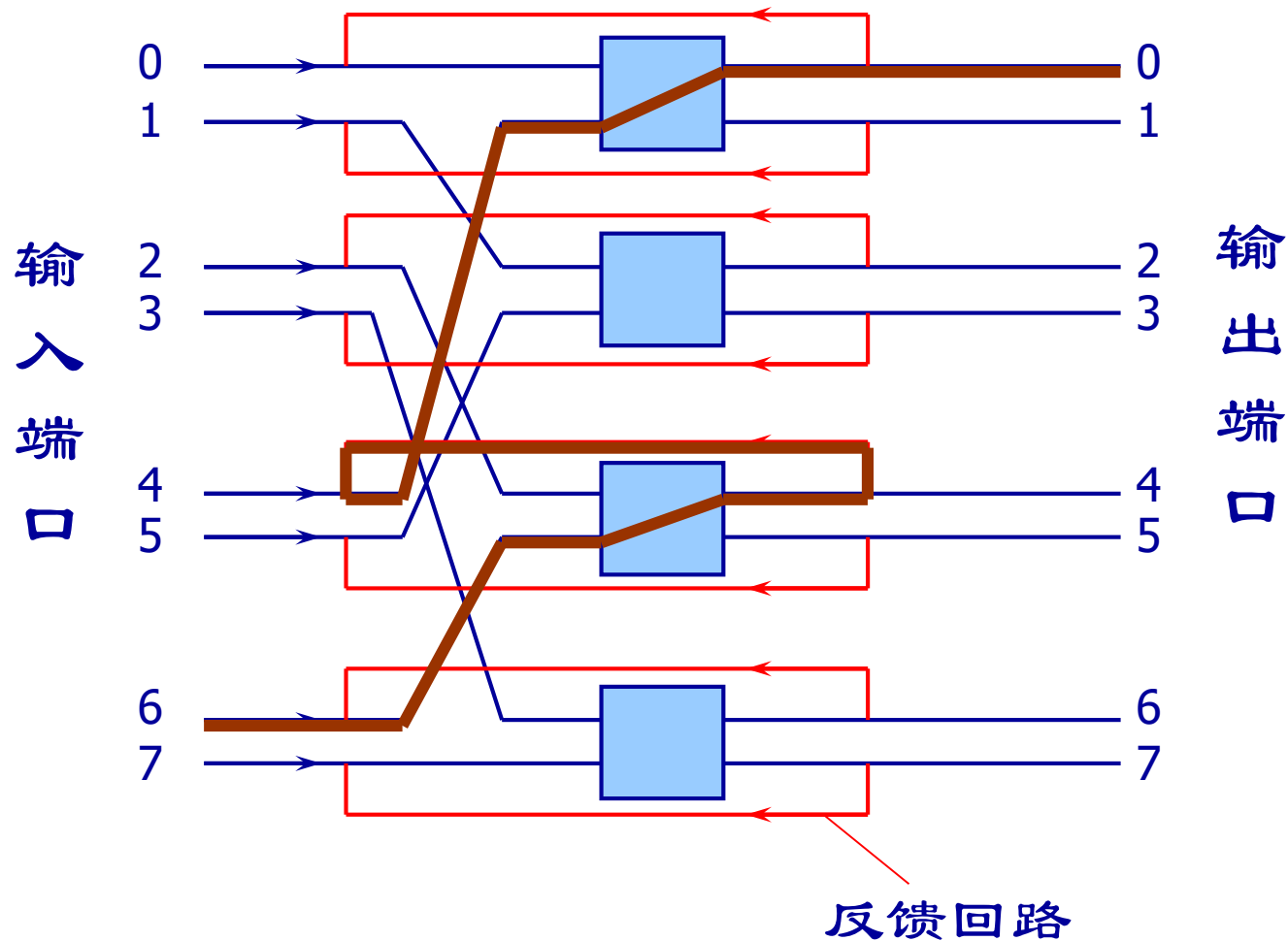
单级交换网络

- 单级交换网络的特征：信元从输入到输出的过程中，只需要经过一次确定传输路径的过程。
- 单级结构的交换网络包括：
 - 扩展交换矩阵网络
 - 混合式互换网络

扩展交换矩阵网络



混合式互换网络





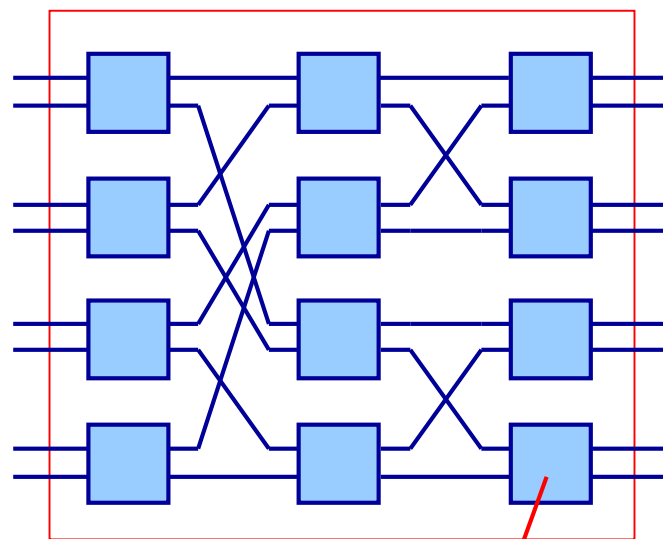
多级互连网 (MIN)

- 多级互连网 (MIN) 的定义
- 多级互连网中的路由
- 多级互连网的内部竞争
- 典型的多级互连网

多级互连网 (MIN) 的定义

- 由基本交换模块构成
 - 2x2 到 32x32
 - 使用大规模的基本交换模块可以减少交换机构的级数
- 交换网络中信元从输入端到输出端至少需要经过两次以上的过程来确定传输路径
- 入线到出线的全连通性
- 内部通路的共享

3-stage MIN

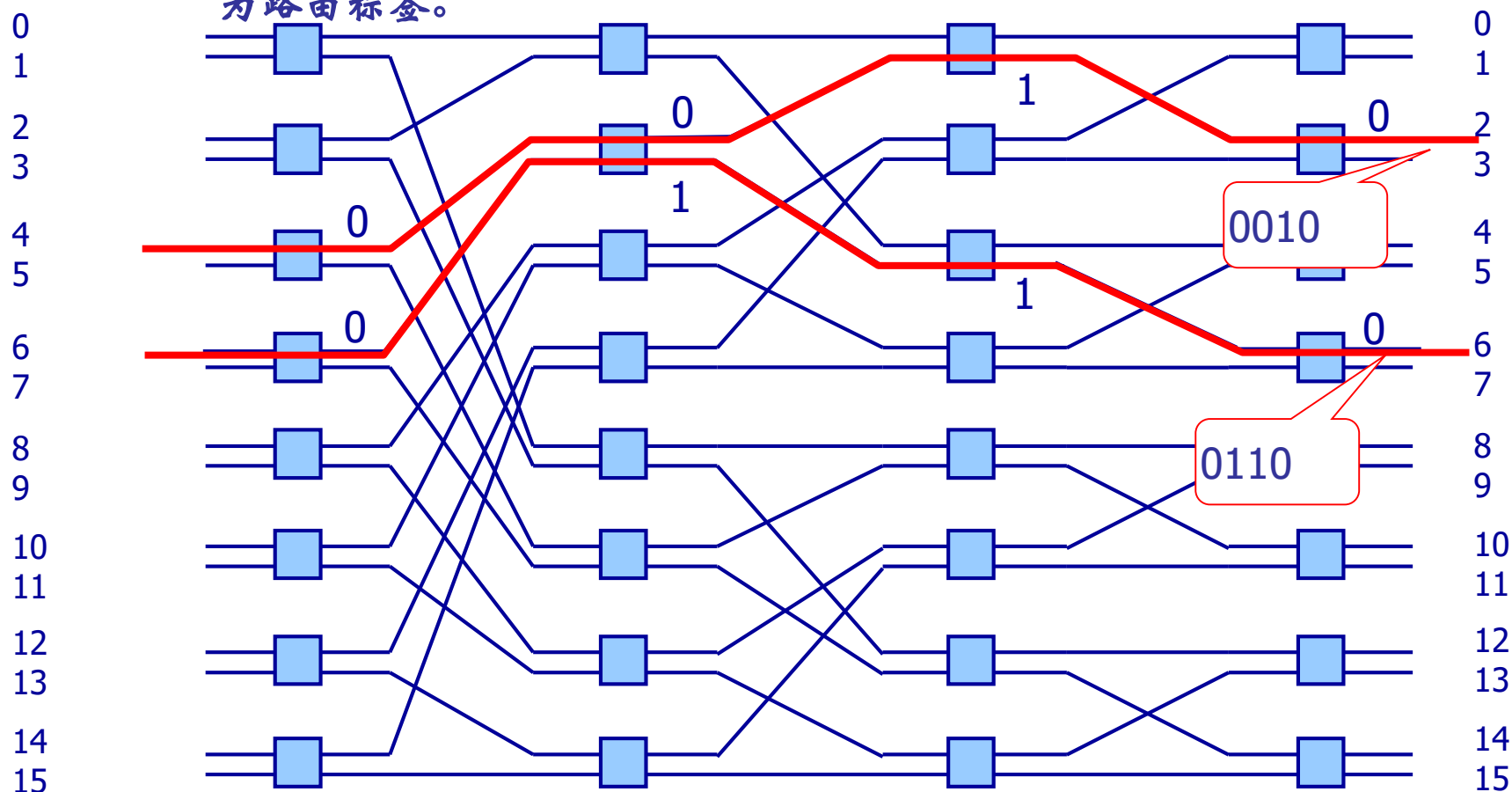


基本交换模块

多级互连网中的路由

• MIN 需要解决的关键性问题——路由选择

- 信元在 MIN 中从入线到出线所走过的路由可以用一串数字来表示，即称为路由标签。



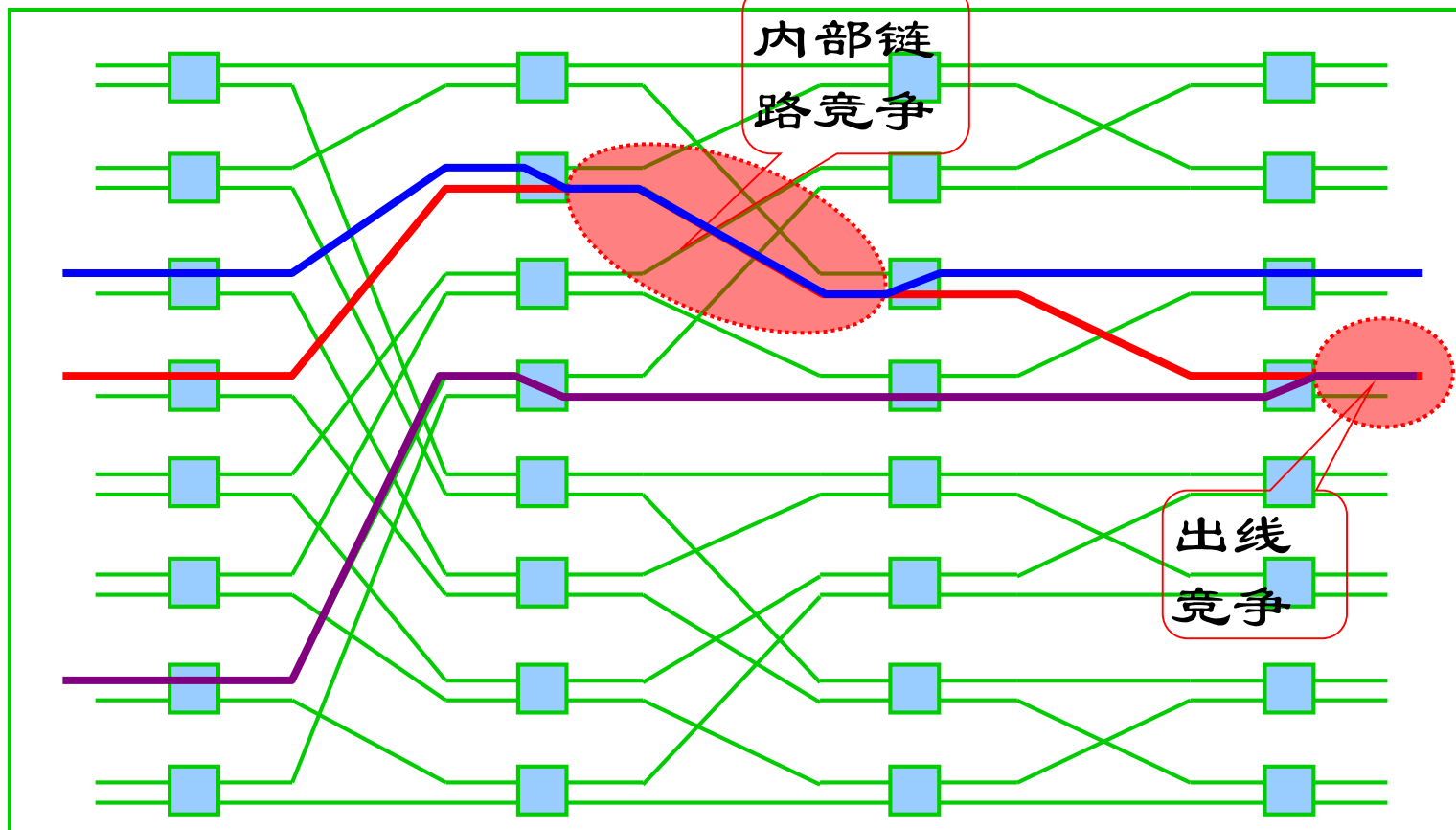


多级互连网中的路由

- 可以根据两个标准来划分 MIN 中的选路方法
 - 根据路由信息安放的位置
 - 基于信元：信元自寻路 (Self-routing) 方式
 - 基于网络：路由表控制 (Routing Table Controlled) 方式
 - 根据完成选路决策的时间
 - 基于连接：内部面向连接，路由在连接建立时确定
 - 基于信元：每个信元逐个进行路由选择

多级互连网的内部竞争

- 在网络边缘，信元会因竞争输出线而发生丢失
- MIN 内部对内部资源的竞争也会造成信元丢失，即内部阻塞





降低 MIN 内部阻塞的方法

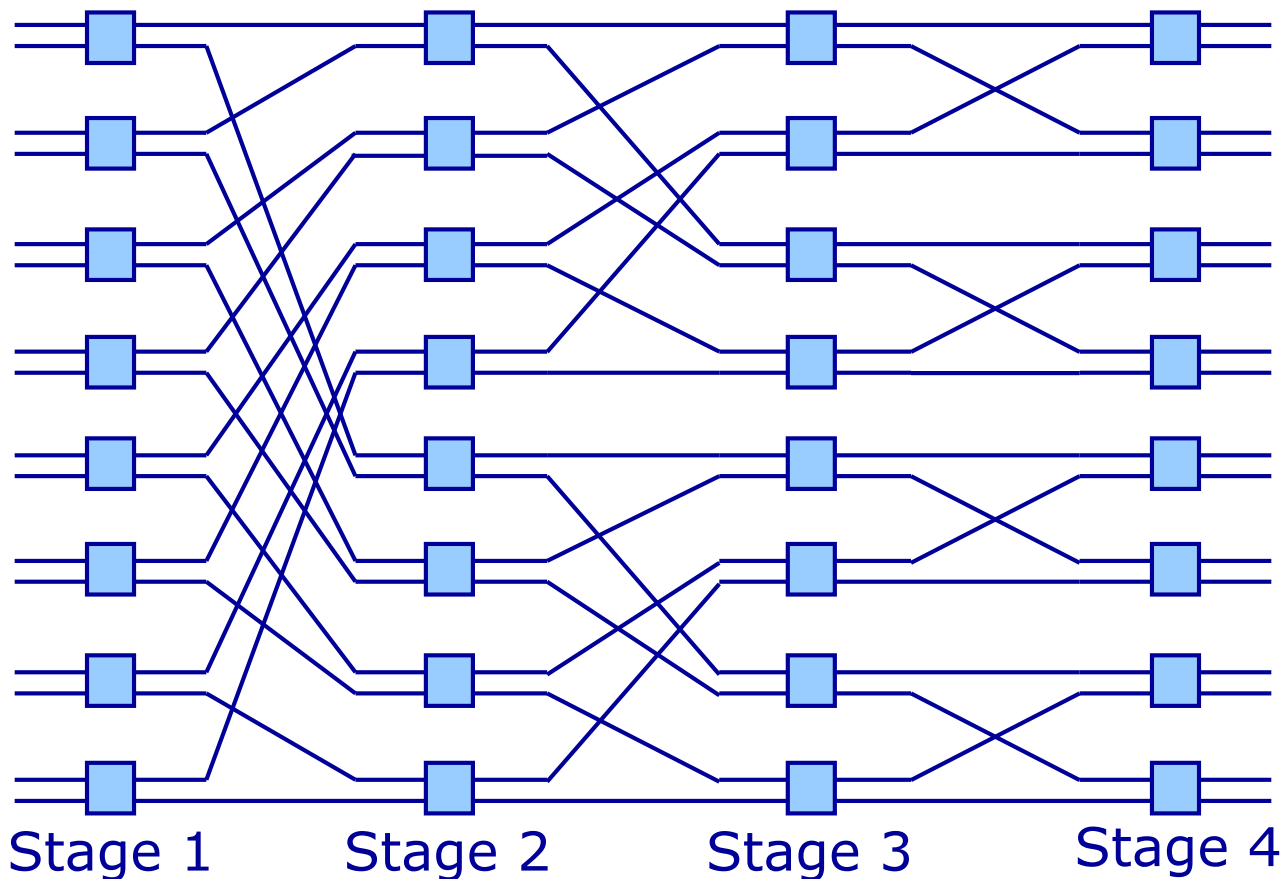
- 在交换机构中的各基本交换模块中设置队列缓冲;
- 提高 MIN 的内部信息处理速率;
- 在交换单元节点之间采用反压机制;
- 在入线和出线之间采用多平面平行网络;
- 在交换单元结点之间提供多条内部通路。

典型的多级互连网

--Banyan 网

交换单元只与相邻级单元连接，即所有通路通过的单元数相同

- 任何一条入线与任何一条出线之间有且只有一条通路





典型的多级互连网

-- Delta 网

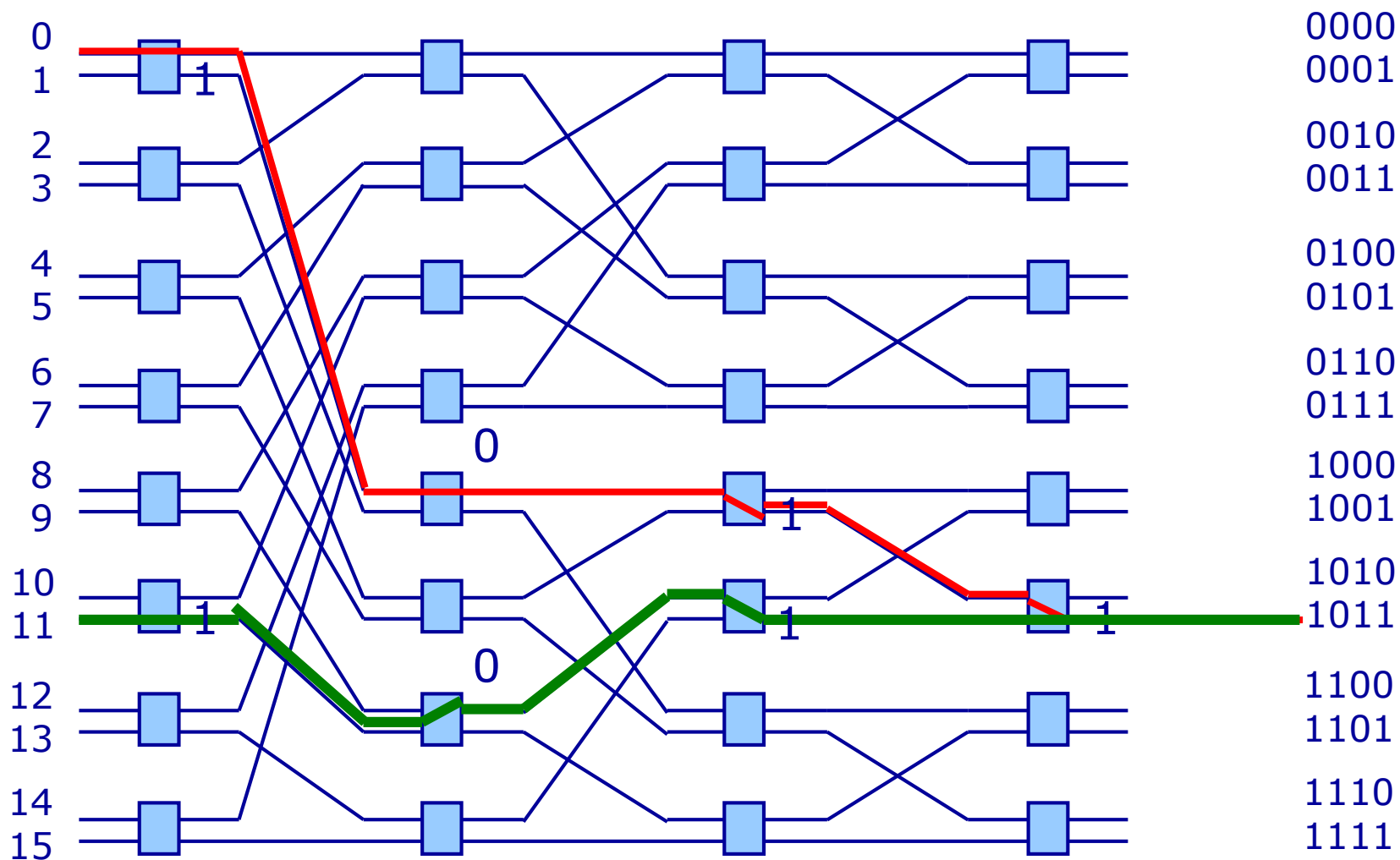
■ Delta 网是一种特殊的 Banyan 网

- 入线和出线数相等 $N \times N$
- 由相同的 $b \times b$ 基本交换单元构成
- 由 $\log_b N$ 级构成，每一级包含 N/b 个交换单元
- 规则性好，易于构成大型的交换机构

■ Delta 网具有自选路由特性

- 目的出线的二进制地址可以作为信元通过网络的路由标签
- 不论信元从那个入线进入，使用目的出线的地址总能够到达正确的出线

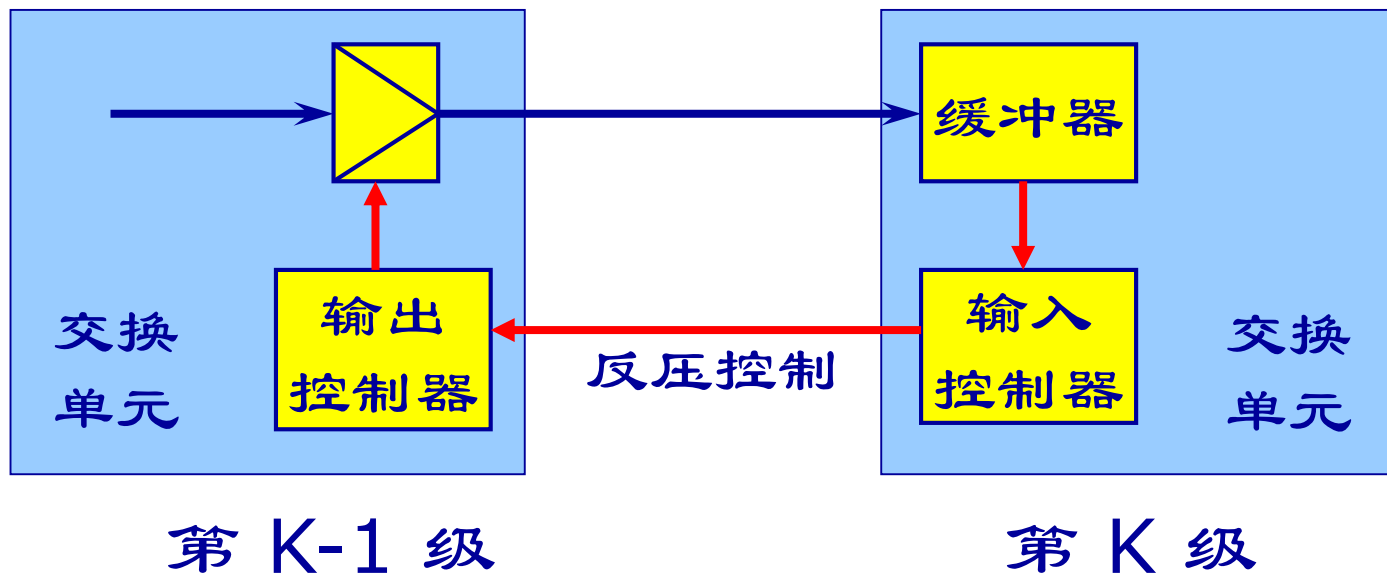
Delta 网的自选路由特性



典型的多级互连网

--采用反压机制的无阻塞 MIN

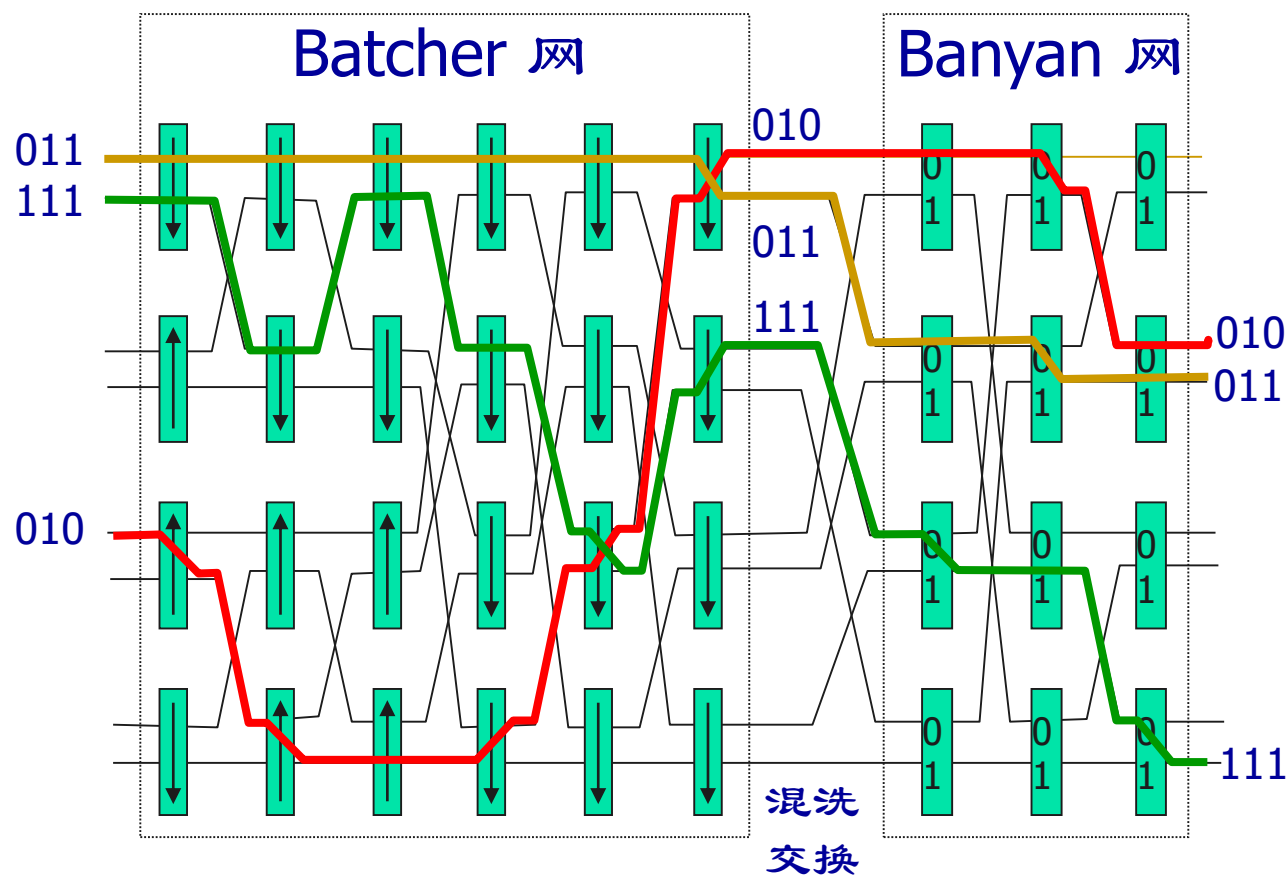
- 各交换单元的输入具有缓冲器，存储竞争失败的信元；
- 内部控制机制监视缓冲器的充满程度，当缓冲器快充满时，向上游交换单元发送反压控制，防止队列溢出；
- 内部链路速率需高于外部，保证在入线处无信元丢失。



典型的多级互连网

--无缓冲的无阻塞机构 Batcher-Banyan 网

- 若信元不寻址到相同出线，则 MIN 内部无信元竞争



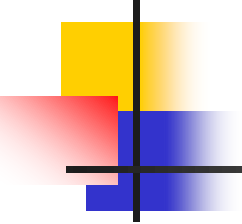
■ Batcher 网：

排序网，根据信元的目的地地址进行排序，在出线上输出

■ Banyan 网：

是一个简单的自选路由网络，排序后输入的信元在网络中不会发生阻塞

■ 混洗交换互连



典型的多级互连网

■ 其他几种多级互连网

- Benes 网络

- 分配网络

- 并行网络



思考题

- 按照网络的组织方式，ATM交换机构包括哪些组成方式？
- 什么叫单级网络？它包括哪些类型？
- 什么叫多级互连网？
- 列举几种典型的多级互连网。