## EECS 2070 02 Digital Design Labs 2019 Lab 4

學號:107062115 姓名:陳博暐

## 1. 實作過程

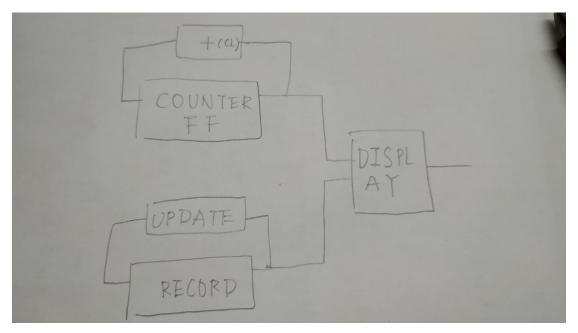
1. 這題是要把開關轉成 bcd 然後印在顯示器上。

```
always @(*) begin
  case (temp_value)
    4'd0: next_display = `ZERO;
    4'd1: next_display = `ONE;
    4'd2: next_display = `TWO;
    4'd3: next_display = `THREE;
    4'd4: next_display = `FOUR;
    4'd5: next_display = `FIVE;
    4'd6: next_display = `SIX;
    4'd7: next_display = `SEVEN;
    4'd8: next_display = `SEVEN;
    4'd9: next_display = `NINE;
    default:next_display = `NINE;
    endcase
end
```

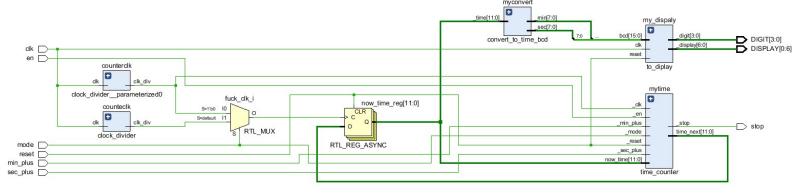
直接將開關的訊號轉成要輸出的格式,再印出來就好。digit 是說現在顯示的是哪一位的數字,這 fpga 版的輸出方法是用每個位數去輪,當速度很快時人眼分辨不出來就完成輸出了

2. 這一題是要做一個有上數跟下數的 counter 加上 record 功能。

用一個 counter 從 0 數到 99,然後用一個 now\_state 紀錄現在是否可以數, now\_dir 紀錄上數或下數,至於 record 功能用個 flip-flop 在 record onepluse = 1 的時候更新值。結構如下:



3. 做一個倒數計時器。



這題是我做的最久的一題,不斷的崩潰循環。後來我決定將整個電路以功能來劃分。因此救出獻了很多我自己寫的 module,不過說也奇怪,我只是將 code 切一切後,就正常運作了!

簡單的來說,我用一個 counter 從 0 ~ 3539 (我用秒數),然後在將 counter 的結果轉成分秒的形式,送到 display 印出來。

counter 算是一個比較大的 module,它專門處理像是 min\_plus, mode, sec plus,然後再決定如何更新值。

Bouns. 這題跟第三題一模一樣,只是要將 counter 倒數的速度放慢。 那麼先來產生一秒的 clk 吧! fpga 版的 clk 是 10<sup>8</sup> hz,因此我們用一個 counter 從 0 開始數,到 5\*10<sup>7</sup> 時倒轉輸出的訊號,就可以答繩一個剛好 1 秒的 clock cycle 了!

## 2. 學到的東西與遇到的困難

- 1. 模組化:上面有提到我第三題一開始是將所有 code 塞在 lab04\_3 的 module 裡,但是就是會一直出問題,後來將它模組化後,debug 起來更快,知道哪裡功能出問題就去那個功能的 module 裡抓錯,效率提昇不少。
- 2. 第三題還有個比較困擾的地方是,如果我想讓倒數的速度在 10^8/2^20 的時候或更慢,按鍵的靈敏度就會出問題,因此後來我的作法是,將 setting 時的 clk 調快,count 的時候調慢,也就是用一個 mux 去決定現在 要用什麼 clk,問題就順利解決了。
- 3. 想對老師或助教說的話

最近邏輯教授的笑話挺紅的就來個邏輯教授吧!

中國有名大學教授剛搬到新家,正在向住在隔壁的公安打招呼。

教授:「你好,我是一名大學教授,在教邏輯推理,我剛搬到你旁邊,請多指教。」

公安:「你好你好!我是名公安,請多指教。邏輯推理...那是甚麼?」

教授:「嗯.我舉個例子好了,我看到你家後院有個狗屋,所以我推論你有養狗。」

公安:「沒錯。」

教授:「藉由你有養狗的事實,我推論你有一個家。」

公安:「是的。」

教授:「既然你有個家,我猜想你有個老婆。」

公安:「對。」

教授:「因為你有個老婆,所以我可以肯定你是個異性戀。」

公安:「全部正確。哇!原來邏輯推理是這麼厲害的東西啊!」

教授:「其實這沒有很難,你也可以試試!」

公安:「好,我想想...你是一名教授,所以你是在附近的 XX 大學教書。」

教授:「沒錯。」

教授:「全部正確。哇!原來邏輯推理是這麼厲害的東西啊!」