

EECS 2070 02 Digital Design Labs 2019

Lab 1

學號：107062115 姓名：陳博暉

1. 實作過程

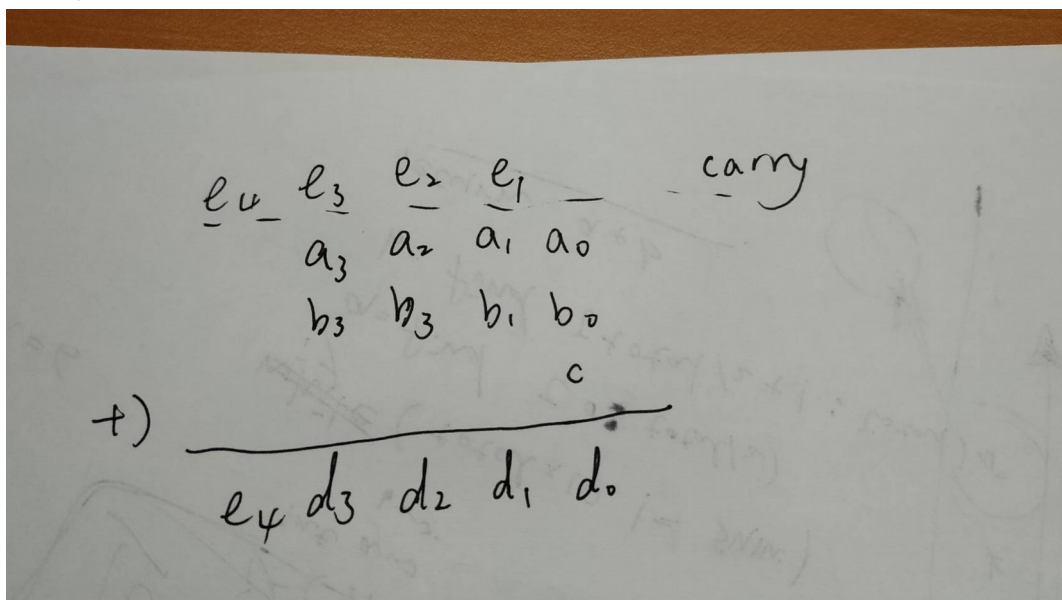
0. myxor：這題的想法是將 k-map 畫出來然後就解決了！

1. alu_structural_modeling：一開始沒完全了解題目，所以常是在不使用 case 之下完成，本來是想用 k-map 硬輾過去，但是有太多種可能的情况所以就放棄了，後來在看看題目才發現要用助教給的 mux，不過那個 mux 一開始也讓我看得一頭霧水，alu 要 2 個 output，mux 卻只有一個 output！所以我的作法是 mux 管控 output D，而 e 因為比較單純因此我就獨立分開來處理。加法的部份我是 k-map 展開。

2. alu_data_flow_modeling：能不用 gate 來實做真的太棒了！code 瞬間變得易讀好懂！這題就拿上一個的改成用 verilog 內建的運算子加上 assign 就過了！

3. alu_behavioral_modeling：用一個 always block 將所有東西包起來但在 always blocks 裡用 `=` 要 reg 才能用，模擬好幾次都失敗就因為我用 wire 去做...

4. 4-bits alu：比較要注意的是 `00` 的加法，但其實就跟一般做直式加法一樣，圖：



其餘的一 bit 一 bit 去做就行了。

因此只要把自己的 e 接到下一位的 c 就可以了！

5. bonus_1 : cmpfunc 用 k-map 展開 &aluctr`10`。然後我選擇用 behavioral modeling 去實做比較方便。

6. bonus_2 : 跟 前面的接法一模一樣。

2. 學到的東西與遇到的困難

在做第三題時我一直模擬失敗，後來才發現是因為我在 always block 裡對 wire 給值，後來改成 reg 就過了，但是其中有一個 reg 是 output。但在上學期的邏設課的作業裡我記得有一題跟這題幾乎一模一樣我也是讓 output 同時擁有 wire and reg 的特性，用電腦模擬是會通過的，但是將它轉成實體電路再模擬時，卻一直報錯... 因此如果這提要轉成實體電路時該怎麼修改呢？是要在用一個變數將原先 reg output 的值存起來，在 output 時再將值給 output 嗎？

3. 想對老師或助教說的話

這次 lab 讓我重溫 verilog 的一些基本語法，希望可以越寫越順～
笑話的話，

在百貨公司裡有一對夫婦，老婆看到喜歡的戒指，拉著老公過去看，看了一下，老公問老婆：「真的喜歡嗎？」，老婆一直點頭帶著懇求的眼神於是老公問店員：「請問，這個戒指多少錢呀？」

店員說：「打過折，\$8888 元～」，老公本來要付錢的，這時候他老婆竟然說：「老公..看你那麼體貼我也付一半價錢...」，聽完老公一定很開心，後來，他老婆掏出了 88 元，說：「老公我出一半了，剩下的交給你

.....」