# ADF4351的调试

前提条件：检测DSP28335的功能，烧录运行都无问题，将GPIO64,66,67（这里可以随意选择3个引脚）分别连接至开发板的data,clk,le(只发送，不接收)引脚模拟SPI口且使能。每次传16位数据。

目的：根据需求输出具有精确度和稳定度的特定频率，信号源上变频器的可调本振源，输出频率干净，谐波杂散小

芯片的选择：选用ADF4351，其可输出频率范围为35M~4.4GHz,捕获范围大，电路结构简单，锁定时间短，小数N分锁相环

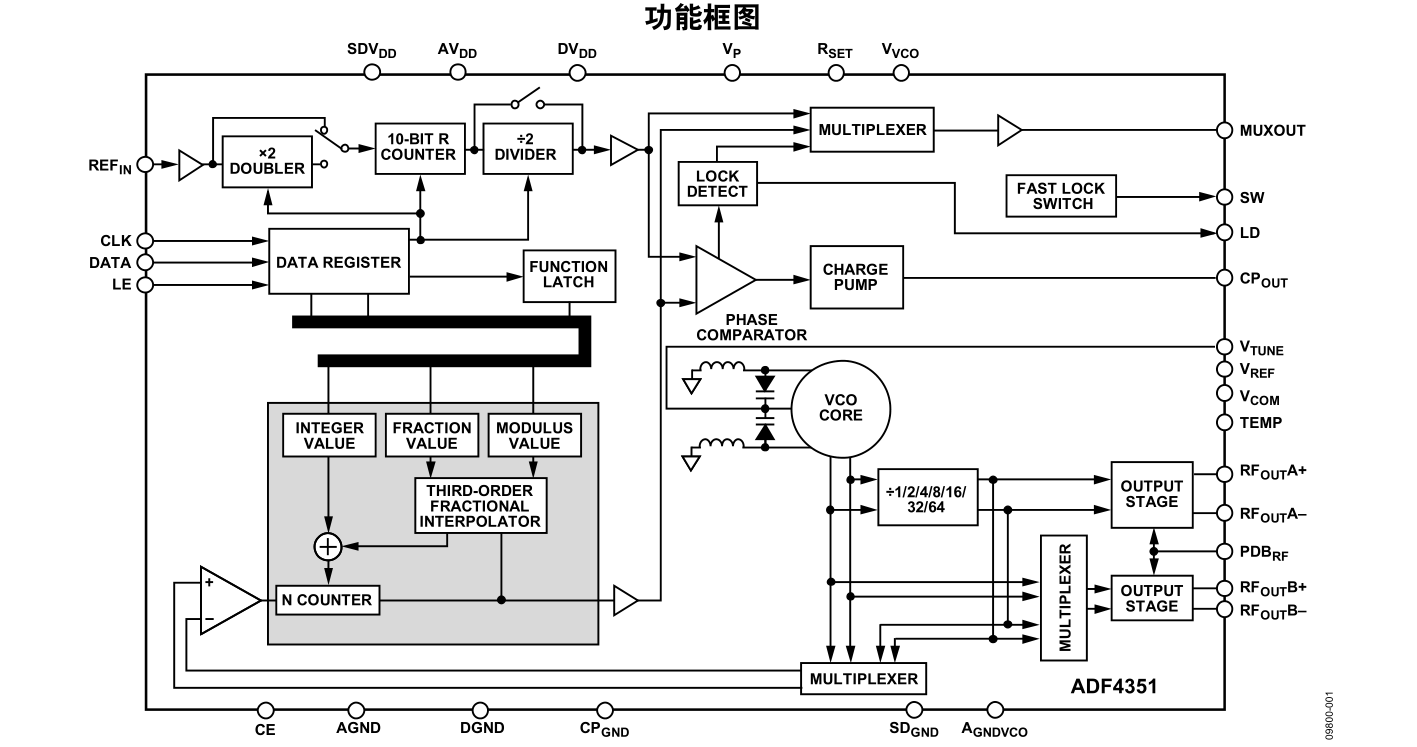
原理：锁相环路(PLL)通常由鉴相器(PD)、环路滤波器(LP)、压控振荡器(VCO)和可变程序分频器组成。 鉴相器又称比相器，对输入信号与环路输出信号的相位进行比较, 产生误差控制电压；环路滤波器滤除误差电压中的高频分量和噪声，以保证环路所要求的性能，增加环路的稳定性；压控振荡器的振荡频率受环路滤波器输出电压的控制，使压控振荡器输出信号频率向输入信号频率靠拢，两个信号间的相位差减小。可变程序分频器的作用是使压控振荡器的输出频率经分频后再与参考频率进行相位比较，从而产生误差控制电压，并以误差控制电压来调整压控振荡器的相位。

窄环路带宽可以滤除不需要的杂散信号，但锁定时间一般 较长。较宽的环路带宽可以实现较快的锁定时间，但环路 带宽内的杂散信号可能会增加。

PFD频率(fPFD)公式为：fPFD = REFIN × [(1 + D)/(R × (1 + T))]

RF VCO频率(RFOUT)公式为：RFOUT = fPFD × (INT + (FRAC/MOD))

下图为ADF4351的功能框图：



电路设计：ADF4351结合外部环路滤波器和外部参考频率加电源电路使用时，可实现小数N分频或整数N分频锁相环(PLL)频率合成器

程序设计，功能，配置：通过CCS3.3编写程序，实 现GPIO口模拟SPI时序，传输寄存器位数配置，使得芯片工作，SPI每次传16bit数据，先存高位后低位，6个寄存器具体配置如下

Reg0:0(reserved) + INT(16bit) + FRAC(12bit) + 000

Reg1:000(reseved) + 1(相位调整) + 1 + 1(12bit,相位再调整) + MOD(12bit) +001

Reg2:0(reserved) + 00(低噪声模式)0x + 000（MUXOUT）+ 1（参考倍频器） + 1(RDIV2) +R分频器(10bit) +0(双缓冲) + 电荷泵电流设置（4bit）+ 1(LPF) + 1(LDP) + 1(鉴相器极性) + 1（PD）+ 0(电荷泵三态模式) + 0（分频器复位）+ 010

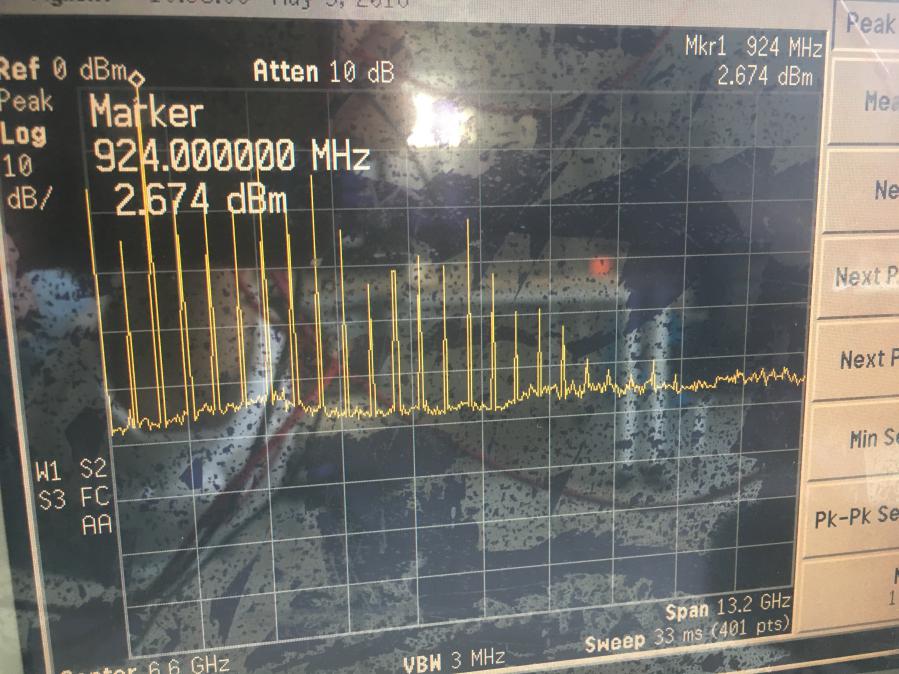
Reg3:00000000(8bit,reserved) + 1(频段选择时钟模式) + 1（ABP）+ 1（电荷消除）+ 1（CSR使能）+ 00（时钟分频器模式）+ 时钟分频器值（12bit）+ 011

Reg4:00000000(8bit,reserved) + 1(反馈选择) + RF分频器选择（3bit）+ 频段选择时钟分频器值（8bit）+ 1(VCO关断) + 1（MTLD）+ 0（辅助输出选择）+ 辅助输出功率（2bit）+ 1(辅助输出使能) + 输出功率（2bit）+ 100

Reg5:00000000(8bit,reserved) + 锁定检测引脚工作方式（2bit）+ 011 + 0000000000000000(16bit,reserved) + 101

步骤：1.对照电路图焊接元器件，先焊ADF4351芯片，再焊周围电路，并用热风机防止虚焊

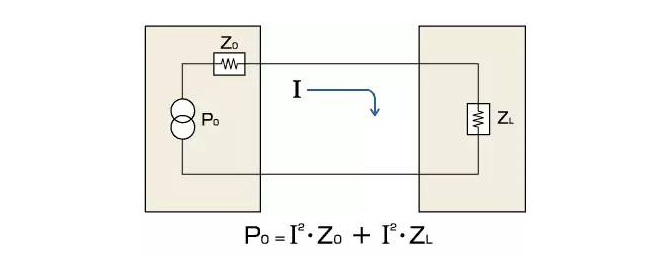
1. 使用万用表检测电路是否导通，无误后接上5V电源，若2个LED亮且亮度一致，说明电源方面无误
2. 将程序编译并烧录进DSP28335，用示波器检测3个引脚的输出电平是否符合寄存器的配置，若无误，用杜邦线连接DSP与ADF
3. 上述操作若无误，射频输出会有波形，可以调整寄存器配置来输出不同的频率
4. 下图为输出900MHz时的波形图，输出功率为2.7dbm



遇到的问题：1. 焊接ADF4351时需要注意引脚有没有对齐，是否连上，不要出现虚焊，以至于损毁芯片

1. 用示波器检查晶振输入发现无波形，把晶振电路上的电容电阻都换成0ohm的电阻可以解决问题。
2. 需要导通的焊盘不能空着，即使不需要元器件，也要焊个0ohm的电阻使电路能导通
3. RFoutA+使用单端输出匹配，并将一个分流电感连到Vvco,可以获得更好的匹配性能，提高输出功率

改进：巴伦结构不需要差分输出，后改用单端结构并将一个分流电感连接到Vvco，提高输出功率。50欧负载用来匹配最佳输出功率，消除反射，每一级匹配都需要一个50欧的负载。射频连线需要提前测得差损，并把这差损补上，射频线测得约为0.6dbm。



输出频率经扫频，1MHz步进发现有杂散和谐波，经过分析，应在配置寄存器时设置为低杂散模式，并保证mod值在50以上，应该为参考频率最低为10MHz，通道间隔为200KHz的缘故。MOD=f(RFD)/RF输出端通道步进分辨，MOD值越大，越能抑制小数杂散。

下图为900M-4.4GHz扫频图，步进为10MHz

