

1. (8 分) 一台模型机共有 7 条指令，各指令的使用频度分别为 35%，25%，20%，10%，5%，3%，2%，有 8 个通用数据寄存器，2 个变址寄存器。

(1) 要求操作码的平均长度最短，请设计操作码的编码，并计算所设计操作码的平均长度。

(2) 设计 8 位字长的寄存器-寄存器型指令 3 条，16 位字长的寄存器-存储器型变址寻址方式

指令 4 条，变址范围不小于正、负 127。请设计指令格式，并给出各字段的长度和操作码的编码。

(1) 采用哈夫曼编码

(2) 8 位字长的寄存器-寄存器型指令 3 条，有 8 个通用数据寄存器，所以寄存器地址需要 3 位，所以操作码需要 2 位 00,01,10,

操作码 2 位	源寄存器 3 位	目的寄存器 3 位
---------	----------	-----------

16 位字长的寄存器-存储器型变址寻址方式指令 4 条，有 8 个通用数据寄存器，通用寄存器需要 3 位，2 个变址寄存器，变址寄存器需要 1 位，变址范围不小于正、负 127，所以偏移地址是 8 位，所以操作码需要 4 位 1100,1101,1110,1111

操作码 4 位	通用寄存器 3 位	变址寄存器 1 位	偏移地址 8 位
---------	-----------	-----------	----------

2. (10 分) 某工作站采用时钟频率  $f$  为 15MHZ, 处理速率为 10MIPS 的处理机来执行一个已知混合程序。假定每次存储器存取为 1 周期延迟, 试问:

(1) (4 分) 此计算机的有效 CPI 是多少

(2) (6 分) 假定将处理机的时钟频率  $f$  提高到 30MHZ, 但存储器子系统速率不变。这样, 每次存储器存取需要两个时钟周期, 如果 30% 指令每条只需要一次存储存取, 而另外 5% 每条需要两次存储存取, 还假定已知混合程序的指令数不变, 并与原工作站兼容, 试求改进后的处理机性能。

3. (10 分) 在下列不同结构的处理机上执行  $6 \times 6$  的矩阵乘法  $C = A \times B$ , 计算所需要的最短时间。只计算乘法指令和加法指令的执行时间, 不计算取操作数、数据传送和程序控制等指令的执行时间。加法部件和乘法部件的延迟时间为 3 个时钟周期, 另外, 加法指令和乘法指令还要经过"取指令"和"指令译码"的时钟周期, 每个时钟周期为 20ns,  $C$  的初始值为"0"。

各操作部件的输出端有直接数据通路连接到有关操作部件的输入端, 在操作部件的输出端设置有足够容量的缓冲寄存器。

(1) (4 分) 处理机内只有一个通用操作部件, 采用顺序方式执行指令。

(2) (6 分) 单流水线标量处理机, 有一条两个功能的静态流水线, 流水线每个功能段的延迟时间均为一个时钟周期, 加法操作和乘法操作各经过 3 个功能段。

要完成上面的矩阵乘法, 需要完成的各种操作的数量:

需要完成的乘法次数为  $6 \times 6 \times 6 = 216$  次;

需要完成的加法次数为  $6 \times 6 \times 5 = 180$  次;

下面我们分析处理机的结构会给性能带来什么样的影响。

4. (10 分) 假设一条指令的执行过程分为"取指令"、"分析"和"执行"三段, 每一段的时间分别为  $\Delta t$ 、 $2\Delta t$  和  $3\Delta t$ 。在下列各种情况下, 分别写出连续执行  $n$  条指令所需要的时间表达式。

5.(10分)已知一个 Cache 共有 4 个块，每个块大小为 4 个字。采用直接映像方式，假设该 Cache 的缺失代价为 8 个时钟周期。初始时 Cache 为空，当程序执行过程中访存的字地址序列为 0,7,12,9,16, 8,17,0,12,2 时 (1) (7 分) 试计算 Cache 的命中率 (2) (3 分) 计算 Cache 缺失(不命中)代价

6. (10 分) 假设一个网络的频宽为 10 兆位/秒，发送方开销和接收方开销分别等于 230 微秒和 270 微秒。如果两台机器相距 100 米，现在要发送一个 1000 字节的消息给另一台机器，试计算总时延。如果两台机器相距 1000 公里，那么总时延为多大？

7. (10 分) 设有下列流水线预约表：

	1	2	3	4
S1	X			X
S2		X		
S3			X	

分别写出禁止表 F、冲突向量 C、画出状态转换图，求出最小平均延迟及流水线的最大吞吐率（假设流水线的时钟周期为  $\tau=20\text{ns}$ ）。

8. (10 分) 一台单处理机可以以标量方式运行，也可以以向量方式运行。在向量方式情况下，计算可比标量方式快 9 倍。设某基准程序在此计算机上运行的时间为  $T$ 。另外，已知  $T$  的 25% 用于向量方式，其余的时间则以标量方式运行。

- (1) 计算在上述条件下与完全不用向量方式条件下相比的加速比，并计算上述程序中向量化代码所占的比例。
- (2) 假设我们改进硬件使向量方式与标量方式之间的速度比加倍，试计算可达到的加速比。
- (3) 如果要达到与 (2) 相同的加速比，用的方法是改进编译器，而不是改进硬件，那么，用向量化编译器支持同样的基准程序，其新的向量化比率是多少？

## EXAM 2

### 一、填空题

- (1) 处理机流水线又称为  流水线，功能部件级流水线也称为  流水线。
- (2) 假设高速缓存 Cache 工作速度为主存的 5 倍，且 Cache 被访问命中的概率为 90%，则采用 Cache 后，能使整个存储系统获得的加速比= 。
- (3) 向量处理机的结构主要有  和  两种。
- (4) 某模型机共有 7 条指令，分别是 8 位和 16 位两种指令字长，都按双操作数指令格式编排。采用 2-4 扩展操作码，8 位字长指令为寄存器-寄存器 (R-R) 类型，16 位字长指令为寄存器-存储器 (R-M) 型变址寻址 ( $-127 \leq$  变址范围  $< 128$ ) 方式。该机允许使用 8 个可编址的通用寄存器， 个变址寄存器。
- (5) 一个 3 段流水线，各段的执行时间为  $t$ 、 $2t$ 、 $t$ ，在该流水线上完成  $N$  个连续任务时的加速比为 。
- (6) 利用混洗交换单级互连网络将一个 PE 的数据播送到所有 16 个 PE 中去，共需要  次交换，  
 次混洗。（注：混洗交换单级互连网络每一步只能进行混洗或交换中的一种变换）。

## 二、问答题

1、(8分)令 $2^m \times 2^m$ 矩阵A以行主方式存放在主存储器中,试证明在对A进行m次完全混洗变换后可获得转置矩阵 $A^T$ 。

2、(10分)设 $\alpha$ 为一个计算机系统中n台处理机可同时执行的程序代码的百分比,其余代码只能用单台处理机顺序执行。每台处理机的执行速率为x MIPS,并假设所有处理机的处理能力相同。

(1)试用n,  $\alpha$ , x推导出系统专门执行该程序时的有效MIPS速率表达式。

(2)假设n=16, x=4MIPS,要求得到系统的性能为40MIPS试求 $\alpha$ 值。

3、(10分)用一台40MHZ处理机执行标准测试程序,它含的混合指令数和相应所需的时钟周期数如下:

指令类型	指令数	时钟周期数
整数运算	45000	1
数据传送	32000	2
浮点	15000	2
控制传送	8000	2

求有效CPI、MIPS速率和程序的执行时间。

4、(10分)假定你是一个计算机设计者,你已设想了一个优化的设计方案,它能减少过程调用和返回所需的取/存指令次数。为了进行验证,对未加优化和已优化的方案进行实验测试,假定所使用的是相同的优化编译器。实验测得的结果如下:优化方案的时钟周期比未优化的快15%;未优化方案中的取/存指令数占总指令数的30%;优化方案中的取/存指令数比未优化的少1/3。对于其它指令,两种方案的动态执行数没有变化;未优化方案的所有指令执行均只需1个时钟周期。而优化方案只有取/存指令执行需要2个时钟周期,其它指令执行也只需1个时钟周期。(1)计算优化方案的平均CPI    (2)通过计算加速比,判断哪一种设计方案计算机工作的速度更快

5、(10分)设计一种采用加、乘和数据寻径操作的算法,分别在下面两种计算机系统上用最短的时间来计算表达式  $s = A_1 * B_1 + A_2 * B_2 + \dots + A_{32} * B_{32}$ 。假设加法和乘法分别需要两个和四个单位时间,从存储器取指令,取数据、译码的时间忽略不计,所有的指令和数据已装入有关的PE。试确定下列每种情况的最小计算时间:(1)一台串行计算机,处理机中有一个加法器和乘法器,同一时刻只有其中一个可以使用。这种单处理机系统不需要数据寻径操作。(2)一台有8个PE( $PE_0, PE_1, \dots, PE_7$ )的 SIMD 计算机,8个PE连成双向环结构。每个PE用一个单位时间可以把数据直接送给它的相邻PE。操作数  $A_i$  和  $B_i$  最初存放在  $PE_{i \bmod 8}$  中,其中  $i=1, 2, \dots, 32$ 。每个PE可在不同时刻执行加法或乘法。

$$S = \sum_{i=1}^{32} (A[i] \times B[i])$$

6、(10分)分别确定在下列两种计算机系统中,计算表达式  $S = \sum_{i=1}^{32} (A[i] \times B[i])$  所需的时间:

- (1) 有4个处理器的 SIMD 系统;
- (2) 有4个处理机的 MIMD 系统。设访存取指和取数的时间可以忽略不计;加法与乘法分别需要2拍和4拍;在 SIMD 和 MIMD 系统中处理器(机)之间每进行一次数据传送的时间为1拍;在 SIMD 系统中,PE之间采用线性环形互连拓扑,即每个 PE 与其左右两个相邻的 PE 直接相连,而在 MIMD 中每个 PE 都可以和其他 PE 有直接的通路。

7、(10分)下面由六条指令组成的代码段需运行 64 次才能计算向量算术表达式:

$$D(I) = A(I) + B(I) \times C(I), \text{ 其中 } 0 \leq I \leq 63.$$

Load R1,B(I)	/R1←Memory( $\alpha+I$ )/
Load R2,C(I)	/R2←Memory( $\beta+I$ )/
Multiply R1,R2	/R1←(R1) × (R2)/
Load R3,A(I)	/R3←Memory( $\gamma+I$ )/
Add R3,R1	/R3←(R3)+(R1)/
Store D(I),R3	/Memory( $\theta+I$ )←(R3)/

运行一遍这六条指令，共需要（忽略其它延迟时间） $4+4+8+4+2+4=26$  个周期。

(2) 在一台 SISD 单处理计算机上依次重复执行上述代码段 64 遍所需的 CPU 周期数为  $26 \times 64 = 1664$

(3) 在一台有 64 个 PE 的 SIMD 机，以 6 条同步向量指令直接对 64 组向量数据执行上述向量操作，那么只需要执行一遍，所需 CPU 周期数为 26。 SIMD 计算机和 SISD 计算机相比，加速比 为  $1664/26 = 64$ 。

8、(10分)假设某台机器访问存储器都是 cache 命中，那么它的 CPI 等于 2。还假设只有 Load 和 Store 指令才能访问存储器数据，这两种指令的数目占整个程序的 40%。如果访问存储器时出现 cache 缺失，则一次缺失需要花费 25 个时钟周期。问这台机器在所有指令都 cache 命中情况比有 2% 缺失情况快几倍？

9、(10分)在 CRAY-1 机上，Vi 为向量寄存器，设向量长度为 32，s 为标量寄存器，所有浮点功能执行部件的执行时间分别为：加法需 6 拍，相乘需 7 拍，从存储器读数需 6 拍，结果打入寄存器和启动功能部件（包括存储器）各需 1 拍，分别计算各指令序列全部完成所需要的拍数。

(1) (5 分)  $V0 \leftarrow \text{存储器} \quad V3 \leftarrow V1 + V2 \quad V4 \leftarrow V0 * V3 \quad V6 \leftarrow V4 + V5$

(2) (5 分)  $V0 \leftarrow \text{存储器} \quad V2 \leftarrow V0 + V1 \quad V3 \leftarrow V2 * V1 \quad V5 \leftarrow V3 + V4$

### EXAM3

一、简单题： (1) CPI (2) 高速缓冲存储器(Cache) (3) 流水线控制相关(4) 静态互连网络(5) SIMD 计算机

### 二、问答题

1、（10分）有三个 cache 存储器，每个又由 4 个 block 组成，每个 block 只有一个字。第一个 cache 存储器采用全相联映象，第二个 cache 存储器采用 2-way 组相联映象，第三个 cache 存储器采用直接相联映象。程序执行过程中的 block 地址流为：0, 8, 0, 6, 8 请计算三种结构的缺失次数各为多少？

2、（10分）假设我们有一个需要运行 100 秒的标准程序，其中有 90 秒是 CPU 时间而剩下的是 I/O 占用的时间。如果在以后的五年中，CPU 速度每年提高 50%且 I/O 时间保持不变，那么五年后我们的程序要耗费多少时间？

3、（10分）某台计算机只有 Load/Store 指令能对存储器进行读/写操作，其它指令只对寄存器进行操作。根据程序跟踪实验结果，已知每种指令所占的比例及 CPI 数如下：

指令类型	指令所占比例	CPI
算逻指令	43%	1
Load 指令	21%	2
Store 指令	12%	2
转移指令	24%	2

- (1) (4 分) 求上述情况下的平均 CPI。
- (2) (6 分) 假设程序由 M 条指令组成。算逻运算中 25% 的指令的两个操作数中的一个已在寄存器中，另一个必须在算逻指令执行前用 Load 指令从存储器取到寄存器。因此有人建议增加另一种算逻指令，其特点是一个操作数取自寄存器，另一个操作数取自存储器，即寄存器?存储器类型，假设这种指令的 CPI 等于 2。同时，转移指令的 CPI 变为 3。求新指令系统的平均 CPI。

4、(10 分) 假定我们有一台计算机，如果所有的 cache 访问都命中的话，它的 CPI 是 2.0。唯一的数据访问指令是 store 和 load，它们占指令总数的 40%，不命中损失是 25 个时钟周期，不命中率是 2%。如果所有的指令访问 cache 都命中的话，那么机器的速度是存在 cache 不命中时的多少倍？

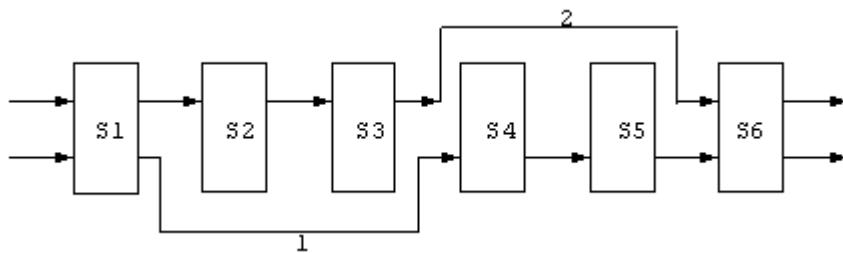
5、(10 分) 假设某台机器访问存储器都是 cache 命中，那么它的 CPI 等于 2。还假设只有 Load 和 Store 指令才能访问存储器数据，这两种指令的数目占整个程序的 40%。如果访问存储器时出现 cache 缺失，则一次缺失需要花费 25 个时钟周期。问这台机器在所有指令都 cache 命中情况比有 2% 缺失情况快几倍？

6、(10分)运行 Solaris 2.3 指令系统的两台 SPARC10 计算机可由两种不同的互连网络连接起来，通过 TCP/IP 通信。它们的测试结果如下：

	以太网	ATM
Bandwidth from node to network	1.125MB/s	10MB/s
Interconnect latency	15ms	50ms
HW latency to/from network	6ms	6ms
SW overhead sending to network	200ms	207ms
SW overhead receiving from network	241ms	360ms

从一个结点传送一个 250 字节的信息包到另一个结点的总时延各为多少？

7、(15分)一动态多功能流水线由 6 个功能段组成，如下图：



其中：S1、S4、S5、S6 组成乘法流水线，S1、S2、S3、S6 组成加法流水线，各个功能段时间均为 50ns。假定该流水线的输出结果可以直接返回流水线输入端，而且设置有足够的缓冲寄存器。若按照最快的方式用该流水线计算  $f = \sum_{i=1}^5 x_i y_i z_i$ 。

- (1) (8分) 请画出其处理过程的时空图。
- (2) (7分) 计算其实际吞吐率，加速比和效率。

8、(10分)假定我们正在考虑两种条件转移指令的设计方法，这两种方法如下：CPU A：先通过一条比较指令设置条件码A，再用一条分支指令检测条件码。CPU B：比较操作包含在分支指令中。在两种CPU中，条件转移指令都需要两个时钟周期，所有的其它指令都需要一个时钟周期。在CPU A中，全部指令的20%是条件转移指令，因为每次条件转移都需要一次比较，所以比较指令约占所有指令的20%。因为CPU A不需要在转移中包含分支，所以它的时钟频率是CPU B的1.25倍。哪一种CPU更快？如果CPU A的时钟频率只是CPU B的1.1倍，结果又如何？

9、(10分)一个由高速缓冲存储器与主存储器组成的二级存储系统。已知主存容量为1MB，缓存容量为32KB，采用组相联方式进行地址映象与变换，主存与缓存的每一块为64B，缓存共分8组。

- (1) (5分)写出主存与缓存的地址格式。(地址码长度及各字段名称与位数)。
- (2) (5分)假定Cache的存取周期为20ns,命中率为0.95,希望采用Cache后的加速比大于10,那么要求主存储器的存取速度应大于多少?