

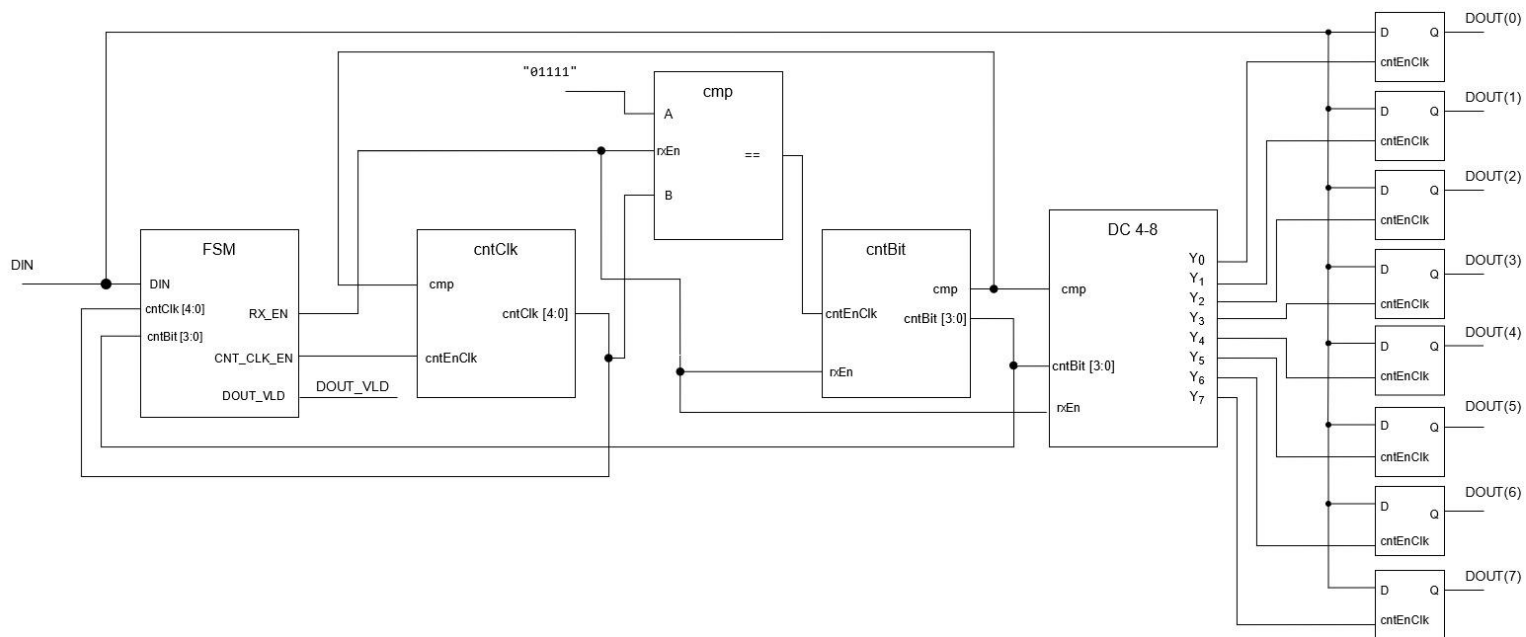
Výstupní zpráva

Jméno: HÁJEK VOJTĚCH

Login: xhajak51

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkce

Obvod začíná u automatu FSM (Finite State Machine), který má 3 vstupy (vstupní data – DIN, čítač hodinové signálu cntClk a čítačem bitů cntBit) a 3 výstupy (povolení přijímání dat RX_EN, povolení čítače hodinového signálu CNT_CLK_EN, validita výstupních dat – DOUT_VLD). Využívají se dva čítače cntClk a cntBit, které budou dále počítat hodinový signál. Dalšími signály jsou rxEn, cntEnClk a cmp, které povolují/zakazují, podle stavů, kde se přijímání nachází. Pokud je povolen stav přijímání dat a hodinového signálu, čítač cntClk přičítá hodinový signál. Dále v komparátoru, se porovnává čítač hodinového signálu s hodnotou 15. taktu, pokud je větší nebo rovno nastaví se signál cmp, který zastaví přičítání cntClk (vynulováním) a povolí čítač bitů. Čítač bitů začne přičítat, pokud platí, že automat je ve stavu přijímání dat rxEn. Dekodér slouží pro výstup dat. Data se ale začnou číst pouze v povolení přijímání dat rxEn a komparátoru cmp. Po úspěšném načtení 8 bitů na výstup, se nastaví výstup validní data (DOUT_VLD). Při nastavení RST vstupu, se celý obvod resetuje na nulové hodnoty.

Návrh automatu (Finite State Machine)

Schéma automatu

Legenda:

A = DIN

B = CNT_CLK

C = CNT_BIT

S1 = WAITING_START_BIT

S2 = WAITING_FIRST_BIT

S3 = RECEIVE_DATA

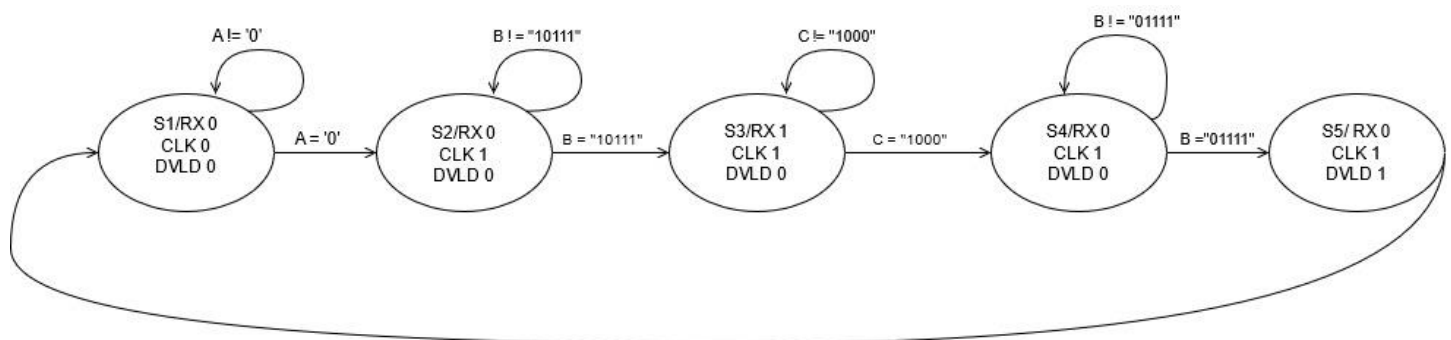
S4 = WAIT_STOP_BIT

S5 = DATA_VALID

CLK = CNT_CLK_EN

RX = RX_EN

DVLD = DOUT_VLD



Popis funkce

Automat FSM (Finite State Machine) může nabývat pěti stavů. První stav WAITING_START_BIT čeká na DIN s hodnotou '0', aby se automat mohl přepnout do druhého stavu WAITING_FIRST_BIT, jinak zůstává ve stejném stavu. V druhém stavu WAITING_FIRST_BIT se povolí čítač hodinového signálu a čeká se, až čítač nabude hodnoty 23. taktu, poté ho přepne do dalšího stavu. V třetím stavu RECEIVE_DATA, zůstává CNT_CLK_EN povolený a zároveň se povolí přijímání dat RX_EN, stav pokračuje, dokud čítač bitů nenabude "1000" (8) hodnoty, poté se přechází se na další stav. Čtvrtý stav vrací RX_EN na 0, stav probíhá do hodnoty hodinového signálu "01111", poté přepíná na poslední stav. Poslední pátý stav DATA_VALID nastavuje DOUT_VLD na '1' a stav vrací na první WAITING_START_BIT, kde se RX_EN, CNT_CLK_EN a DOUT_VLD nastaví zpátky na hodnotu '0'.

Snímek obrazovky ze simulací

