

Diseño y Simulación de un Reloj Digital con Circuitos Integrados

Omar Sanmartin, *Student Member, IEEE*, Ángel Martinez, *Student Member, IEEE*,
Johanna Montaña, *Student Member, IEEE*, Miguel Rojas, *Student Member, IEEE*, y Cristian Medinać, *Student
Member, IEEE*

Abstract—

***Index Terms*—Key words**

I. INTRODUCTION

II. DESARROLLO

Materials

1) Esquemático

- 6 74LS90
- 6 7447
- 6 displays 7 segmentos (anodo común)
- 1 7408
- 2 resistencia de $10k\Omega$
- 1 resistencia de 220Ω
- 1 capacitor de $47\mu F$
- 1 capacitor de $10nF$
- 1 diodo led

2) PCB

- 6 74LS90
- 6 7447
- 6 jumper de 8 pines
- 1 7408
- 2 resistencia de $10k\Omega$
- 1 resistencia de 220Ω
- 1 capacitor de $47\mu F$
- 1 capacitor de $10nF$
- 1 diodo led
- 1 jumper de 2 pines

A. Análisis para el diseño del Reloj Digital

1) *Señal de reloj a través del temporizador 555 (modo astable).*: En la figura 1, se muestra un generador de frecuencia de 1Hz utilizando el temporizador 555 (timer 555) el cual es cableado en modo multivibrador astable. Para poder visualizar los pulsos de salida se conectó un diodo led.

Se puede calcular el valor de la frecuencia, utilizando la respectiva formula que se puede encontrar en su respectivo datasheet, dicha fórmula esta es:

$$f = \frac{1.44}{(R_1 + 2R_2C_1)}$$

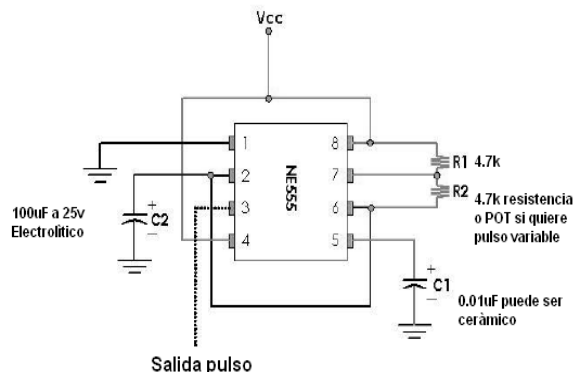


Fig. 1. Circuito LM 555 de 1Hz (1 seg.) (1Hz)

Aplicando esta a nuestro circuito tenemos:

$$\begin{aligned} f &= \frac{1.44}{(10k+20k)47uF} \\ f &= \frac{1.44}{(30k)47uF} \\ f &= \frac{1.44}{1.41} \\ f &= 1.02Hz \end{aligned}$$

El intervalo de tiempo en que la salida está a nivel ALTO se define según:

$$t_H = 0.7 (R_1 + R_2) C_1$$

Aplicando esta a nuestro circuito tenemos:

$$\begin{aligned} t_H &= 0.7(10k + 10k)47uF \\ t_H &= 0.7(20k)47uF \\ t_H &= 0.658seq \end{aligned}$$

El intervalo de tiempo en que la salida está a nivel BAJO se define según:

$$t_L = 0.7R_2C_1$$

Aplicando esta a nuestro circuito tenemos:

$$t_L = 0.7(10k)47uF$$

$$t_L = 0.329seq$$

El periodo T , de la señal de salida es la suma de t_H y t_L .
 Esto es el recíproco de la frecuencia:

$$T = t_H + t_L$$

$$T = 0.658seg + 0.329seg$$

$$T = 0.987seg$$

Finalmente, el ciclo de trabajo es:

$$CT = \frac{t_H}{T}$$

$$CT = \frac{t_H}{t_H + t_L}$$

$$CT = \frac{0.658 \text{ seg}}{0.658 \text{ seg} + 0.329 \text{ seg}}$$

$$CT = 0.667 * 100\%$$

$$C = 66.67\%$$

Una vez realizados los cálculos de frecuencia, periodo y ciclo de trabajo; se implementó el circuito en el simulador PROTEUS y a través de la utilización de un osciloscopio se puede observar la señal de salida del temporizador, que se presenta como una señal no ideal debido al efecto de carga y descarga de los capacitores; pero que se puede utilizar como señal de reloj debido a que si es posible diferencia los flancos de subida y de bajada de cada uno de los pulsos. Se debe notar adicionalmente que el ciclo de trabajo es del 66.67%, sin embargo esto no representara inconvenientes en el funcionamiento del reloj digital, ya que el tiempo o periodo entre las transiciones positivas o negativas siempre será de 1 segundo aproximadamente (0.987), como se puede evidenciar en la figura 2.

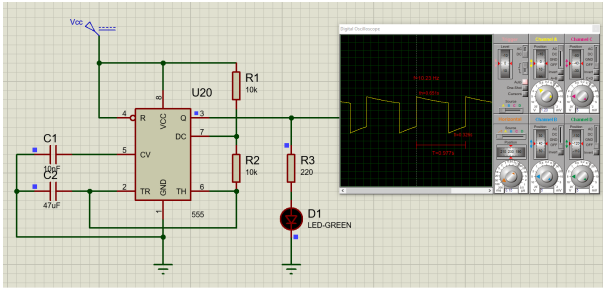


Fig. 2. Datasheet 74LS90: Logic Diagram/Connection Diagram

2) *Contador MOD10 y MOD6*: Para el contador base se utiliza el reloj digital de 24 horas se utiliza el icruido integrado 74LS90 que puede ser configurado como: MOD2, MOD3, MOD4, MOD5, MOD6, MOD7, MOD8, MOD9 y MOD10. El 74LS90 es un contador de décadas síncrono, cuya

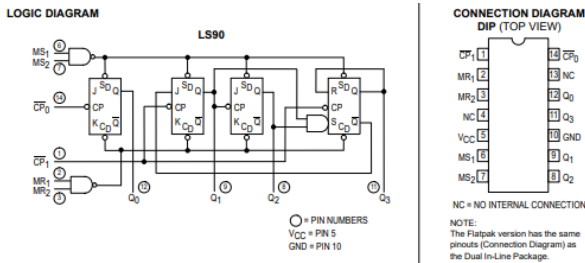


Fig. 3. Datasheet 74LS90: Logic Diagram/Connection Diagram

configuración como MOD10 se muestra en la figura 4. Las entradas $R0(1)$, $R0(2)$, $R9(1)$ y $R9(2)$ son utilizadas como señales de PRESET y CLEAR para cada uno de los Flip Fops del 74LS90; guiadas a través de dos compuertas NAND. En el datasheet estas entradas son etiquetadas como MS1, MS2, MR1 y MR2.

El contador MOD6 se obtiene con la configuración de la figura

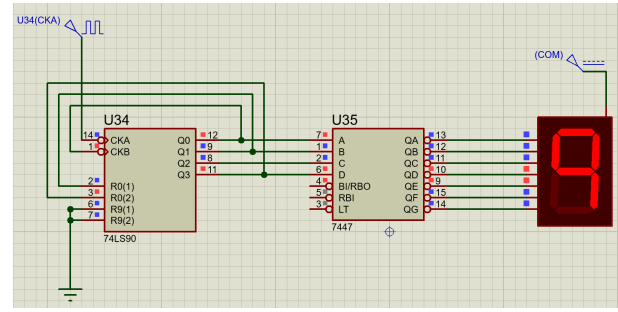


Fig. 4. Contador MOD10 con 74LS90

5 donde las entradas $R0(1)$ y $R0(2)$ harán que las salidas de los Flip fops se hagan cero cuando se presente en la salida el valor binario 0110 y de esta forma el conteo solo sea desde cero hasta cinco.

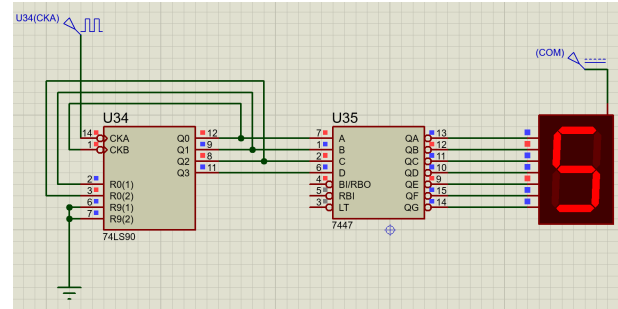


Fig. 5. Contador MOD6 con 74LS90

3) *Diseño de reloj digital*: El diseño del reloj inicia con el conteo de los segundos, el cual tiene unidades y decenas. Las unidades de los segundos siempre tomaran valores entre 0 y 9; y cada vez que las unidades tomen el valor de 9 en la siguiente transición de reloj deberá volver a 0 y aumentar el contador de las decenas; es decir por cada vez que el contador MOD10 pase por sus 10 estados se deberá incrementar en uno el contador MOD6.

Para conseguir esto se utiliza el bit más significativo del contador MOD10 como señal de reloj para el contador MOD6 y de esta forma obtener el conteo desde 00 hasta 59.

La lógica para realizar el conteo de los minutos es la misma, teniendo en consideración que cada vez que el segundero tome el valor de 59 en el siguiente ciclo de reloj los dos contadores de los segundos deberán volver a cero y el contador de las unidades de los minutos deberá incrementar su valor.

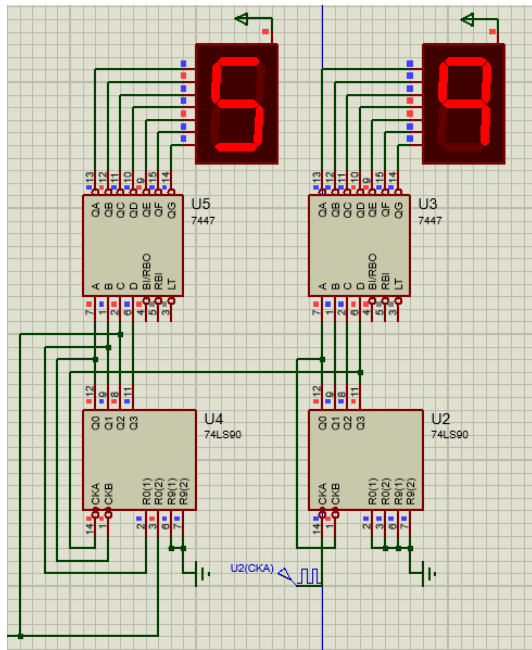


Fig. 6. Contador de 00 a 59

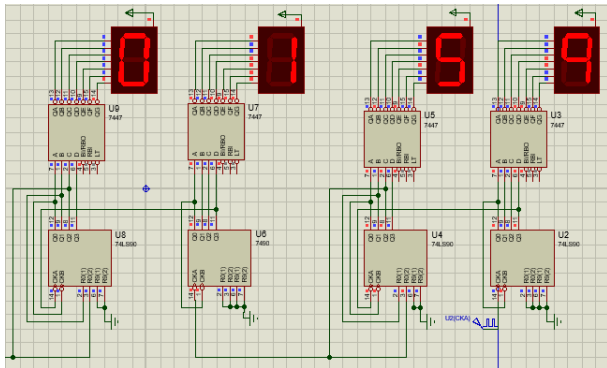


Fig. 7. Contador minutos y segundos

Finalmente para contar las horas, se debe tener en cuenta que el reloj iniciará en 00 y terminará en 23; es decir el contador de las unidades y las decenas volverán a su estado inicial de 00 cuando se presente la condición que se muestra en la Tabla I. A partir de esta condición que se presentará por un corto periodo de tiempo se reinician los contadores con el uso de una compuerta AND cuyas entradas serán:

El circuito para el contador de horas sera:

El diseño esquemático del circuito final es el siguiente:

Para realizar el circuito PCB, se reemplazo los displays por conectores "Header", que permitiran conectar cada display a travez de jumpers, esto permitira hara posible reemplazar y colocar los displays de una manera sencilla. Luego del diseño esquemático, se realizo el diseño PCB; Se tomo en cuenta el ancho de las pistas, para VCC el tamaño de la pista es de 20th, y para las demas de 10th, también se tomo en cuenta el plano de masa para evitar impedancia y ruido. También se coloco pistas en el plano top, por la complijejidad de algunas

CONTADOR DE HORAS								
CONTADOR DECENAS				CONTADOR UNIDADES				HORA
Q3	Q2	Q1	Q0	Q3	Q2	Q1	Q0	
0	0	0	0	0	0	0	0	00
0	0	0	0	0	0	0	1	01
0	0	0	0	0	0	1	0	02
0	0	0	0	0	0	1	1	03
0	0	0	0	0	1	0	0	04
0	0	0	0	0	1	0	1	05
0	0	0	0	0	1	1	0	06
0	0	0	0	0	1	1	1	07
0	0	0	0	1	0	0	0	08
0	0	0	0	1	0	0	1	09
0	0	0	1	0	0	1	0	10
0	0	0	1	0	0	1	1	11
0	0	0	1	0	0	0	0	12
0	0	0	1	0	0	0	1	13
0	0	0	1	0	1	1	0	14
0	0	0	1	0	1	1	1	15
0	0	0	1	0	1	0	0	16
0	0	0	1	0	1	0	1	17
0	0	0	1	1	0	1	0	18
0	0	0	1	1	0	1	1	19
0	0	1	0	0	0	0	0	20
0	0	1	0	0	0	0	1	21
0	0	1	0	0	0	1	0	22
0	0	1	0	0	0	1	1	23
0	0	1	0	0	1	0	0	24
0	0	0	0	0	0	0	0	00
0	0	0	0	0	0	0	1	01
0	0	0	0	0	0	1	0	02
.
.

TABLE I
TABLA DE VERDAD DE SALIDA DE CONTADOR DE HORAS

coneciones.

III. CONCLUSION

AGRADECIMIENTOS

REFERENCIAS

The authors would like to thank Dr. David Root and Dr. Jean-Pierre Teyssier at Agilent Technologies for the loan of the time-domain nonlinear measurement equipment and TriQuint Semiconductor for the donation of the transistors.

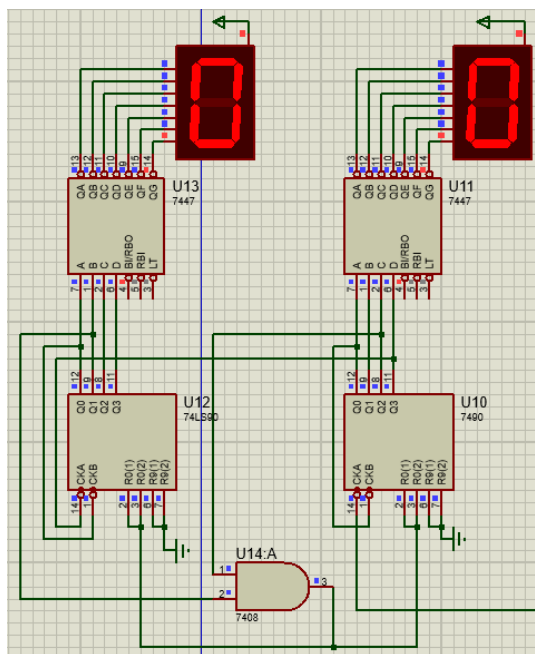


Fig. 8. Contador de 24horas

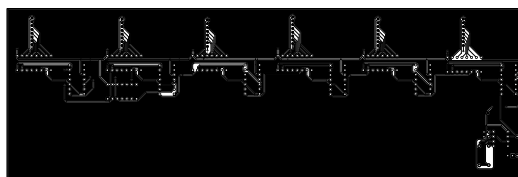


Fig. 11. Diseño PCB bottom

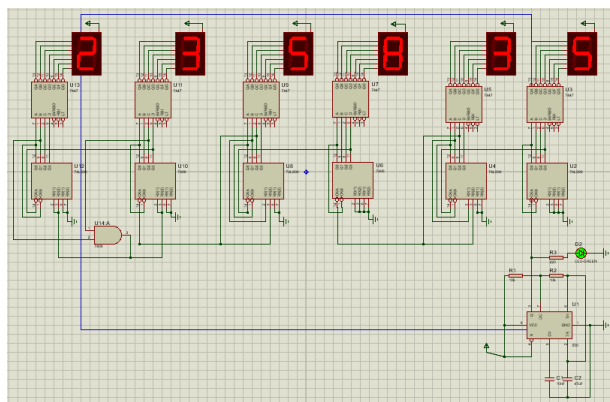


Fig. 9. Diseño Final de Reloj Digital

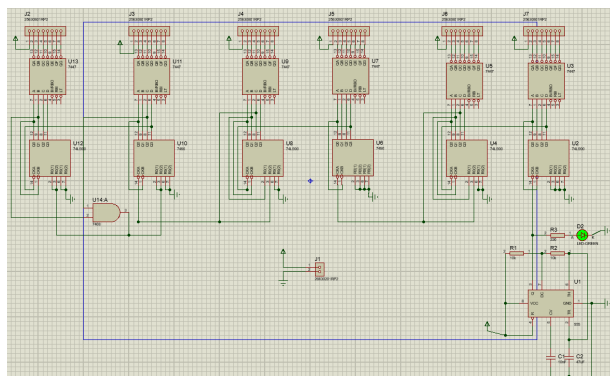


Fig. 10. Diseño Final de Reloj Digital

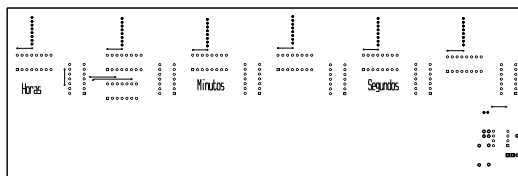


Fig. 12. Diseño PCB top