

---

# 고속 신호처리용 ADC 제어 회로 설계 기술 설명서

---

문서번호: SEC-TDS-2025-011

작성일자: 2025년 4월 30일

작성부서: 하드웨어개발팀 / 전자회로파트

작성자: 김지연 책임연구원



## 1. 개요

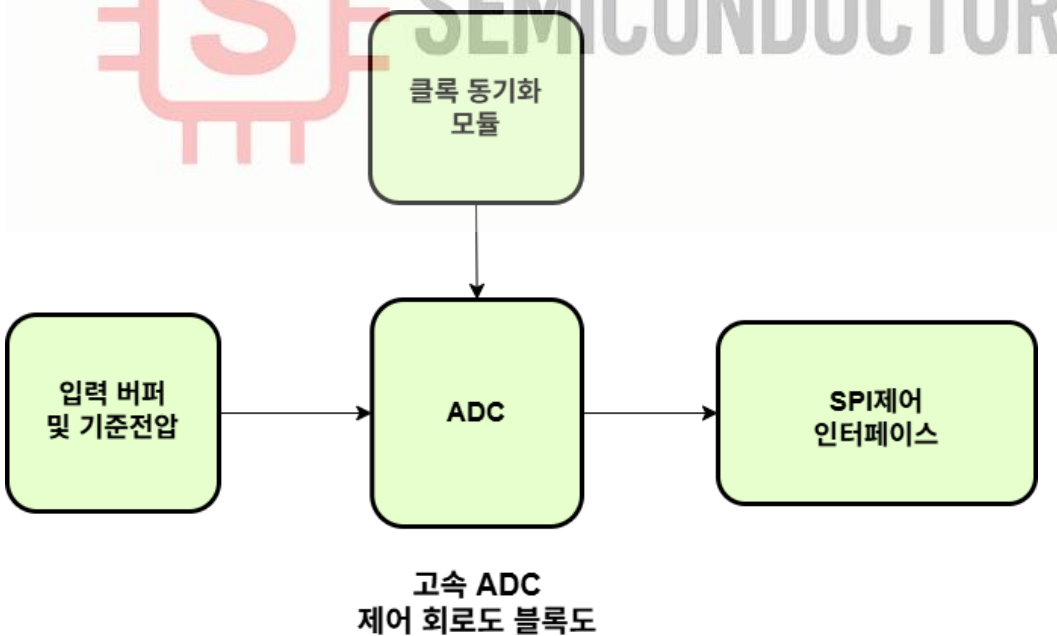
본 문서는 당사에서 개발 중인 고속 아날로그-디지털 변환(ADC) 장치의 제어 회로 설계안에 대한 기술적 내용을 요약한 자료입니다. 해당 회로는 차세대 레이더 모듈, 산업용 비전 센서 및 통신기기에 적용될 예정이며, 고속 샘플링 환경에서도 신호 정확도와 전력 효율을 동시에 확보하는 것을 목표로 하고 있습니다.

## 2. 회로 개요

제안된 회로는 고속 ADC의 입력 신호 처리 및 클록 동기화를 위한 모듈로 구성되며, 크게 다음 3개의 블록으로 구분됩니다.

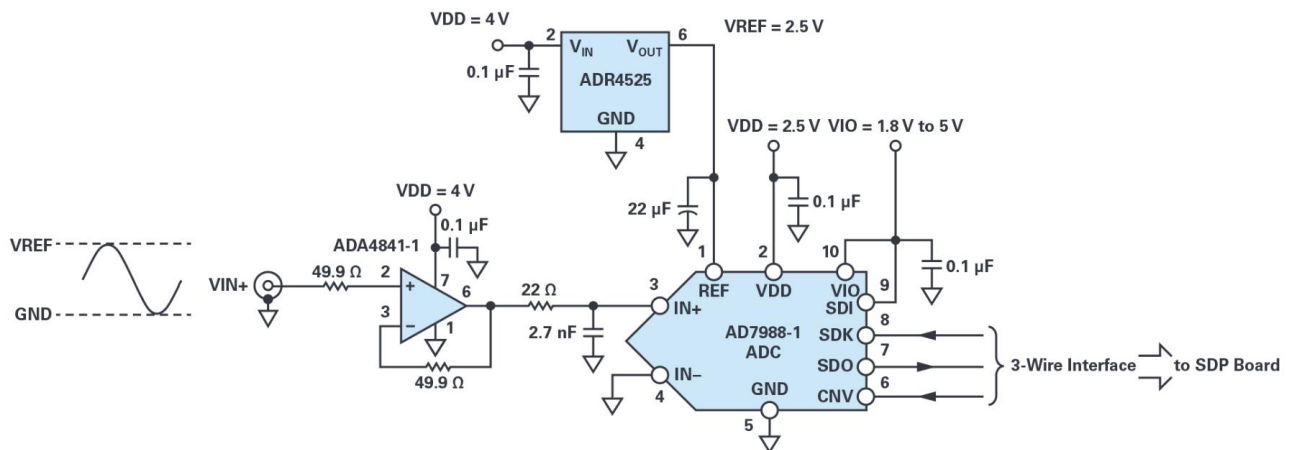
- 1) 입력 신호 버퍼 및 전압 기준 설정부
- 2) 클록 신호 PLL 기반 위상 정렬 회로
- 3) SPI 기반 제어 신호 전달 인터페이스

※ 해당 회로의 전체 구성도는 아래 <그림 1> 참조



[그림 1. 고속 ADC 제어 회로 블록도]

### 3. 주요 구성 요소 설명



#### 3.1 입력 버퍼 및 기준 전압 설정부

해당 블록은 외부 센서로부터 입력되는 아날로그 신호를 저잡음 증폭한 뒤 ADC 입력 범위에 맞게 신호를 조정하는 기능을 수행합니다.

- 저잡음 OPAMP: TI LMH6629
- 전압 기준 소자: REF3025 (2.5V 고정)

#### 3.2 클록 동기화 모듈

ADC의 샘플링 타이밍을 위한 고정밀 클록 생성이 핵심 요소이며, 본 설계에서는 PLL 기반 위상 동기 회로를 사용하여 클록 지터를 5ps 이내로 제한함.

- 주파수 범위: 250MHz ~ 1GHz
- 사용 부품: Si5345A-B-GM

#### 3.3 SPI 통신 제어 인터페이스

설정값 전송 및 온도 보정용 파라미터를 전송하기 위해 SPI 프로토콜을 사용하였으며, 마스터는 SoC에 내장된 컨트롤러가 담당.

- SPI 클럭 속도: 최대 25MHz

- 지원 명령어 세트: 초기화, 게인 조정, 클록 리셋

#### 4. 기밀 유지 및 보안 통제 사항

본 기술 설명서에 포함된 회로 구성 및 부품 선택 사양은 특허 출원 중이거나, 상용화 계획이 내정된 전략 기술에 해당합니다. 이에 따라 다음과 같은 통제 기준을 적용합니다:

- 사내 열람 권한: R&D 등급 S1 이상
- 문서 저장 위치: 내부 암호화 저장소 (AES-256)
- 출력물 수량 제한: 최대 2부, 관리번호 부여
- 외부 메일/USB 전송 자동 차단
- 인쇄 시 페이지별 보안 워터마크 자동 삽입



위 문서의 외부 유출 시 회사 기술 보호규정 제17조에 따라 인사위원회 회부 및 민사 손해배상 청구가 가능합니다.