

5.8 设计一个代码检测器，该电路从输入端  $x$  串行输入余 3 码（先低位后高位），当出现非法数字时，电路输出  $z$  为 1，否则输出为 0。试作出 Mealy 型状态图。

答案：mealy 型状态图如图 7.1 所示。

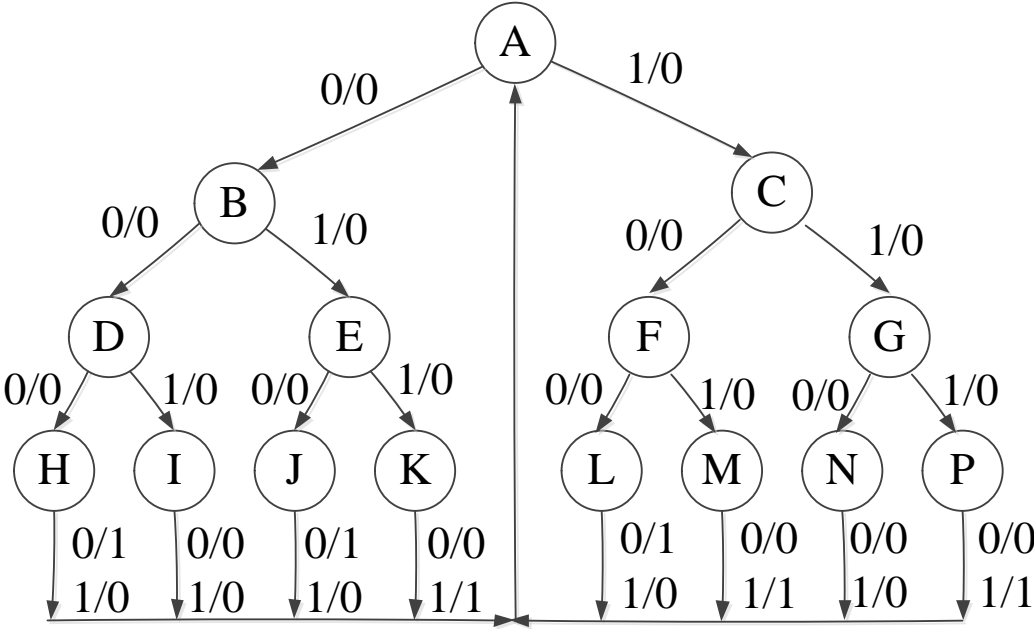


图 7.1 状态图

解析：（1）代码检测器和序列检测器最大的区别就在于代码检测器是按照固定长度进行检测的。

（2）本题中余 3 码无效的有 0000,0001,0010,1101,1110,1111，注意输入是先低位后高位。

5.9 化简表 5.42 所示原始状态表。

表 5.42 状态表

现 态	次态/输出	
	$x=0$	$x=1$
A	B/0	C/0
B	A/0	F/0
C	F/0	G/0
D	A/0	C/0
E	A/0	A/1
F	C/0	E/0
G	A/0	B/1

答案：根据状态表采用隐含表法，如图 7.2 所示。

B	<del>CF</del>					
C	<del>BF</del> <del>CG</del>	<del>AF</del> <del>FG</del>				
D	<del>AB</del>	<del>CF</del>	<del>AF</del> <del>CG</del>			
E	<del>X</del>	<del>X</del>	<del>X</del>	<del>X</del>		
F	<del>BC</del> <del>CE</del>	<del>AC</del> <del>EF</del>	<del>GE</del>	<del>AC</del> <del>CE</del>	<del>X</del>	
G	<del>X</del>	<del>X</del>	<del>X</del>	<del>X</del>	<del>AB</del>	<del>X</del>
	A	B	C	D	E	F

图 7.2 隐含表

表 7.1 状态表

状态	次态	
	X=0	X=1
a	a/0	b/0
b	b/0	c/0
c	a/0	a/1

从隐含表可以判断等效对：A-B，A-D，B-D，C-F，E-G；

由此得到最大等效类：{A，B，D}，{C，F}，{E，G}；

令{A，B，D}为 a，{C，F}为 b，{E，G}为 c，可以得到最简状态表如表 7.1 所示。

解析：(1)画隐含表的时候，首先可以根据输出不同快速判断不等效的状态，有利于后续的判断。

(2)得到最大等效类的时候注意全覆盖，不与其他任何原始状态等效的状态单独作为一个等效类。

(3)得到最简状态表时，注意状态的合并规则。

5.11 按照相邻法编码原则对表 5.44 进行状态编码。

表 5.44 状态表

现 态	次态/输出	
	x=0	x=1
A	A/0	B/0
B	C/0	B/0
C	D/1	C/0
D	B/1	A/0

答案：根据相邻编码原则：

(1) 按照原则 1（次态相同，现态相邻）：A 与 B 相邻；

(2) 按照原则 2（同一现态，次态相邻）：A 与 B，B 与 C，C 与 D 相邻；

(3) 按照原则 3（输出相同，现态相邻）：A 与 B，A 与 C，A 与 D，B 与 C，B 与 D，C 与 D 相邻；

综合上述原则，考虑状态总数为 4，那么用 2 位二进制码表示状态，需要 2 个触发器，那么每个状态只能有两个相邻状态，所以给出状态编码：

方案 1：A-00，B-10，C-11，D-01；

方案 2：A-00，B-01，C-11，D-10

得到二进制状态表如表 7.2 所示。

表 7.2 方案 1 二进制状态表

状态	次态 $y_2^{n+1}y_1^{n+1}/Z$	
	X=0	X=1
00	00/0	10/0
10	11/0	10/0
11	01/1	11/0
01	10/1	00/0

表 7.2 方案 2 二进制状态表

状态	次态 $y_2^{n+1}y_1^{n+1}/Z$	
	X=0	X=1
00	00/0	01/0
01	11/0	01/0
11	10/1	11/0
10	01/1	00/0

解析：相邻编码原则按照顺序尽可能遵守，而满足部分相邻编码原则的编码方案可以有多种，选择其中一种即可。

5.12 分别用 D、T、J-K 触发器作为同步时序逻辑电路的存储元件，实现表 5.45 所示二进制状态表的功能。试写出激励函数和输出函数表达式，比较采用哪

种触发器可使电路最简。

表 5.45 状态表

现 态		次态 $y_2^{n+1} y_1^{n+1}$ / 输出 Z	
		x=0	x=1
0	0	01/0	10/0
0	1	11/0	10/0
1	1	10/1	01/0
1	0	00/1	11/1

答案：采用辅助表确定激励函数和输出函数表达式。

表 7.3

X	y2	y1	$y_2^{n+1} y_1^{n+1}$	D2	D1	T2	T1	J2 K2	J1 K1	Z
0	0	0	0 1	0	1	0	1	0 d	1 d	0
0	0	1	1 1	1	1	1	0	1 d	d 0	0
0	1	1	1 0	1	0	0	1	d 0	d 1	1
0	1	0	0 0	0	0	1	0	d 1	0 d	1
1	0	0	1 0	1	0	1	0	1 d	0 d	0
1	0	1	1 0	1	0	1	1	1 d	d 1	0
1	1	1	0 1	0	1	1	0	d 1	d 0	0
1	1	0	1 1	1	1	0	1	d 0	1 d	1

(1) 采用 D 触发器

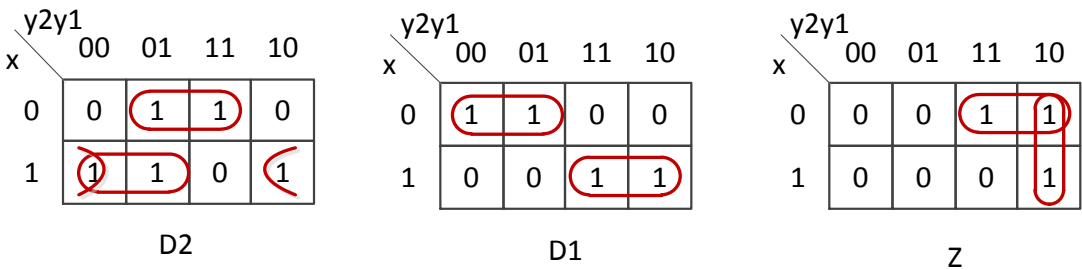


图 7.3 D 触发器卡诺图

$D2 = \bar{x} \cdot y1 + x \cdot \overline{y2} + x \cdot \overline{y1} = x \oplus y1 + x \cdot \overline{y2}$

$D1 = \bar{x} \cdot \overline{y2} + x \cdot y2 = x \oplus \overline{y2}$

$$Z = \bar{x} \cdot y_2 + y_2 \cdot \bar{y}_1$$

(2) 采用 T 触发器

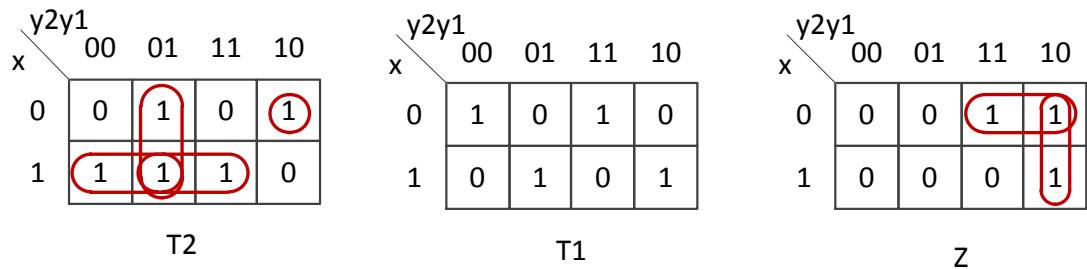


图 7.4 T 触发器卡诺图

$$T_2 = x \oplus y_2 \oplus y_1 + \bar{y}_2 \cdot y_1 = x \oplus y_2 \oplus y_1 + x \cdot y_1 = x \oplus y_2 \oplus y_1 + x \cdot \bar{y}_2$$

$$T_1 = x \oplus y_2 \oplus \bar{y}_1 = x \oplus \bar{y}_2 \oplus y_1 = \bar{x} \oplus y_2 \oplus y_1$$

$$Z = \bar{x} \cdot y_2 + y_2 \cdot \bar{y}_1$$

(3) 采用 JK 触发器

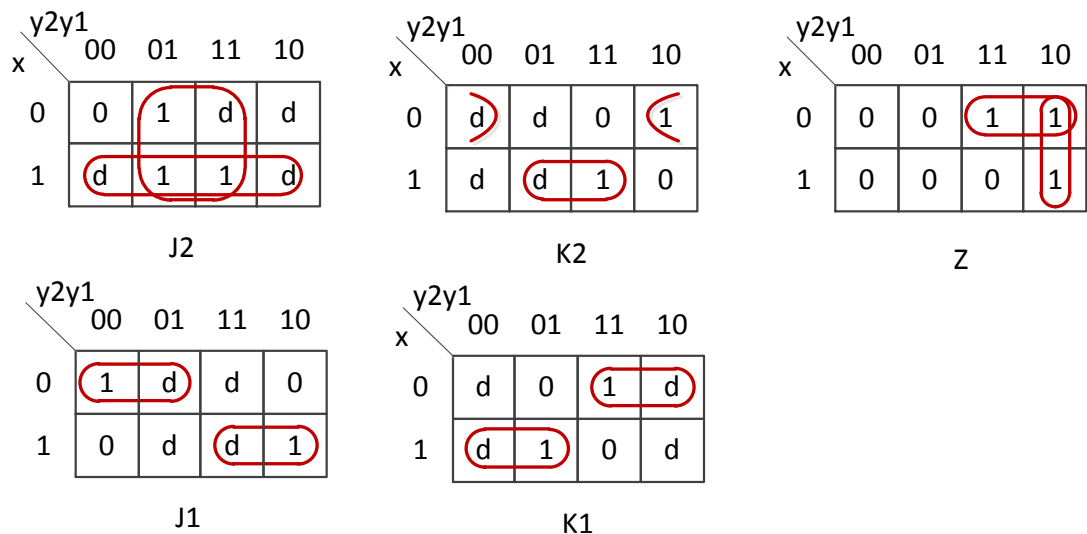


图 7.5 JK 触发器卡诺图

$$J_2 = y_1 + x \quad K_2 = \bar{x} \cdot \bar{y}_1 + x \cdot y_1 = x \oplus \bar{y}_1$$

$$J_1 = \bar{x} \cdot \bar{y}_2 + x \cdot y_2 = x \oplus \bar{y}_2 \quad K_1 = \bar{x} \cdot y_2 + x \cdot \bar{y}_2 = x \oplus y_2 = \bar{J}_1$$

$$Z = \bar{x} \cdot y_2 + y_2 \cdot \bar{y}_1$$

比较激励表达式 JK 触发器电路最简单。从逻辑门的数目考虑，D 触发器需要 2 个异或门，1 一个与门，1 个或门；T 触发器需要 3 个异或门，1 一个与门，1 个或门；JK 触发器需要 1 个异或门，1 个非门，1 个或门，JK 触发器和 D 触发器门数是一样的。

解析：（1）注意无论使用什么种类的触发器，输出函数都是一样的。

（2）考虑电路最简，首先是门的数量最少，然后是芯片数最少，就是门的种类和数量达到一个平衡。

5.13 已知某同步时序逻辑电路的激励函数和输出函数表达式为：

$$D_2 = \bar{x}y_2 + xy_2\bar{y}_1$$

$$D_1 = \bar{x}y_2 + y_2\bar{y}_1 + x\bar{y}_2y_1$$

$$Z = y_2$$

试求出改用 J-K 触发器作为存储元件的最简电路。

答案：（1）采用辅助表确定改用 JK 触发器的激励函数，输出函数不变。

表 7.4

X	y <sub>2</sub>	y <sub>1</sub>	D <sub>2</sub>	D <sub>1</sub>	y <sub>2</sub> <sup>n+1</sup>	y <sub>1</sub> <sup>n+1</sup>	J <sub>2</sub> K <sub>2</sub>	J <sub>1</sub> K <sub>1</sub>
0	0	0	0	0	0	0	0 d	0 d
0	0	1	0	0	0	0	0 d	d 1
0	1	1	1	1	1	1	d 0	d 0
0	1	0	1	1	1	1	d 0	1 d
1	0	0	0	0	0	0	0 d	0 d
1	0	1	0	1	0	1	0 d	d 0
1	1	1	0	0	0	0	d 1	d 1
1	1	0	1	1	1	1	d 0	1 d

（2）根据辅助表画卡诺图如图 7.6 所示。



依次到  $x_n$ 、 $y_n$ 。电路有两个输出  $Z_x$  和  $Z_y$ ，若比较结果  $X>Y$ ，则  $Z_x$  为 1， $Z_y$  为 0；若  $X<Y$ ，则  $Z_x$  为 0， $Z_y$  为 1；若  $X=Y$ ，则  $Z_x$  和  $Z_y$  都为 1。要求用尽可能少的状态数作出状态图和状态表，并用尽可能少的逻辑门和触发器（采用 J-K 触发器）实现其功能。

**答案：**从电路的功能考虑，只要判断两个输入的大小，那么只需要 3 个状态，状态 A 表示原始状态以及  $X=Y$  时的状态（ $X, Y$  都没有输入的时候可以认为  $X=Y$ ），状态 B 表示  $X>Y$  时的状态，状态 C 表示  $X<Y$  时的状态，假设输出为  $Z_x Z_y$ ，输入为  $x_n y_n$ ，据此画出状态图如图 7.7 所示。

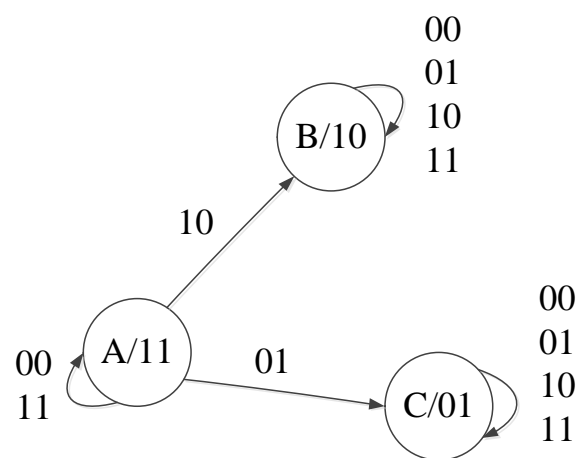


图 7.7 状态图

**解析：**注意电路输入的时候是先高位后低位，所以如果可以判断前面输入部分的大小，之后就不需要再进行判断；只有在前面的输入完全相等的情况下，后面的输入才会影响  $x$  和  $y$  的大小。