

Лабораторная работа №4

ТРИГГЕРЫ

Цель работы: Ознакомление с основными характеристиками и испытание триггеров RS , D , T и JK .

ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

Триггер – это устройство последовательностного типа с двумя устойчивыми состояниями равновесия, предназначенное для записи и хранения информации. Под действием входных сигналов триггер может переключаться из одного устойчивого состояния в другое. При этом напряжение на его выходе скачкообразно изменяется с низкого уровня на высокий или наоборот.

По способу записи информации триггеры делят на *асинхронные*, которые переключаются в момент подачи входного сигнала, и *синхронные* (тактируемые), которые переключаются только при подаче синхронизирующих импульсов, а момент переключения связан с определённым уровнем синхросигнала (*статические* триггеры) или с моментом перепада напряжения на тактируемом входе (*динамические* триггеры).

По способу организации логических связей:

- 1 Триггеры с раздельной установкой 0 и 1 (RS – триггеры);
- 2 Триггеры с счётным входом (T – триггеры);
- 3 Универсальные триггеры с раздельной установкой 0 и 1 (JK триггеры);
- 4 Триггеры задержки (D – триггеры);
- 5 Триггеры задержки с управлением приёмом информации по одному входу (DU – триггеры);
- 6 Комбинированные триггеры (RST – , $JKRS$ – , DRS – триггеры и др.);
- 7 Триггеры со сложной входной логикой.

Входы триггеров – сигналы, подаваемые на них, делятся на информационные – управляющие состоянием триггера и вспомогательные – служащие для предварительной установки триггера в заданное состояние и его синхронизацию.

В таблице 1 приведены условные обозначения и назначения входов триггеров.

Как правило, триггер имеет два выхода: прямой Q и инверсный \bar{Q} . Число входов зависит от структуры и функций, выполняемых триггером. Например, асинхронные RS -триггеры имеют два входа: вход S установки в единичное состояние прямого выхода Q и вход R установки в нулевое состояние выхода Q . Синхронные триггеры для занесения в них информации, помимо информационных входов S (J) и R (K), имеют синхронизирующий C или счётный T вход, а триггеры задержки – информационный вход D .

Таблица 1 – Условное обозначение и назначения входов триггера

Условное обозначение	Назначение
Информационные входы	
S	Вход для раздельной установки триггера в состояние 1
R	Вход для раздельной установки триггера в состояние 0
J	Вход для установки триггера в состояние 1
K	Вход для установки триггера в состояние 0
T	Вход двоичного счетчика (счетный вход)
D	Вход для установки триггера в состояние 1 или 0
Вспомогательные входы	
U	Подготовительный вход для разрешения приема информации
C	Исполнительный вход для осуществления приема информации (вход синхронизации или тактирующий вход)

Наибольшее распространение в цифровых устройствах получили триггеры *RS, D, T* и *JK*.

1 Асинхронный и синхронный *RS*-триггеры

Простейшим триггером является *асинхронный RS*-триггер, условное графическое изображение которого представлено на рисунок 1а, а принцип его работы поясняется таблицей истинности (таблица 2). Триггер имеет два выхода: *Q* и *Q* инверсные друг другу и два входа: *S* (Set) – установка и *R* (Reset) – сброс. Имеется в виду сброс выхода *Q* триггера в нулевое состояние.

Если входные сигналы взаимно инверсные, причем $S = 1$ и $R = 0$, то

$$\overline{Q} = \overline{S + Q} = \overline{1 + Q} = 0$$

$$Q = \overline{R + \overline{Q}} = \overline{0 + 0} = 1$$

Следовательно,

оба выходных сигнала действительно находятся в инверсных друг другу состояниях.

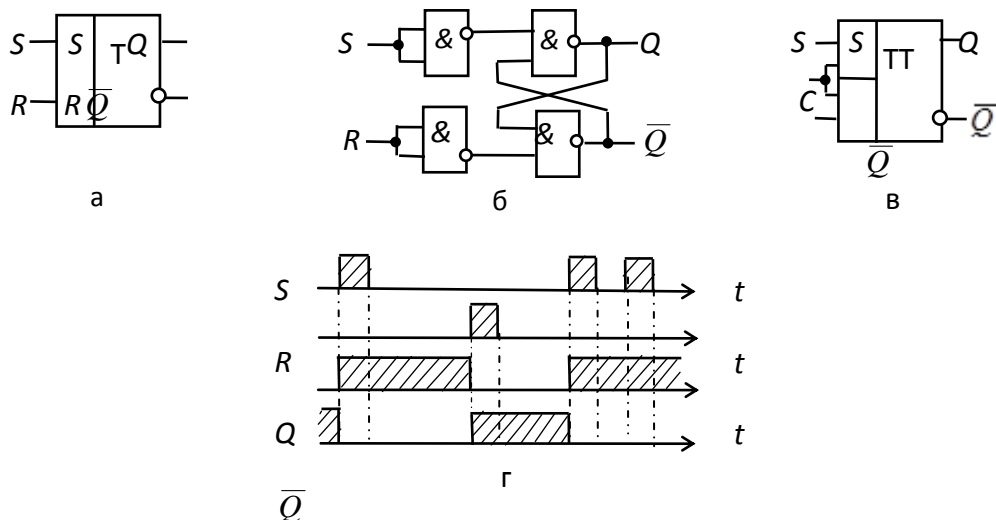


Рисунок 1 – RS-триггер

Рассмотрим таблицу 2. Обозначим Q^n сигнал на выходе триггера до поступления сигнала 1 на его вход S . При подаче сигналов $S = 1$ и $R = 0$ триггер переходит в состояние $Q^{n+1} = 1$. При поступлении сигналов $R = 1$ и $S = 0$ на выходе устанавливается $Q^{n+1} = 0$. При отсутствии новых команд состояние триггера не изменяется: триггер сохраняет информацию о последней из поступивших команд. Естественно, что комбинация сигналов $S = 1$ и $R = 1$ относится к запрещённым, так как при её подаче на входы триггера на его выходе Q^{n+1} устанавливается либо 1, либо 0.

Таблица 2 – Таблица состояний асинхронного RS-триггера

Режим работы	Входы		Выходы		Влияние на выход Q
	S	R	Q^{n+1}	$\overline{Q^{n+1}}$	
Хранение	0	0	Q^n	$\overline{Q^n}$	Зависит от предыдущего состояния
Установка 1	1	0	1	0	Для установки Q в 1
Установка 0	0	1	0	1	Для установки Q в 1
Запрещенное состояние	1	1	–	–	Как правило не используется

На основании таблицы 2 запишем аналитическое выражение функционирования RS-триггера:

$$Q^{n+1} = S + Q^n \overline{R}$$

На рисунке 1г изображена временная диаграмма, иллюстрирующая его работу. В момент, когда подаётся сигнал $S = 1$, триггер переходит в состояние $Q = 1$. При отсутствии входных сигналов состояние триггера не изменяется, а в момент подачи сигнала $R = 1$ триггер переключается в состояние $Q = 0$, в котором пребывает до поступления нового единичного сигнала на S -вход.

RS-триггер может быть построен на различных логических элементах. На рисунке 1б показана схема реализации RS-триггера на базовых элементах И-НЕ, в которой использована положительная обратная связь (ПОС) с выходов триггера на входы логических элементов. Именно наличие ПОС отличает триггер от ранее рассмотренных комбинационных логических устройств: посредством сигналов ПОС в триггере фиксируется его предшествующее состояние.

Асинхронный RS-триггер можно преобразовать в *синхронный*, если добавить третий синхронизирующий вход C (рисунк 1в), соединенный, например, с нижними, предварительно разделёнными, входами двух левых элементов И-НЕ (рисунк 1б).

Вход C обеспечивает функционирование RS-триггера по закону

$$Q^{n+1} = Q^n (\overline{C} + \overline{R}) + CS$$

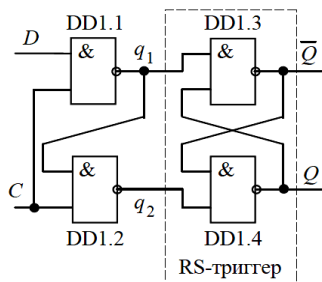
Переключение синхронного RS-триггера в состояние $Q = 1$ происходит при $S = 1$ (или в состояние $Q = 0$ при $R = 1$) в момент прихода синхроимпульса C . При $C = 0$ информация с S - и R -входов на триггер не передается.

2 D-триггер

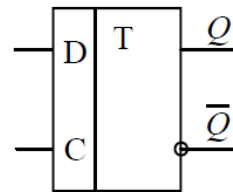
Триггер задержки (*D-триггер*) может быть только синхронным, так как имеет один информационный *D*-вход, информация с которого переписывается на выход триггера только по тактовому сигналу, подаваемому на *C*-вход.

Функциональная особенность этого типа триггеров состоит в том, что сигнал на выходе *Q* после такта записи повторяет информацию на входе и запоминает это состояние до следующего такта записи.

Условное изображение D-триггера приведено на рисунке 2, реализовать его можно на различных логических элементах, например, И-НЕ.



на элементах И-НЕ



условное обозначение

Рисунок 2 – D-триггер

Из анализа таблицы 3 переключательной функции *D*-триггера

$$Q^{n+1} = \overline{C}^n Q^n + C^n Q^n$$

следует, что при отсутствии синхроимпульса ($C = 0$) состояние триггера остается неизменным. При условии же $C = 1$ триггер передает на выход сигнал, поступивший на его вход *D* в предыдущем такте, т. е. выходной сигнал Q^{n+1} изменяется с задержкой на один период импульсов синхронизации.

Таблица 3

C^n	D^n	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Закон функционирования D- триггера запишется в виде $Q^{n+1} = C^n D^n$ или в сокращенной форме: $Q^{n+1} = D^n$.

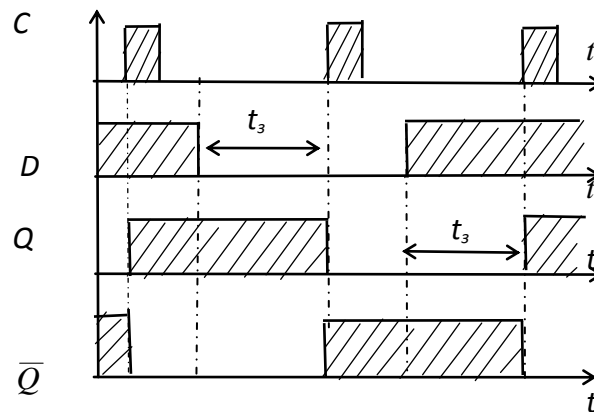


Рисунок 3 – Временная диаграмма D-триггера

Из анализа временной диаграммы *D*-триггера (рисунок 3) также следует, что выходной сигнал *Q* триггера повторяет состояние *D*-входа с поступлением очередного тактового импульса на вход *C* с задержкой t_3 относительно сменившегося логического состояния на *D*-входе.

3Т-триггер

Триггер со счетным запуском (*T-триггер*) должен переключаться каждым импульсом, подаваемым на единственный счётный вход *T* (рисунок 4).

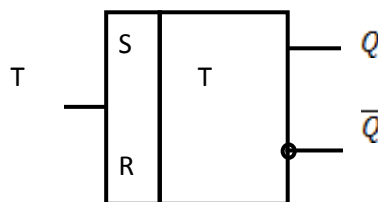


Рисунок 4 – Условное графическое обозначение Т-триггера

Смена состояний выходного сигнала на инверсное здесь происходит всякий раз, когда управляющий сигнал меняет свое значение в одном направлении. В зависимости от того, какой из фронтов входного сигнала используется для управления (от 0 до 1 или от 1 к 0), считается, что *T* – триггер имеет прямой или инверсный динамический вход. По способу ввода информации *T*-триггеры могут быть асинхронными и синхронными. *T*– триггер – вид триггера, текущее состояние которого определяется его же состоянием в предыдущем такте. На рисунке 5 представлены временные диаграммы работы *T* – триггера.

Поскольку управление происходит по одному входу, *T* – триггеры неопределенных состояний не имеют.

Функционирование *T*-триггера определяется уравнением

$$Q^{n+1} = Q^n \bar{T} + \bar{Q}^n T$$

В интегральном исполнении *T* – триггеры не производятся, т.к. легко выполняются на базе JK или D – триггеров путем определенных соединений внешних выводов (рисунок 6а).

Общий принцип построения счетных триггеров состоит во введении обратной связи с выходов на входы так, чтобы обеспечить смену сигналов на информационных входах после каждого такта.

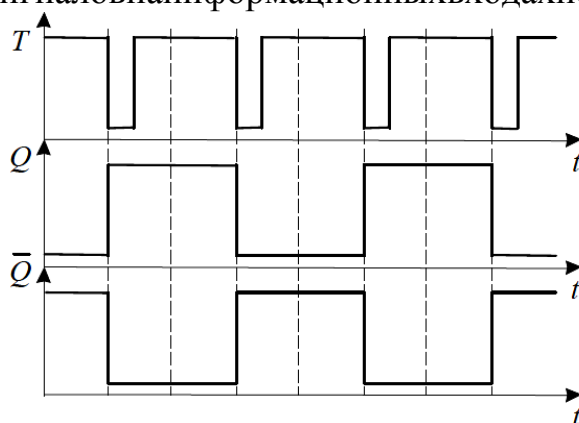


Рисунок 5 – Временная диаграмма Т-триггера.

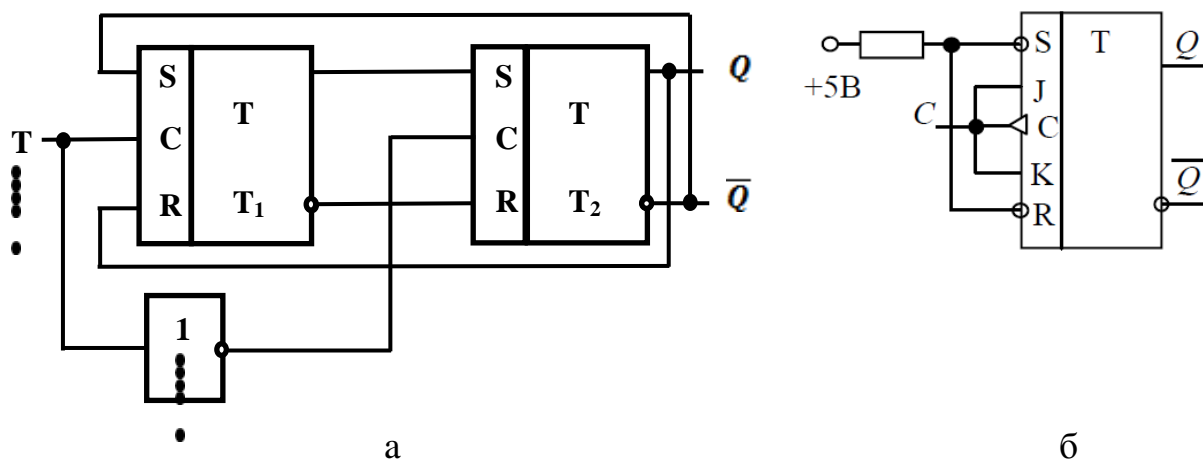


Рисунок 6 – Т-триггер

Т-триггер также может быть реализован, например, на базе двух синхронных *RS*-триггеров (рисунок 6б). С появлением фронта тактового импульса триггер T_1 первой ступени переключается в состояние, противоположное состоянию триггера T_2 . Но это не вызывает изменение сигналов на выходах Q и \bar{Q} , так как за счёт инвертора на тактовый вход C триггера T_2 в данный момент подан логический 0. Только на срезе счетного импульса на входе T_1 переключится триггер T_2 и произойдёт изменение сигналов на выходах Q и \bar{Q} , а также на S - и R -входах первой ступени.

4JK-триггер

JK – триггер является весьма распространенным, универсальным типом триггера. Условное графическое изображение простейшего JK – триггера приведено на рисунке 7. Он обычно имеет два информационных входа J и K , вход тактовых импульсов C , входы установки S и сброса K , а также комплиментарные выходы и \bar{Q} .

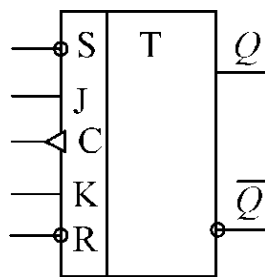


Рисунок 7 – Условное графическое изображение JK – триггер

JK -триггеры обычно выполняют тактируемыми. Информационные входы J и K , которые по своему воздействию на устройство аналогичны входам S и R синхронного RS -триггера: при $J = 1$ и $K = 0$ триггер по тактовому импульсу C устанавливается в состояние $Q = 1$; при $J = 0$ и $K = 1$ – переключается в состояние $Q = 0$, а при $J = 0$ и $K = 0$ – хранит ранее принятую информацию.

В отличие от синхронного RS -триггера одновременное присутствие логических единиц на информационных входах не является для JK -триггера запрещенной комбинацией; при $J = 1$ и $K = 1$ триггер работает в счетном режиме, т. е. переключается каждым тактовым импульсом на входе C .

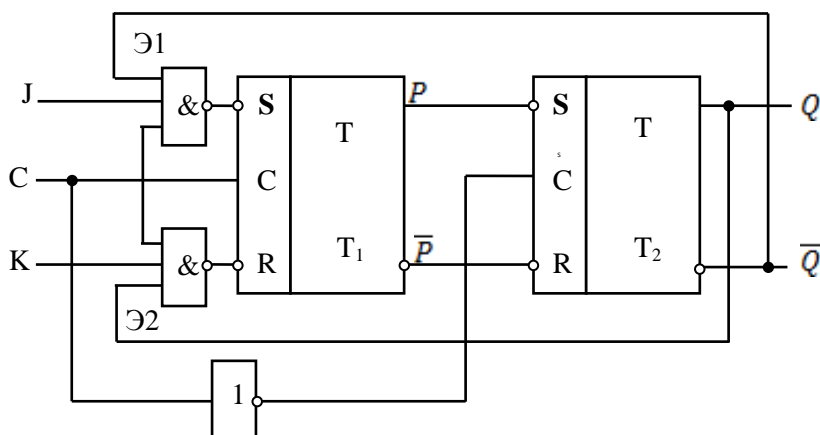


Рисунок 8 – Функциональная схема JK -триггера

На рисунке 8 изображена одна из функциональных схем JK -триггера. Она отличается от схемы T -триггера (рисунок 6а) двумя трёхходовыми элементами И-НЕ Э1 и Э2 входной логики первой ступени JK -триггера. Переключающий вход C – динамический (рисунок 9а): переключение JK -триггера происходит в момент перепада синхроимпульса с уровня $C = 1$ на уровень $C = 0$, т. е. при срезе.

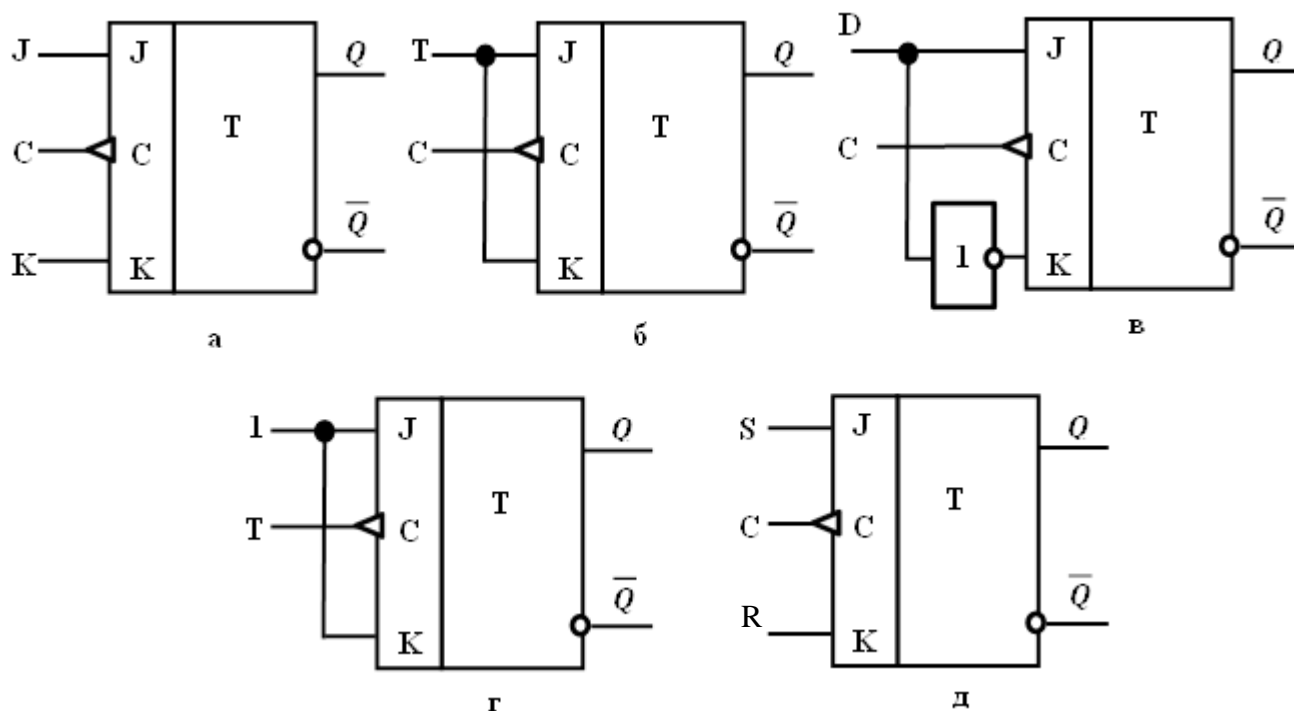


Рисунок 9 – Триггеры на базе JK-триггера

При $J = 0$ и $K = 0$ на выходе элементов Э1 и Э2 устанавливаются логические единицы, которые для триггеров с инверсными входами являются пассивными сигналами: триггер T_1 и, следовательно, JK -триггер в целом сохраняют прежнее состояние (рисунок 8). Логическая 1 на одном из входов элемента И-НЕ не определяет 1 на его выходе и комбинация $J = 1, K = 1$ никак не влияет на входную логику первой ступени, поэтому схемы T - и JK -триггеров (см. рисунок 8) принципиально не отличаются: оба работают в счетном режиме.

Только при комбинации сигналов $J = 1, C = 1$ и $\bar{Q} = 1$ на входе элемента Э1 триггер T_1 переключится в состояние $P = 1$. Аналогично логический 0 будет на выходе элемента Э2, когда $K = 1, C = 1$ и $Q = 1$.

Таким образом, комбинация $J = 1, K = 0$ обуславливает по тактовому импульсу $C = 1$ переключение JK -триггера в целом в состояние $Q = 1$, а комбинация $J = 0, K = 1$ – в состояние $Q = 0$.

На основе JK -триггера (рисунок 9а) могут быть выполнены синхронный (рисунок 9б) и асинхронный (рисунок 9г) T -триггеры, D -триггер (рисунок 9в) и синхронный RS -триггер (рисунок 9д).

При проектировании сложных логических схем (микросхем) необходимы триггеры различных типов, которые можно было бы выполнить на основе одного универсального триггера и использовать его в разных режимах работы и модификациях. В интегральной схемотехнике наибольшее распространение получили D - и JK -триггеры.

Таблица 4

J^n	K^n	Q^n	Q^{n+1}
0	0	0	0
1	0	0	1
0	1	0	0
1	1	0	1
0	0	1	1
1	0	1	1
0	1	1	0
1	1	1	0

Из анализа таблицы 4 переключательной функции JK -триггера

$$Q^{n+1} = \bar{K}^n Q^n + J^n \bar{Q}^n$$

следует, что состояние триггера определяется не только уровнями сигналов на информационных входах J и K , но и состоянием Q^n , в котором ранее находился JK -триггер. Так, при комбинации $J = 0, K = 0$ триггер сохраняет предыдущее состояние ($Q^{n+1} = Q^n$); комбинация $J = 1, K = 1$ приводит к тому, что тактовым импульсом триггер переключается в состояние, противоположное предыдущему: $Q^{n+1} = \bar{Q}^n$. Комбинации $J = 1, K = 0$ и $J = 0, K = 1$ дают разрешение триггеру переключиться соответственно в состояния $Q = 1$ и $Q = 0$.

ПРАКТИЧЕСКАЯ ЧАСТЬ

Задание 1. Собрать на рабочем поле ElectronicsWorkbench схемы для испытания асинхронного RS -триггера и **установить** в диалоговых окнах компонентов их параметры или режимы работы. **Скопировать** схемы, **заполнить** таблицы истинности в отчёт.

а) Схема (рисунок 10) собрана на элементах ИЛИ-НЕ (**NOR**). На входы S и R элементов **NOR1** и **NOR2** через ключи **1** и **2** подаются логические сигналы 1 или 0. К выходам Q и \bar{Q} , т. е. к выходам триггера, как и к его входам S и R , подключены пробники.

Воспользовавшись порядком засвечивания разноцветных пробников и задавая коды (00, 01, 10) состояния ключей **1** и **2** (входных сигналов), **составить** таблицу истинности RS -триггера.

R	S	Q	\bar{Q}
0	1		
1	0		
0	0		
1	1		

Например, сформировав с помощью ключей сигналы $S = 1$ и $R = 0$ и подав их на вход триггера, получите на его выходе сигналы $Q = 1$ и $\bar{Q} = 0$. Убедитесь,

что при запрещённом коде 11 входных сигналов, на выходе RS -триггера могут засветиться оба пробника, или оба не светятся.

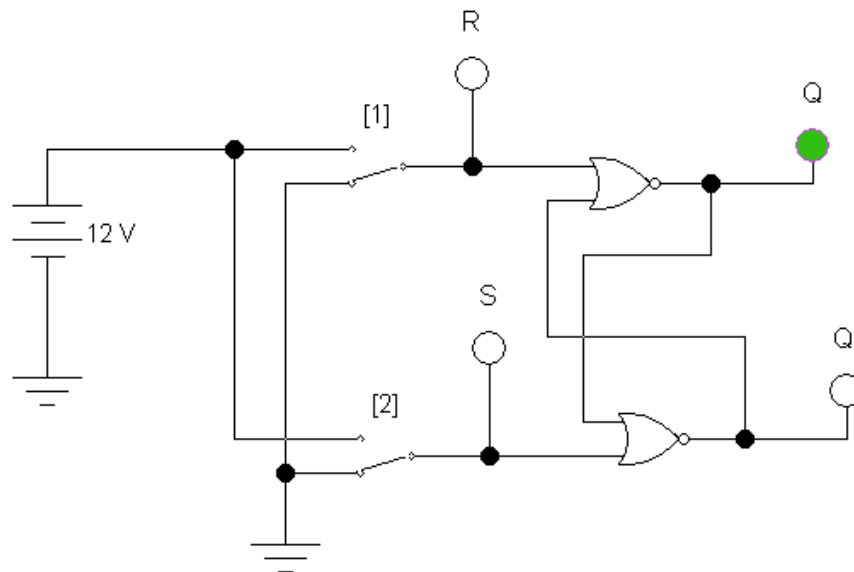


Рисунок 10 – RS -триггер на элементах ИЛИ-НЕ.

б) Собрать схему RS -триггера на элементах И-НЕ (рисунок 11). Воспользовавшись порядком засвечивания разноцветных пробников и задавая коды (00, 01, 10) состояния ключей **1** и **2** (входных сигналов), **составить** таблицу истинности RS -триггера по аналогии с таблицей 2. Сделать вывод.

Режим работы	Входы		Выходы		Влияние на выход Q
	\bar{S}	\bar{R}	Q^n	\bar{Q}^n	
	0	0			
	1	0			
	0	1			
	1	1			

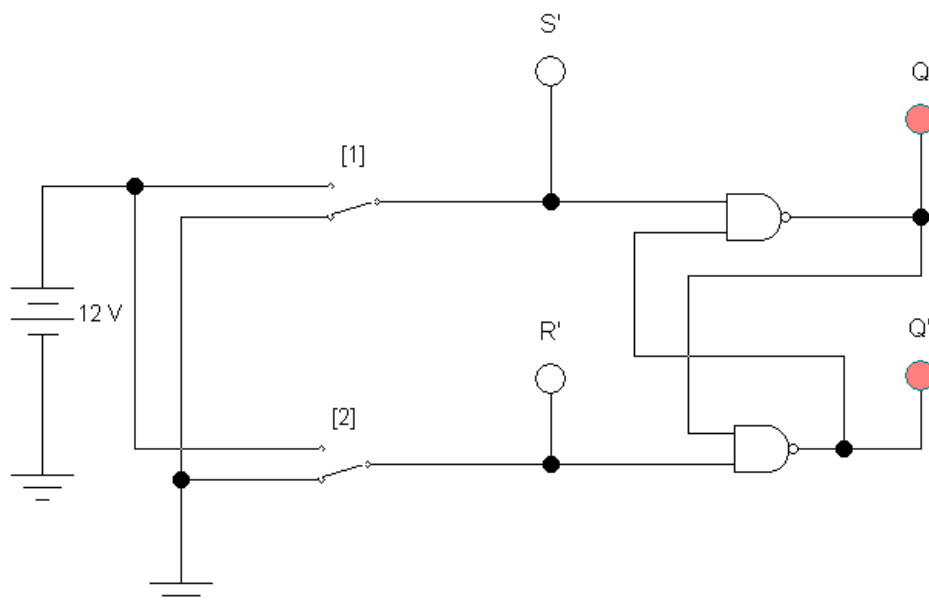


Рисунок 11 – RS -триггер на элементах И-НЕ

в) **Собрать** схему и **составить** таблицу истинности для RS-триггера на микросхеме (вкладка **Digital**→**RSFlip-Flop**) (рисунок 12).

Подключить к входам триггера логический генератор, запрограммировав его первые три ячейки кодами 0000, 0001, 0002 и соединив входы и выходы триггера с входами логического анализатора.

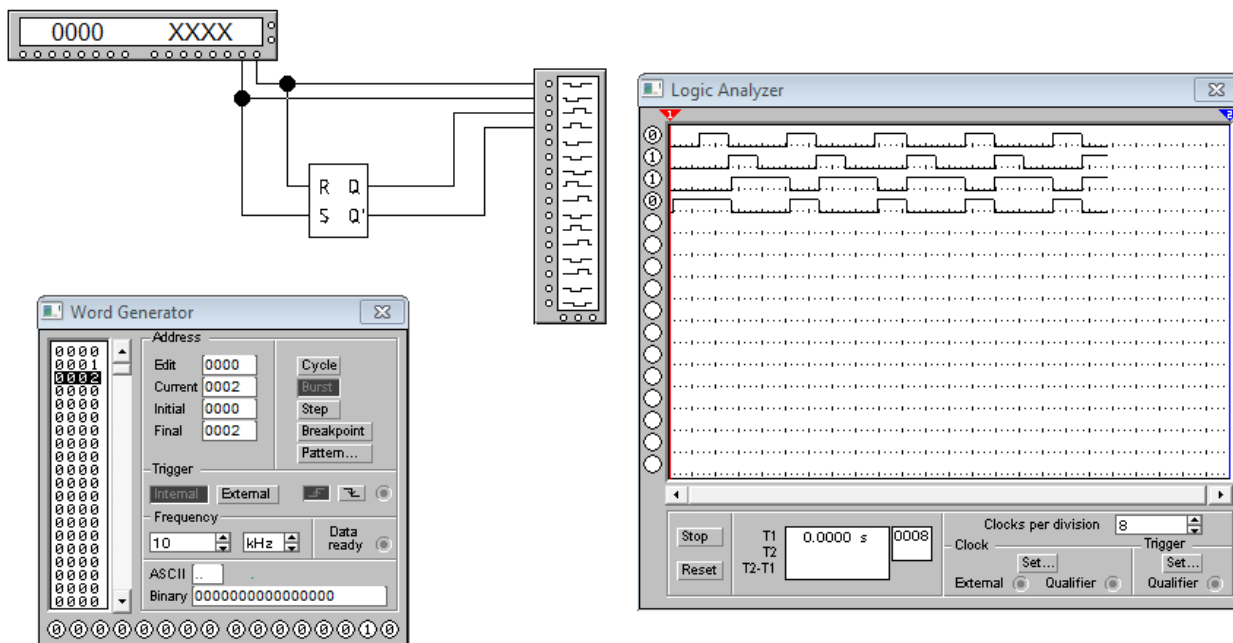


Рисунок 12 – RS триггер

В диалоговом окне генератора слова **задать** частоту $f_c = 10$ кГц и провести несколько циклов моделирования сигналов (в режиме **Burst**), а в окне анализатора – частоту **Clock**→**Set**→**Internal clock rate** $f_a = 100$ кГц, число импульсов **Clocks/div** = 8.

Получить на экране анализатора временную диаграмму состояний RS-триггера. **Скопировать** схему испытания и временную диаграмму состояния RS-триггера на страницу отчёта.

Задание 2. Собрать на рабочем поле ElectronicsWorkbench схему для испытания **синхронного RS-триггера** (рисунок 13). **Скопировать** схему, **заполнить** таблицу истинности.

R	S	C	Q	\bar{Q}
0	0	1		
0	1	1		
1	0	1		
0	1	0		
1	0	0		

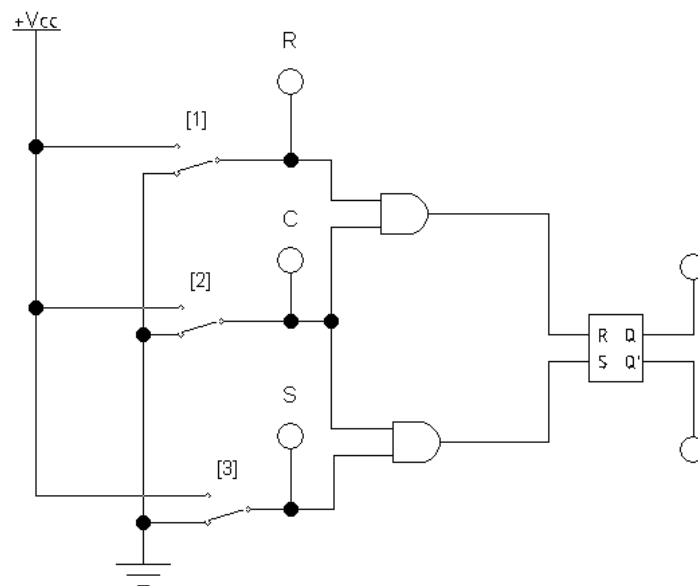


Рисунок 13

Задание 3. *Собрать* на рабочем поле ElectronicsWorkbench схему для испытания *двухтактного синхронного RS-триггера* (рисунок 14). *Скопировать* схему, *заполнить* таблицу истинности.

R	S	C	Q_1	\overline{Q}_1	Q_2	\overline{Q}_2
0	0	1				
1	0	1				
0	1	1				
0	0	0				
1	0	0				
0	1	0				

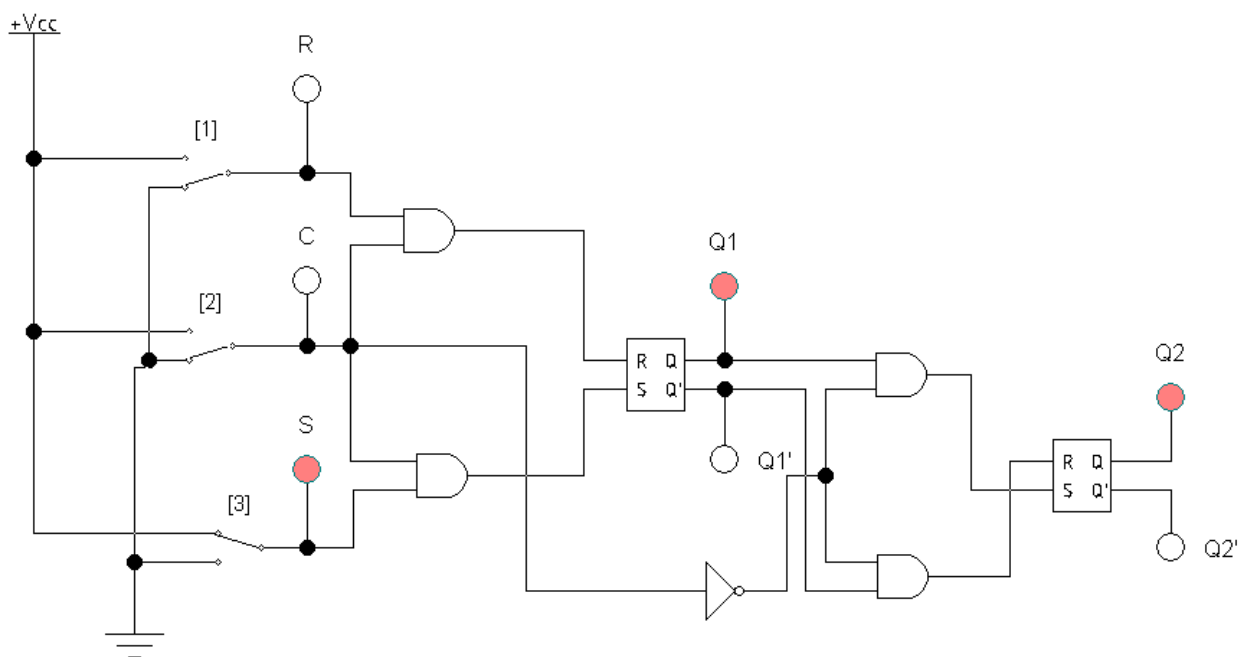


Рисунок 14

Задание 4.

а) **Собрать** на рабочем поле ElectronicsWorkbench схему для испытания асинхронного *D*-триггера (рисунок 15). **Скопировать** схему, показания осциллографа, **заполнить** таблицу истинности. Для визуального наблюдения работы схемы **установить** частоту генератора 0,5 Гц.

В отсутствие тактирующих импульсов триггер находится в режиме **хранения информации**.

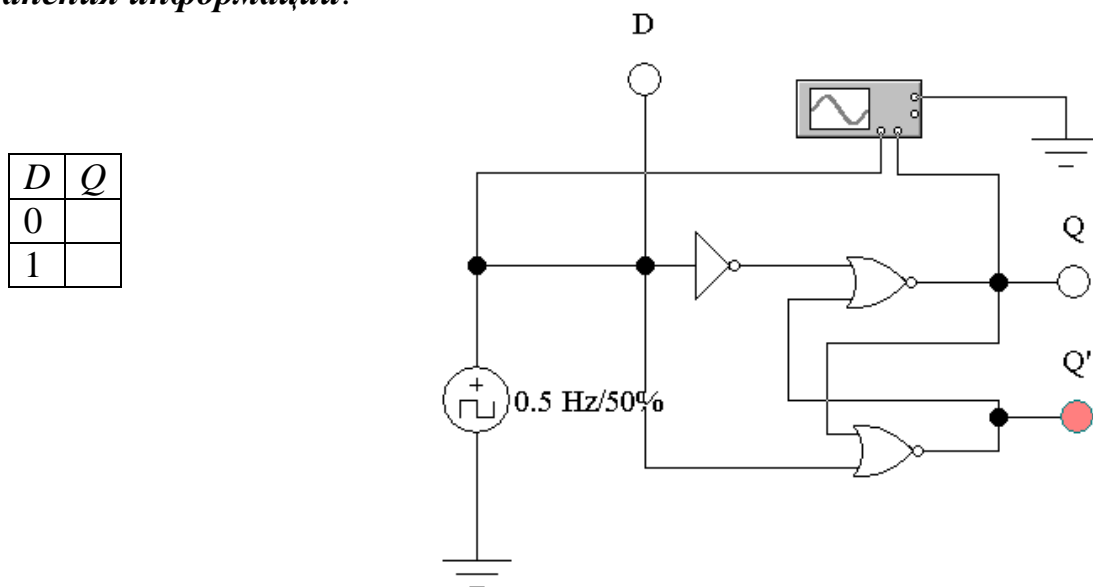


Рисунок 15

б) **Собрать** на рабочем поле ElectronicsWorkbench схему синхронного *D*-триггера для испытания в статическом режиме. Схему собрать в двух вариантах на логических элементах (рисунок 16) и на базе ИМС 7451, вкладка

Digital ICs → 74XX → 7451 (рисунок 17). **Скопировать схемы, заполнить** таблицу истинности.

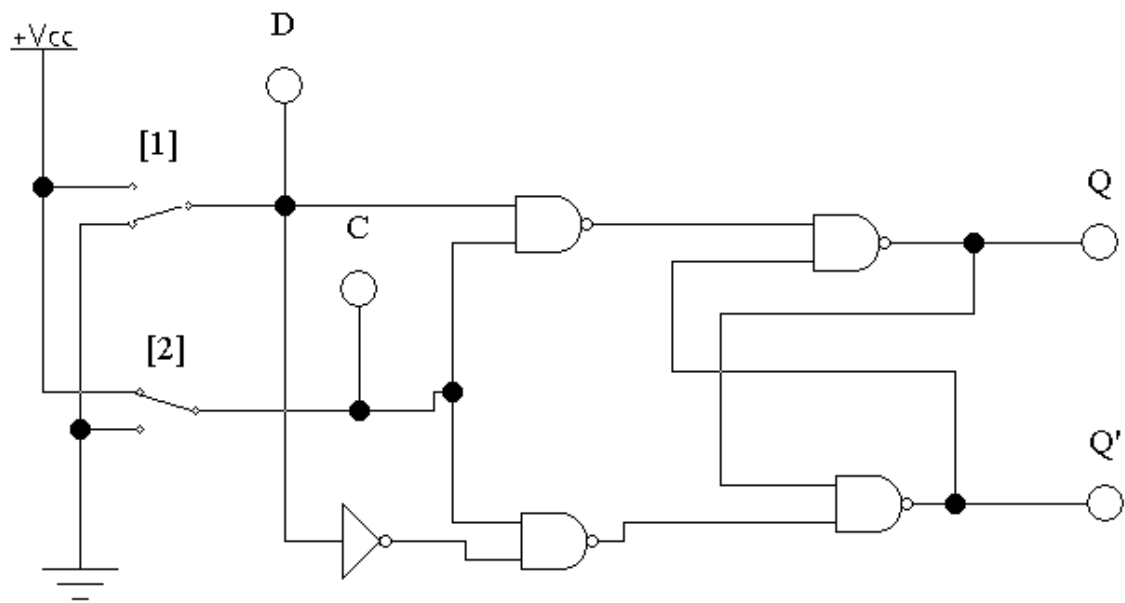


Рисунок 16

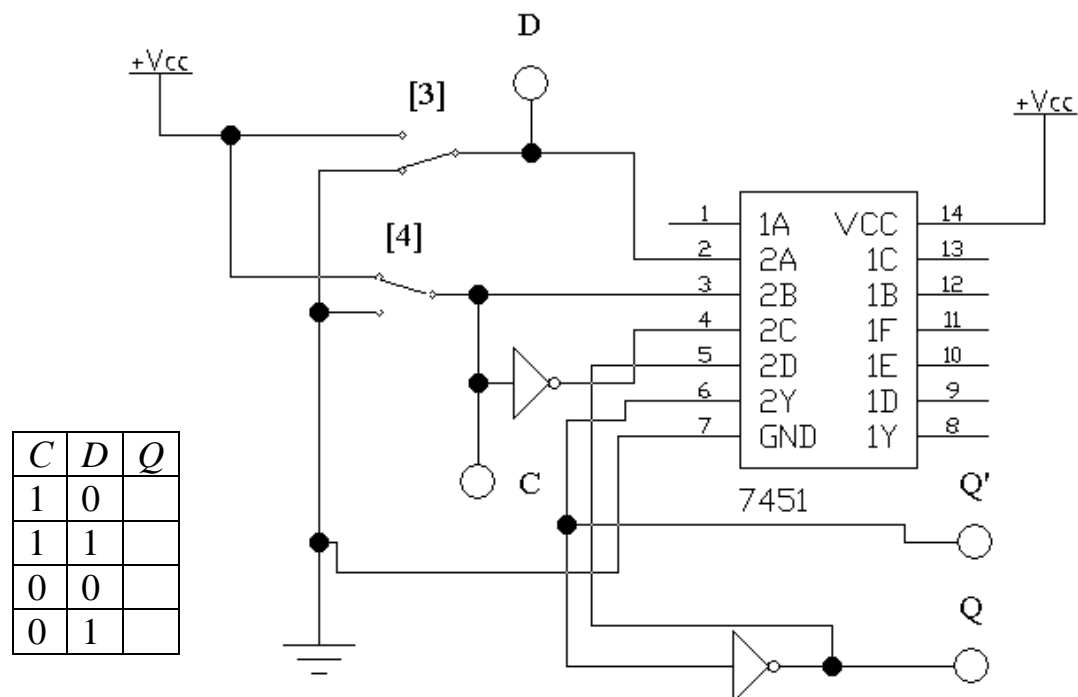


Рисунок 17

Задание 5. *Собрать* на рабочем поле ElectronicsWorkbench схему и *исследовать* работу асинхронного T-триггера, построенного на базе D-триггера, в статическом режиме (рисунок 18). В качестве синхронного D-триггера использовать ИМС 7474 (*Digital→Flip-Flops→7474*) с дополнительными асинхронными входами установки и сброса.

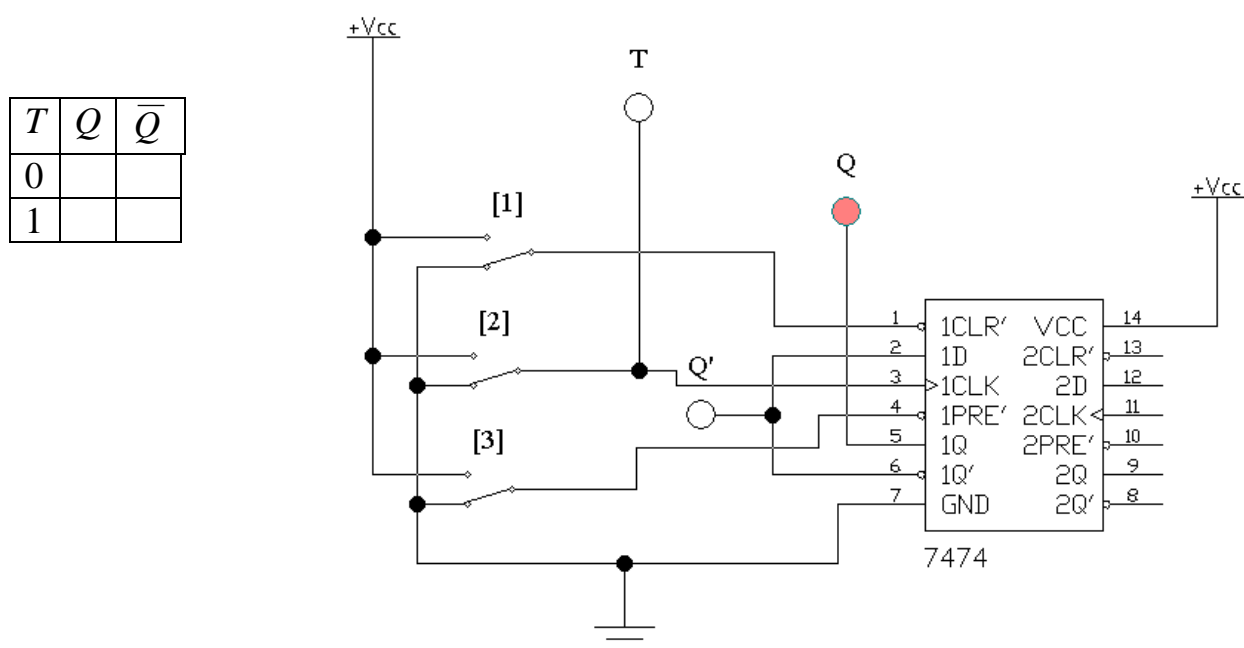


Рисунок 18

Задание 6.

а) **Собрать** на рабочем поле ElectronicsWorkbench схему и **исследовать** работу **синхронного JK-триггера** в **динамическом режиме** (рисунок 19). При подаче на входы J и K сигналов высокого уровня, а на вход синхронизации импульсов от генератора, триггер будет работать в режиме переключения с частотой в два раза ниже, чем частота генератора. Для визуальной индикации **подключить** осциллограф к выходам генератора и триггера.

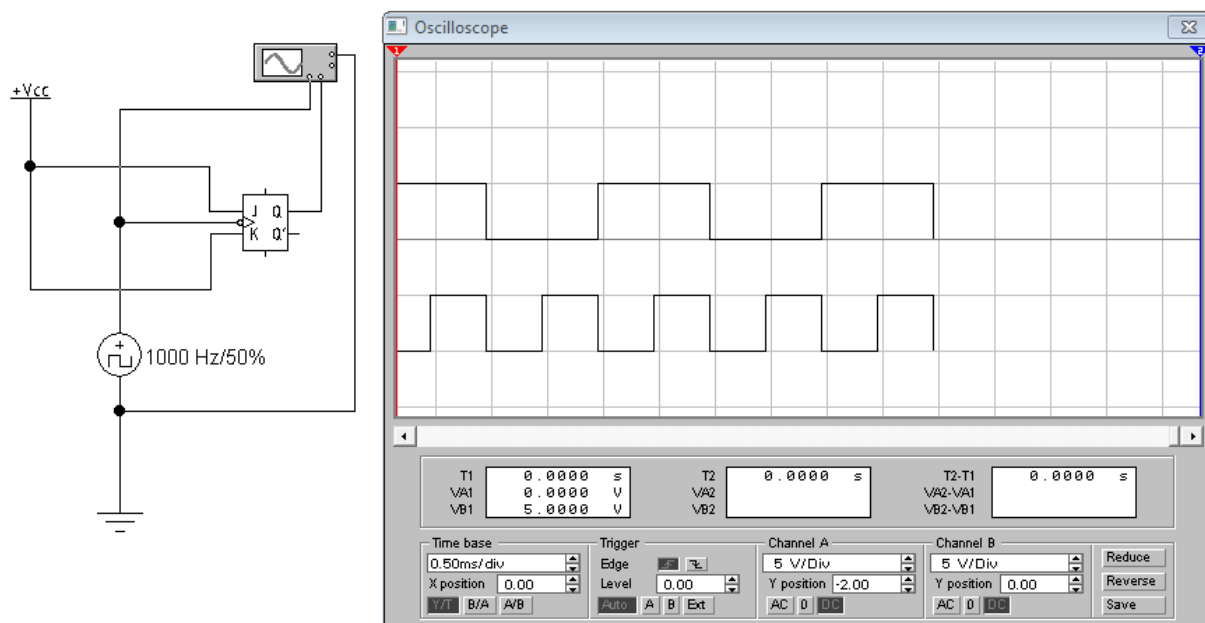
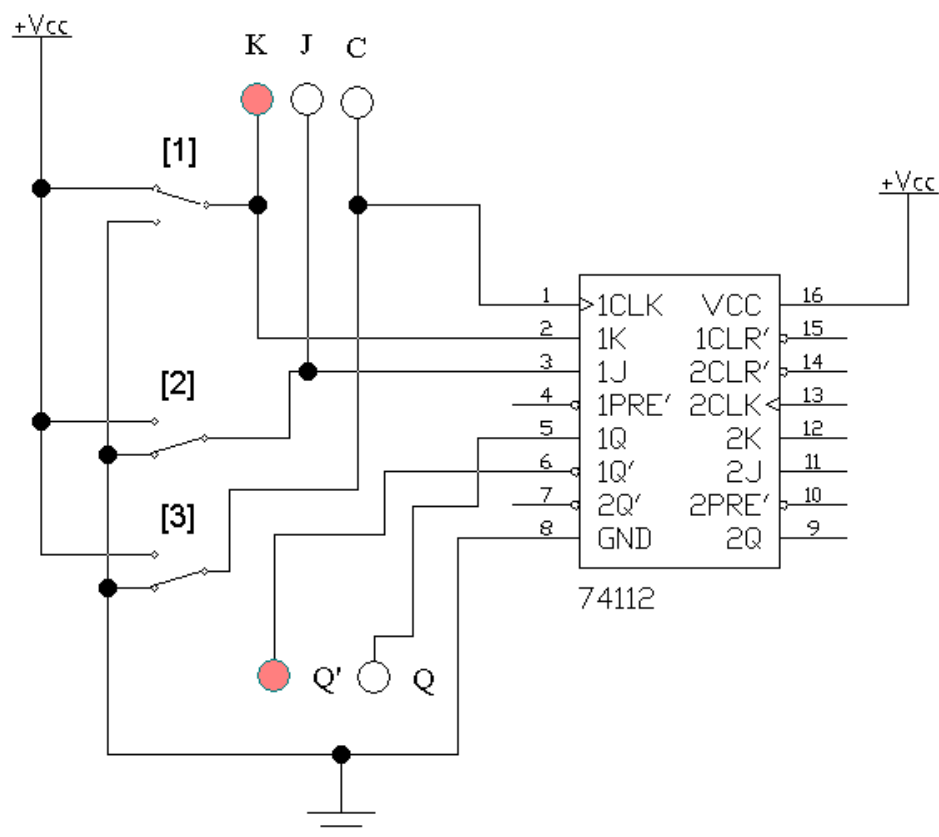


Рисунок 19

б) **Собрать** схему и **исследовать** работу **синхронного JK-триггера** в **статическом режиме** (рисунок 20). В качестве синхронного JK-триггера **использовать** ИМС 74112, вкладка **DigitalICs→741XX→74112**. **Заполнить** таблицу.

K	J	C	Q	\bar{Q}
0	0	0		
1	0	0		
0	1	0		
1	1	0		
1	1	1		
1	1	0		
0	1	0		
1	0	0		
1	0	1		
1	0	0		
0	1	1		
0	1	0		



СОДЕРЖАНИЕ ОТЧЕТА

1. Титульный лист
2. Цель и задачи работы
3. Перечень используемого оборудования и изучаемых элементов использованных в экспериментах.
4. Краткие теоретические сведения (ответы на контрольные вопросы).
5. Изображения электрических схем для испытания.
5. Таблицы истинности, отображающие работу исследуемых элементов. Графики и временные диаграммы.
7. Выводы по работе.

КОНТРОЛЬНЫЕ ВОПРОСЫ.

1. Что такое триггер ?
2. Чем отличается синхронный триггер от асинхронного ?
3. Принцип работы синхронного RСтриггера ?
4. Устройство D-триггера ?
5. Почему Т-триггеры не производятся в интегральном исполнении ?
6. Принцип работы JK-триггера ?
7. Какие триггеры наиболее широко распространены ?