

Лабораторная работа №3

КОМБИНАЦИОННЫЕ СХЕМЫ НА ИНТЕГРАЛЬНЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ

Цель работы: изучить минимизацию логических функций при помощи карты Карно, ознакомление с основными характеристиками логических элементов и испытание интегральных преобразователей кодов (дешифратор, шифратор, демультиплексор, мультиплексор).

ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

1 Аналитическая запись комбинационных схем

Последовательность операций при синтезе цифровых устройств комбинационного типа:

- 1 Составление таблицы истинности комбинационного цифрового устройства согласно его определения, назначения, словесного описания принципа работы.
- 2 Составление логической формулы согласно таблицы истинности.
- 3 Анализ полученной формулы с целью построения различных вариантов и нахождения наилучшего из них по тем или иным критериям.
- 4 Составление функциональной схемы из элементов И, ИЛИ, НЕ.

Запись в форме СДНФ (Совершенная дизъюнктивная нормальная форма)

В СДНФ логическая формула представляет собой логическую сумму нескольких логических произведений, в каждое из которых входят все независимые переменные с отрицанием или без него.

Формула получается в два этапа:

- а) Записывается логическая сумма произведений, в каждое из которых входят все независимые переменные. Количество слагаемых равно числу наборов таблицы истинности, на которых логическая функция равна «1»;
- б) ставится знак инверсии над теми независимыми переменными, которые равны «0» в рассматриваемом наборе.

Запись в форме СКНФ (Совершенная конъюнктивная нормальная форма)

В СКНФ формула представляет собой логическое произведение нескольких логических сумм, в каждую из которых все независимые переменные с отрицанием или без него.

Как и в предыдущем случае, формула получается в два этапа:

- а) Записывается логическое произведение всех сомножителей; количество сомножителей равно числу наборов таблицы истинности, на которых логическая функция равна «0»;
- б) ставится знак инверсии над теми независимыми переменными, которые равны «1» в рассматриваемом наборе.

Структурные формулы в виде СДНФ и СКНФ эквивалентны и, с помощью законов алгебры, логики могут быть преобразованы одна в другую.

2 Минимизация логических функций при помощи карты Карно

Карты Карно или диаграммы Вейча – это эквивалентные понятия, обозначающие один и тот же способ минимизации булевых функций. Этот способ является графическим. Его предложил в 1952 Эдвард В. Вейч, а доработал и усовершенствовал, немного позже в 1953, Морис Карно.

Карты Карно — это графическое представление таблиц истинности логических функций. Они содержат по 2^n ячеек, где n — число логических переменных. Например, карта Карно для функции трёх переменных содержит $2^3=2^3=8$ ячеек, для четырёх переменных $2^4=16$ ячеек.

Карта размечается системой координат, соответствующих значениям входных переменных. Обратим особое внимание на то, что координаты столбцов (а также и строк, если $n>3$), следуют не в естественном порядке возрастания двоичных кодов, а так: 00 01 11 10 (так называемый код Грея). Это делается для того, чтобы соседние наборы (в том числе и столбцов 1 и 4) отличались лишь одной цифрой в каком-либо разряде.

Процесс минимизации заключается в формировании правильных прямоугольников, содержащих по 2^k ячеек, где $k = 0, 1 \dots n$. В прямоугольники объединяются соседние ячейки, которые соответствуют соседним элементарным произведениям (т. е. отличаются только в одном разряде).

Несмотря на то, что карты Карно изображаются на плоскости, соседство квадратов устанавливается на поверхности тора. Верхняя и нижняя границы карты как бы склеиваются, образуя поверхность цилиндра. При склеивании боковых границ получается поверхность тора (рисунок 1).

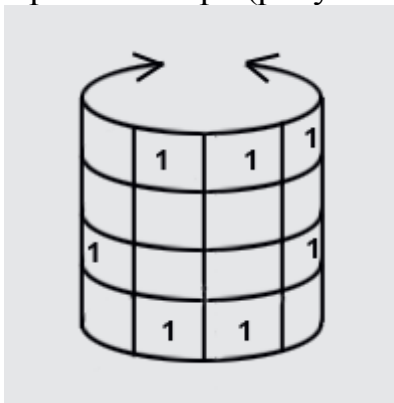


Рисунок 1

Итак, карты Карно для функций 2-х, 3-х, 4-х переменных выглядят вот так (рисунок 2-4). Для минимизации логической функции при помощи карты Карно необходимо руководствоваться следующими принципами:

- Склеивку клеток карты Карно можно осуществлять по единицам (если необходимо получить ДНФ) или по нулям (если требуется КНФ).
- Склеивать можно только прямоугольные области с числом единиц (нулей) 2^n , где $n = 0, 1 \dots \infty$ целое число. Для карт Карно с числом переменных более четырёх могут получаться более сложные области. Область, которая подвергается склейке должна содержать только единицы (нули для КНФ).

- Крайние клетки каждой горизонтали и каждой вертикали также граничат между собой (топологически карта Карно для четырёх переменных представляет собой тор) и могут объединяться в прямоугольники. Следствием этого правила является смежность всех четырёх угловых ячеек карты Карно для $N=4$. Если во всех четырёх угловых ячейках стоят единицы (нули) они могут быть объединены в квадрат.
- Все единицы (нули) должны попасть в какую-либо область.
- С точки зрения минимальности ДНФ (КНФ) число областей должно быть как можно меньше (каждая область представляет собой терм), а число клеток в области должно быть как можно больше (чем больше клеток в области, тем меньше переменных содержит терм. Терм размером 2^n ячеек содержит $N-n$ переменных).
- Одна ячейка карты Карно может входить сразу в несколько областей. Это следует из очевидного свойства булевых функций: повторение уже существующего слагаемого (сомножителя) не влияет на функцию:
- В отличие от СДНФ (СКНФ), ДНФ (КНФ) не единственны. Возможно несколько эквивалентных друг другу ДНФ (КНФ), которые соответствуют разным способам покрытия карты Карно прямоугольными областями.
-

		X_2	
		\bar{X}_2	X_2
X_1	\bar{X}_1	0	1
	X_1	0	0

$$\text{СДНФ: } Y = \bar{X}_1 \bar{X}_2$$

		X_2	
		\bar{X}_2	X_2
X_1	\bar{X}_1	0	0
	X_1	0	1

$$\text{СДНФ: } Y = X_1 X_2$$

		X_2	
		\bar{X}_2	X_2
X_1	\bar{X}_1	0	1
	X_1	1	0

$$\text{СДНФ: } Y = \bar{X}_2$$

		X_2	
		\bar{X}_2	X_2
X_1	\bar{X}_1	0	1
	X_1	1	0

$$\text{СДНФ: } Y = \bar{X}_1$$

		X_2	
		\bar{X}_2	X_2
X_1	\bar{X}_1	0	1
	X_1	1	0

$$\text{СДНФ: } Y = \bar{X}_1 \bar{X}_2 \vee X_1 X_2$$

		X_2	
		\bar{X}_2	X_2
X_1	\bar{X}_1	0	1
	X_1	1	0

$$\text{СДНФ: } Y = \bar{X}_2 \vee X_1$$

Рисунок 2 – Карта Карно для 2 переменных
и представление функции в ДНФ

X_2X_3		\bar{X}_3	X_3		\bar{X}_3
		$\bar{X}_2\bar{X}_3$	\bar{X}_2X_3	X_2X_3	$X_2\bar{X}_3$
X_1	\bar{X}_1	0	0	1	1
	X_1	1	0	0	0
		\bar{X}_2		X_2	

$$\text{СДНФ: } Y = \bar{X}_1X_3 \vee X_2\bar{X}_3$$

X_2X_3		\bar{X}_3	X_3		\bar{X}_3
		$\bar{X}_2\bar{X}_3$	\bar{X}_2X_3	X_2X_3	$X_2\bar{X}_3$
X_1	\bar{X}_1	0	1	1	0
	X_1	1	1	0	0
		\bar{X}_2		X_2	

$$\text{СДНФ: } Y = \bar{X}_2 \vee \bar{X}_1\bar{X}_3$$

X_2X_3		\bar{X}_3	X_3		\bar{X}_3
		$\bar{X}_2\bar{X}_3$	\bar{X}_2X_3	X_2X_3	$X_2\bar{X}_3$
X_1	\bar{X}_1	0	1	0	0
	X_1	1	0	1	0
		\bar{X}_2		X_2	

$$\text{СДНФ: } Y = \bar{X}_1\bar{X}_3 \vee X_1X_3$$

Рисунок 3 – Карта Карно для 3 переменных
и представление функции в ДНФ, где 00, 01, 11, 10 – код Грея

Минимизацию функции четырех переменных при помощи карты Карно рассмотрим на следующем **примере**.

Исходным материалом для работы с данным графическим методом минимизации возьмем известную нам таблицу истинности, хотя в принципе карты Карно (диаграммы Вейча) можно назвать упрощенной таблицей истинности. В качестве примера используем функцию 4-х переменных.

Таблица истинности будет выглядеть вот так:

N	X_1	X_2	X_3	X_4	Y
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	1
4	0	1	0	0	1
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	1
8	0	0	0	0	1
9	1	0	0	1	0
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	1
13	1	1	0	1	0
14	1	1	1	0	1
15	1	1	1	1	0

Исходя из данной таблицы, выберем значения функции равные логической «1»:

$$Y_3 = \bar{X}_1 \bar{X}_2 X_3 X_4;$$

$$Y_4 = \bar{X}_1 X_2 \bar{X}_3 \bar{X}_4;$$

$$Y_7 = \bar{X}_1 X_2 X_3 X_4;$$

$$Y_8 = X_1 \bar{X}_2 \bar{X}_3 \bar{X}_4;$$

$$Y_{10} = X_1 \bar{X}_2 X_3 \bar{X}_4;$$

$$Y_{12} = X_1 X_2 \bar{X}_3 \bar{X}_4$$

$$Y_{14} = X_1 X_2 X_3 \bar{X}_4$$

получим СДНФ, которая будет выглядеть таким образом:

$$Y = Y_3 \vee Y_4 \vee Y_7 \vee Y_8 \vee Y_{10} \vee Y_{12} \vee Y_{14} = \\ = \bar{X}_1 \bar{X}_2 X_3 X_4 \vee \bar{X}_1 X_2 \bar{X}_3 \bar{X}_4 \vee \bar{X}_1 X_2 X_3 X_4 \vee X_1 \bar{X}_2 \bar{X}_3 \bar{X}_4 \vee X_1 \bar{X}_2 X_3 \bar{X}_4 \vee X_1 X_2 \bar{X}_3 \bar{X}_4 \vee X_1 X_2 X_3 \bar{X}_4$$

Следующим шагом минимизации функции будет заполнение соответствующих клеток карты Карно (диаграммы Вейча). Для функции 4-х переменных она имеет вид поля с ячейками четыре на четыре. На основании СДНФ заполним соответствующие ячейки. Получится вот такой вид карты Карно:

$X_1 X_2 \backslash X_3 X_4$			X_4				S_2
			\bar{X}_4	X_4		\bar{X}_4	
			$\bar{X}_3 \bar{X}_4$	$\bar{X}_3 X_4$	$X_3 X_4$	$X_3 \bar{X}_4$	
\bar{X}_1	$\bar{X}_1 \bar{X}_2$	00	0	0	1	0	\bar{X}_2
	$\bar{X}_1 X_2$	01	1	0	1	0	X_2
X_1	$X_1 \bar{X}_2$	11	1	0	0	1	\bar{X}_2
	$X_1 X_2$	10	1	0	0	1	\bar{X}_2

S_3 S_1

Рисунок 4 – Карта Карно для 4х переменных

Далее очень важным моментом для понимания является осознание того, что данная карта не является квадратом или прямоугольником, а является цилиндром, сгибающимся как по горизонтали, так и по вертикали, а ячейки находящиеся по краям, тоже имеют соседей как слева, так и справа. Верх и низ цилиндра тоже соседи. Принимая во внимание свойства “цилиндра” произведем заключительный этап минимизации логической функции, т.е. произведем склеивание единиц. При выполнении этого процесса количество склеиваемых единиц должно быть равно 2^n $n=0, 1 \dots \infty$. «Склеивание» осуществляем согласно ранее изложенным принципам.

Таким образом, конечное минимизированное значение функции примет следующий вид:

$$Y = S_1 \vee S_2 \vee S_3 = X_1 \bar{X}_4 \vee \bar{X}_1 X_3 X_4 \vee X_2 \bar{X}_3 \bar{X}_4$$

Реализуем данную функцию на логических элементах:

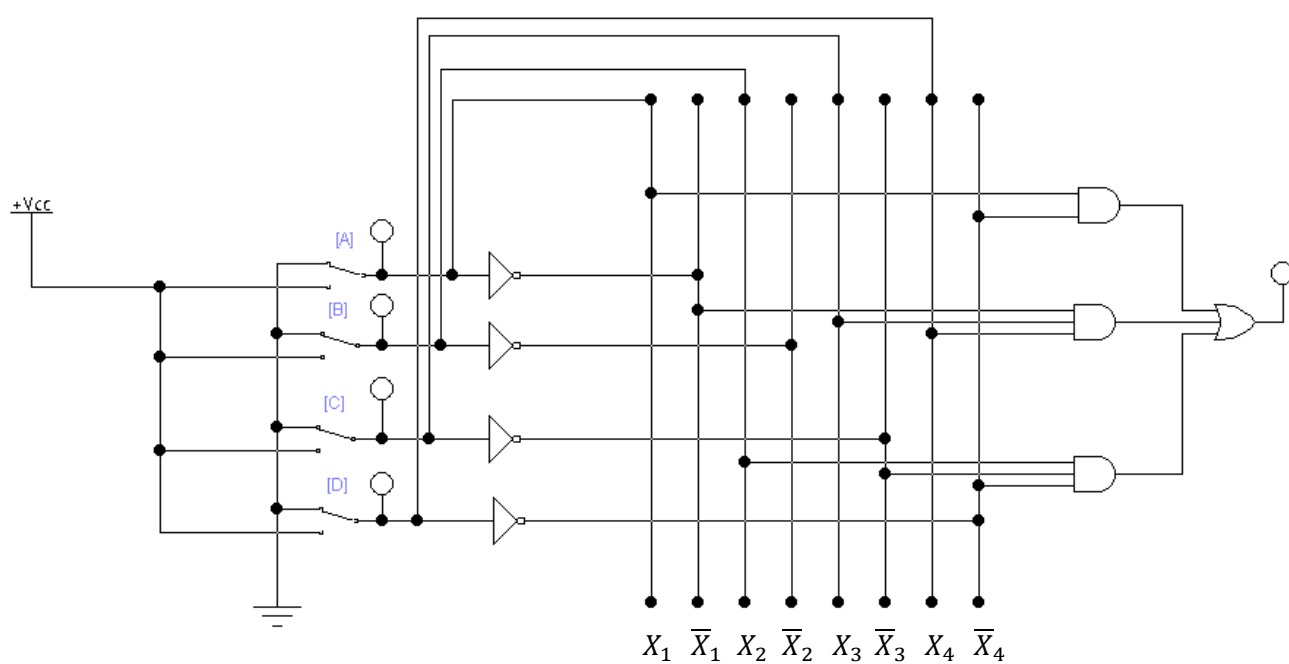
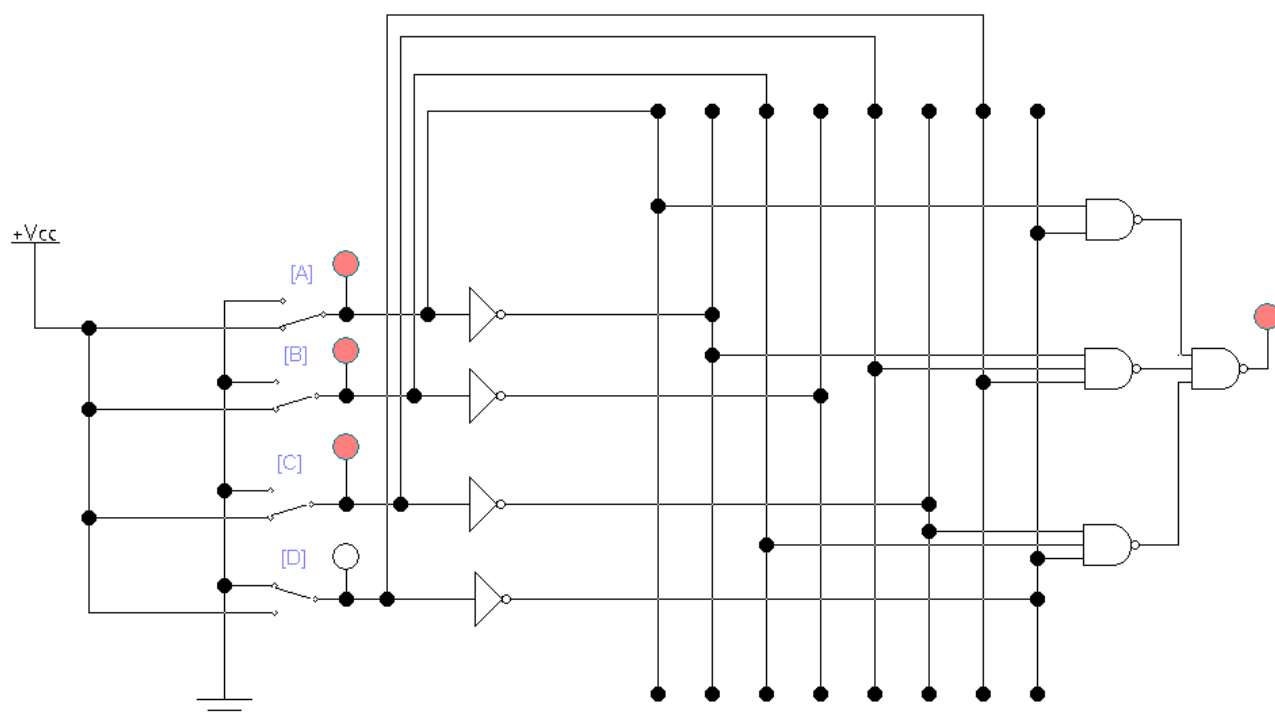


Рисунок 5 – Реализация логической функции

Реализуем эту же функцию в базисе И-НЕ:



3 Дешифратор

Дешифратор (DC) или *декодер* – комбинационная схема с n входами и $m = 2^n$ выходами ($m > n$), преобразующая двоичный входной n -код (кодированное слово) в унитарный. На одном из m выходов дешифратора появляется

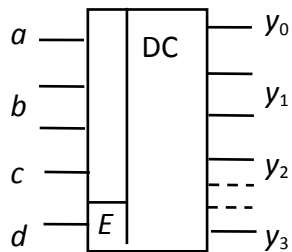


Рисунок 6 – Дешифратор

логическая 1, а именно на том, номер которого соответствует поданному на вход двоичному коду. На всех остальных выходах дешифратора выходные сигналы равны нулю. Дешифратор используют, когда нужно обращаться к различным цифровым устройствам по адресу, представленному двоичным кодом. Условное изображение дешифратора 4x16 (читаемого "четыре в шестнадцать") на схемах дано на рисунке 6. Дешифратор содержит число выходов, равное числу комбинаций входных переменных: от y_0

$= \bar{a}\bar{b}\bar{c}\bar{d}$ до $y_{15} = abcd$ при $n = 4$ и $m = 2^n = 16$.

Применяются также неполные дешифраторы с меньшим числом выходов (10 или 12 при четырех переменных на входе, тогда ряд комбинаций на входе не используется).

Каждый выход полного дешифратора реализует конъюнкцию входных переменных (код адреса) или их инверсий: при наборе $\bar{a}\bar{b}\bar{c}\bar{d}$ (0000) $y_0 = 1$, при $\bar{a}bcd$ (0111) $y_7 = 1$, при $abcd$ (1111) $y_{15} = 1$ и т. д.

Дешифраторы часто имеют *разрешающий* (управляющий, стробирующий) вход E . При $E = 1$ дешифратор функционирует как обычно, при $E = 0$ на всех выходах устанавливается 0 независимо от поступающего кода адреса. Дешифраторы широко используют во многих устройствах, в том числе в качестве преобразователей двоичного кода в десятичный.

4 Шифратор

Шифратор (CD) или *кодер* выполняет функцию, обратную функции дешифратора. Условное изображение шифратора 16x4 (16 в 4) на схемах показано на рисунке 7а. Классический шифратор имеет n входов и m выходов ($m < n$), и при подаче сигнала 1 на один из входов (и не более) на выходе кодера появляется двоичный код номера возбужденного выхода. Число входов и выходов такого шифратора связано соотношением $n = 2^m$.

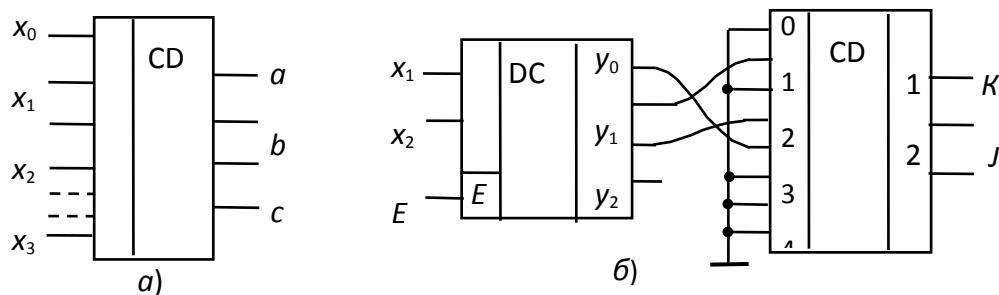


Рисунок 7 – Шифратор

Области использования шифраторов – отображение в виде двоичного кода номера нажатой кнопки или положения многопозиционного переключателя, а также номера устройства, подавшего сигнал на обслуживание в микропроцессорных системах. Шифраторы входят в состав микросхем контроллеров прерываний, например КР580ВН59.

Для решения многих конкретных задач необходимо синтезировать преобразователи различных кодов. В качестве примера на рисунок 7б представлена схема кодового преобразователя, состоящая из пары декодер DC – кодер CD, реализующая логику работы ($y = a + b\bar{c} + \bar{b}c$) некоторого трёхцветного светофора K , J и Z , управляемого двухразрядным двоичным кодом X . При этом вначале дешифруется каждая комбинация исходного кода, в результате чего на соответствующем выходе декодера появляется логическая 1. Затем этот логический сигнал, значение которого определено номером выхода декодера, подаётся на кодер и на его выходах устанавливается преобразованный код.

Число входов дешифратора DC равно двум (x_1 и x_2), число выходов – трём (числу выходов преобразователя) y_0 , y_1 и y_2 . Соединения дешифратора и шифратора выполнены в соответствии с заданной логической функцией y . Часть выходов декодера и входов кодера не используется.

Эффективно стыкуются друг с другом декодер и кодер, построенные на элементах И-НЕ: первый имеет инверсные выходы, а второй – инверсные входы. Если некоторым входным комбинациям соответствует одна и та же выходная, то соответствующие выходы декодера объединяют на элементе ИЛИ и выход последнего подают на нужный вход кодера.

Проектирование кодовой преобразовательной схемы на паре декодер-кодер оказывается в среднем более выгодным и по числу корпусов, и по быстродействию, чем при проектировании из готовых базовых логических микросхем И-НЕ и ИЛИ-НЕ. Однако потребляемая мощность в этом случае может оказаться больше, чем у схемы из отдельных элементов. Затраты времени инженера на логическое проектирование по схеме декодер-кодер неизмеримо меньше, чем затраты на проектирование преобразователя из россыпи.

5 Мультиплексор

Мультиплексор (MS) – это функциональный узел, осуществляющий подключение (*коммутацию*) одного из нескольких входов к выходу y . На выход такого устройства передаётся логический уровень того информационного разряда,

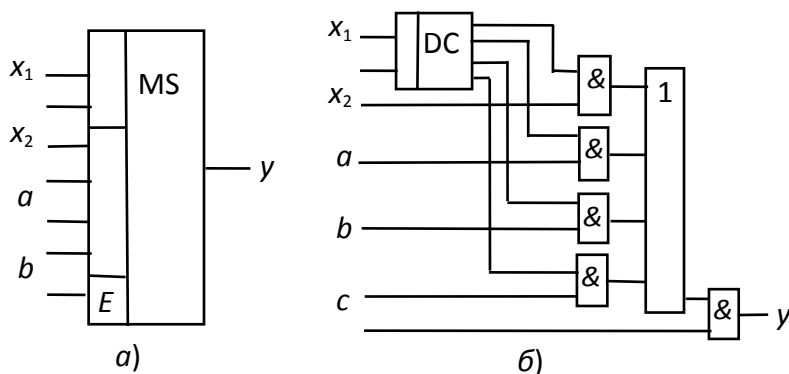


Рисунок 8 – Мультиплексор

номер которого в двоичном коде задан на адресных входах x_1 и x_2 . Условное изображение мультиплексора на четыре входа и возможный вариант его структурной схемы показаны на рисунок 8а и 8б.

При $x_1 = 0$ и $x_2 = 0$, $y = a$; при $x_1 = 0$ и $x_2 = 1$, $y = b$; при $x_1 = 1$ и $x_2 = 0$, $y = c$ и при $x_1 = 1$ и $x_2 = 1$, $y = d$.

Функционирование мультиплексора описывается выражением

$$y = a\bar{x}_1\bar{x}_2 + b\bar{x}_1x_2 + cx_1\bar{x}_2 + dx_1x_2.$$

Вход E – разрешающий: при $E = 1$ мультиплексор работает как обычно, при $E = 0$ выход узла находится в неактивном состоянии, мультиплексор заперт. Серийные узлы выпускаются с числом адресных входов $n = 2, 3$ и 4 при возможном числе 2^n коммутируемых входов. При необходимости коммутировать большее количество входов используют несколько мультиплексоров. Мультиплексоры находят широкое применение в устройствах отображения информации в различных устройствах управления.

Так как мультиплексор может пропустить на выход сигнал с любого информационного входа, адрес которого установлен на соответствующих адресных входах, то на основе мультиплексоров реализуют логические функции, подавая на информационные входы логические 1 или 0 в соответствии с таблицей переключений, а на адресные входы – аргументы функции.

6 Демультимплексор

Демультимплексор (DMS) выполняет функцию, обратную функции мультиплексора, т. е. производит коммутацию одного входного сигнала на 2^n выходов, где n – число адресных входов x_i . Он осуществляет преобразование информации из последовательной формы (последовательно-параллельной) в параллельную. Демультимплексор имеет один информационный вход D и несколько выходов, причем вход подключается к выходу y_i , имеющему заданный адрес. В качестве примера на рисунок 9 дано условное графическое обозначение демультимплексора, имеющего четыре выхода, закон функционирования которого задан (таблица 1).

Таблица 1

D	x_1	x_2	y_3	y_2	y_1	y_0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0

Пользуясь таблицей, запишем переключательные функции для выхода устройства:

$$y_0 = D\bar{x}_1\bar{x}_2; y_1 = D\bar{x}_1x_2; y_2 = Dx_1\bar{x}_2; y_3 = Dx_1x_2.$$

Функциональная схема демультиплексора, реализующая эти выражения, приведена на рисунок 9б.

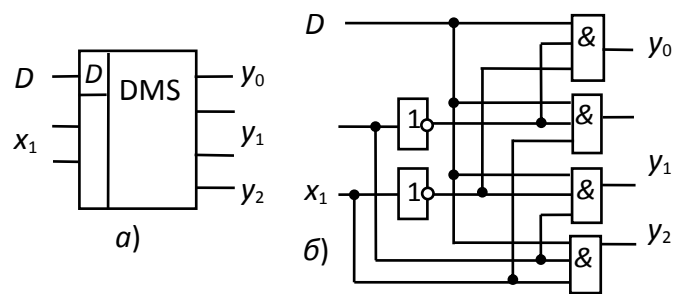


Рисунок 9

Если общее число выходов разрабатываемого устройства превышает имеющиеся в выпускаемых интегральных микросхемах, то используют параллельное подключение нескольких схем.

На рисунке 10а показано демультиплексорное дерево, построенное на мультиплексорах с четырьмя выходами.

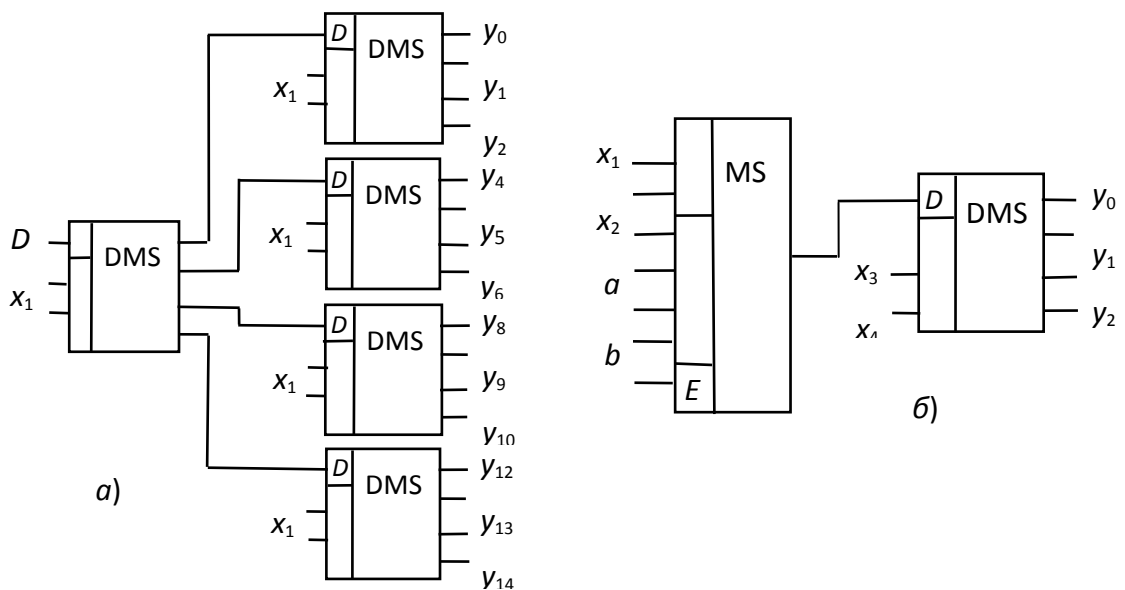


Рисунок 10 – Демультиплексор

Объединяя мультиплексор с демультиплексором, получают комбинационное устройство, в котором по заданным адресам один из входов подключается к одному из его выходов (рисунок 10б).

ПРАКТИЧЕСКАЯ ЧАСТЬ

Задание 1. Для заданной таблицы истинности (таблица 2) *записать* логическую функцию в СДНФ, затем *минимизировать* ее при помощи *карты Карно*, *выполнить* проверку результата, реализовав минимизированную функцию в среде Electronics Workbench. Исходную таблицу истинности для своего варианта, карту Карно, минимизированную функцию и схему *записать* в отчет.

Таблица 2

N	X_1	X_2	X_3	Y																		
				Вариант																		
0	0	0	0	1	0	1	0	1	0	1	1	1	0	1	1	0	1	1	0	1	1	1
1	0	0	1	1	1	0	1	0	1	1	0	1	0	1	1	0	0	0	1	1	1	0
2	0	1	0	0	0	1	1	1	1	1	1	0	1	0	0	1	0	0	1	1	0	1
3	0	1	1	0	1	1	0	0	0	1	0	0	0	0	0	1	1	0	0	0	1	1
4	1	0	0	0	1	0	0	1	0	0	1	0	0	1	1	0	0	1	0	0	0	0
5	1	0	1	1	0	0	1	0	1	0	0	1	1	1	0	1	0	1	1	1	1	0
6	1	1	0	0	1	0	1	1	0	1	1	1	0	0	1	1	1	0	0	1	1	1
7	1	1	1	0	0	1	0	1	0	1	0	1	1	0	1	0	1	0	1	1	1	1

Задание 2. *Собрать* в среде Electronics Workbench дешифратор в базисе И-НЕ (рисунок 11), *пользуясь* ключами А, В, С *заполнить* таблицу истинности (таблица 3). Схему и таблицу истинности *записать* в отчет.

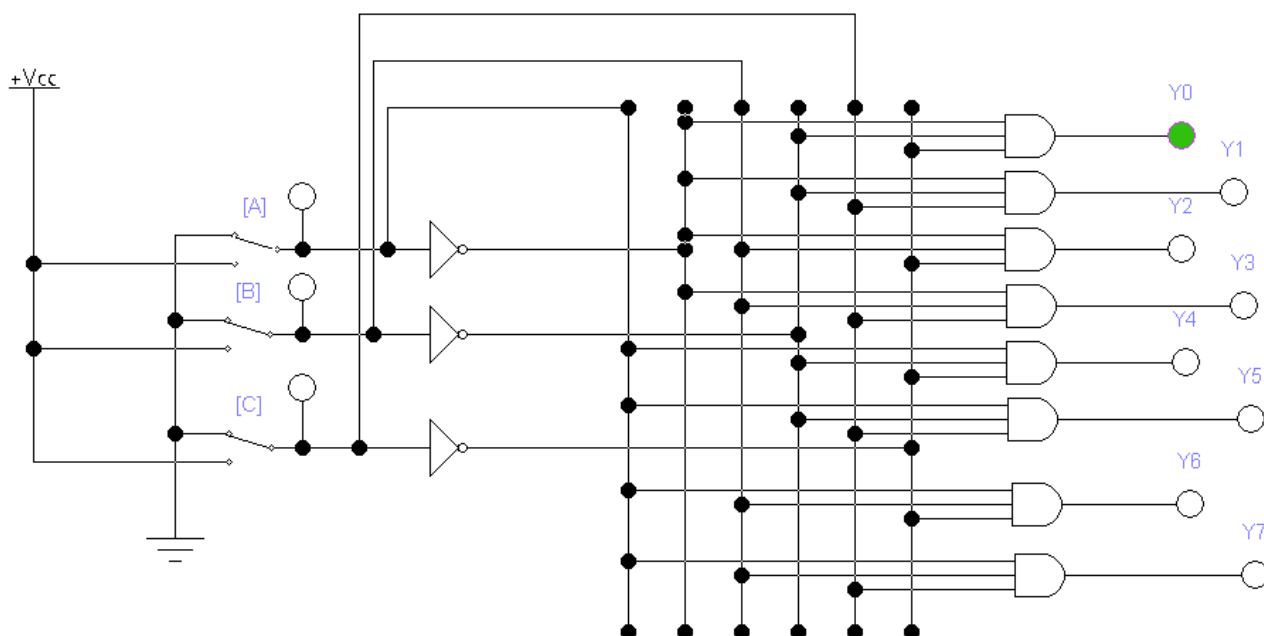


Рисунок 11 – Дешифратор в базисе И-НЕ

Таблица 3 – Дешифратор

N	A	B	C	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇
0	0	0	0								
1	0	0	1								
2	0	1	0								
3	0	1	1								
4	1	0	0								
5	1	0	1								
6	1	1	0								
7	1	1	1								

Задание 3. Собрать в среде Electronics Workbench схему для испытания шифратора **83enc** (рисунок 12). Используемые элементы – генератор слов (вкладка **Instruments**→**Word Generator**); дешифратор **38dec** (вкладка **Digital**→**Dec**→**Generic 3-to-8 Dec**); шифратор **83enc** (вкладка **Digital**→**Enc**→**Generic 8-to-3 Enc**).

Интегральный дешифратор **Dec** (decoder) 3х8, имеющий 3 информационных входа **A**, **B** и **C** (для кода 4–2–1) и разрешающий вход **G1** (дешифратор при подаче логической 1 на **G1**), **G2A'**, **G2B'**, 8 выходов (**O0**, ..., **O7**) и преобразующий позиционный 3-разрядный двоичный код в унитарный "1 из 8": в выходной 8-разрядной кодовой комбинации только одна позиция занята единицей, а все остальные – нулевыми. В зависимости от входного двоичного кода, например 001, на выходе **Dec** появляется сигнал 1 только на одной из 8-ми выходных линий.

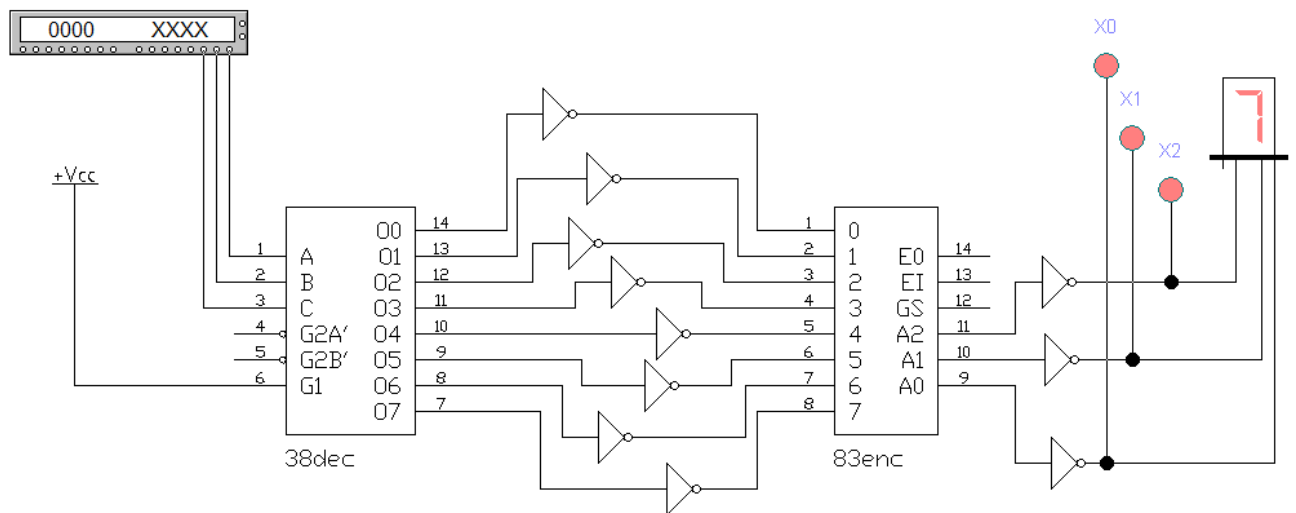


Рисунок 12 – Схема испытания шифратора

В предложенном шифраторе **Enc** входы уже с инверсией, поэтому на выходах **Dec** ставятся инверторы.

Интегральный шифратор **Enc** 8х3 (из 8 в 3) имеет 8 входов **0**, **1**, ..., **7**, подключенных к выходам **O0**, **O1**, ..., **O7** дешифратора **DC**, и три инверсных выхода **A0**, **A1**, **A2**, к которым через инверторы подключены логические

пробники **X0**, **X1**, **X2** и семисегментный индикатор. **E1** – вход разрешения; **EO**, **GS** – выходы для каскадирования шифраторов.

Содержимое ячеек памяти генератора слов: 0000, 0001, ..., 0007 (см. рисунок 13, слева).

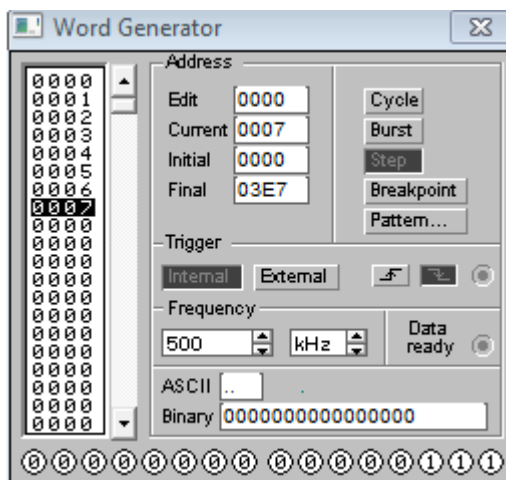


Рисунок 13 – Генератор слов

Запустить программу моделирования шифратора. Щёлкая мышью на кнопке **Step** генератора слов, последовательно **подавать** на вход дешифратора логические слова. **Убедиться**, что при подаче с выхода **Dec** на вход шифратора **Enc** 8-разрядной последовательности, в которой только одна позиция занята единицей, а остальные – нулями, на выходе шифратора формируются 3-разрядные двоичные коды **A0A1A2**, соответствующие двоичным кодовым комбинациям на входе дешифратора **Dec**.

По результатам моделирования (по засвечиванию логических пробников **X0**, **X1**, **X2** и показаниям индикатора) **составить** и **заполнить** таблицу переключений на выходе шифратора **Enc** 8x3.

Таблица 4

X0	X1	X2	Показания индикатора

Таблицу и схему **скопировать** в отчет.

Задание 4. Собрать в среде Electronics Workbench схему для испытания демультиплексора **demux** (рисунок 14). Используемые элементы – генератор слов (вкладка **Instruments**→**Word Generator**); демультиплексор **demux** (вкладка **Digital**→**Dec**→**Generic 8-to-1 DEMUX**); логический анализатор (вкладка **Instruments**→**Logic Analyzer**).

Демультимплексор *demux* 1x8 (из 1 в 8) (рисунок 14) имеет один информационный вход, три адресных **A**, **B**, **C** входа, восемь **0'**, **1'**, ..., **7'** инверсных выходов, соединённых с входами логического анализатора. На вход анализатора также подаются сигналы с адресных входов **A**, **B**, **C**. Адресные входы, в свою очередь. Подключены к генератору слов. Содержимое ячеек памяти генератора слова: 0000, 0001, ..., 0007. При последовательной подаче формируемых ключами адресных слов от 0000 до 0007 на экран анализатора при моделировании выводятся 8-разрядные кодовые последовательности с одним активным (низким) уровнем.

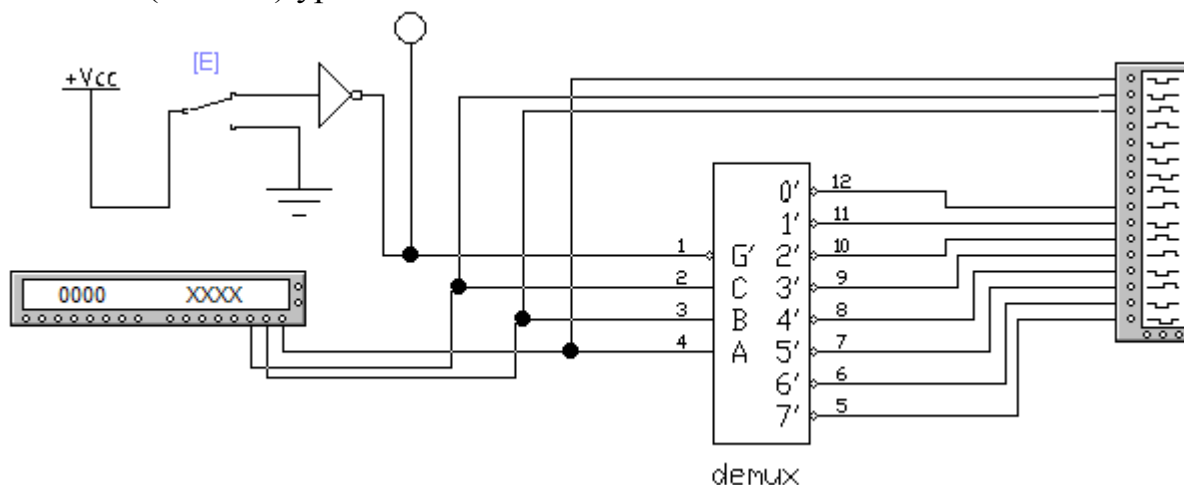


Рисунок 14 – Схема испытания демультимплексора

Для обеспечения перемещения лучей на экране *анализатора установить* частоту его таймера **Clock**→**Set** $f_a = 500$ Гц и число импульсов, приходящихся на одно деление, $\text{Clocs/div} = 1$. Установить частоту 500 Гц на панели генератора слов **Frequency** 500 Hz.

Запустить программу моделирования шифратора. Щёлкая мышью на кнопке **Step** генератора слов, последовательно *подавать* на вход дешифратора логические слова.

Убедиться, что для каждой комбинации адресных сигналов демультимплексор формирует логический 0 на одном из восьми выходов, номер которого соответствует определённому кодовому слову на входе, т. е. демультимплексор подобен коммутатору, посредством которого поток цифровой информации разделяется на 8 выходных потоков.

Скопировать схему и временные диаграммы входных и выходных сигналов в отчет.

Если адресные входы **A**, **B** и **C** принять в качестве информационных входов, а вход **G1** (**G2**) в качестве входа разрешения работы, то мультиплексор превратится в дешифратор.

Задание 5. Собрать на рабочем поле среды MS10 схему (рисунок 15) для испытания мультиплексора *muxer* 8x1 (из 8 в 1). Используемые элементы – генератор слов (вкладка *Instruments*→*Word Generator*); мультиплексор *muxer* (вкладка *Digital*→*Mux*→*Generic 8-of-1 MUX*); логический анализатор (вкладка *Instruments*→*Logic Analyzer*). Установить в диалоговых окнах компонентов их параметры или режимы работы. Скопировать схему в отчёт.

Мультиплексор *muxer* с разрешающим входом **G'** осуществляет передачу сигнала с каждого информационного входа **D0**, **D1**, ..., **D7**, заданного 3-разрядным кодом **ABC** – адресом выбираемого входа, на единственный выход **Y**. Разрядность (3) управляющего сигнала определяет количество входов ($2^3 = 8$), с которых мультиплексор может принимать информацию. Если предположить, что к входам **D0**, **D1**, ..., **D7** мультиплексора *muxer* присоединено 8 источников цифровых сигналов – генераторов последовательных двоичных слов, то байты от любого из них можно передавать на выход **Y**.

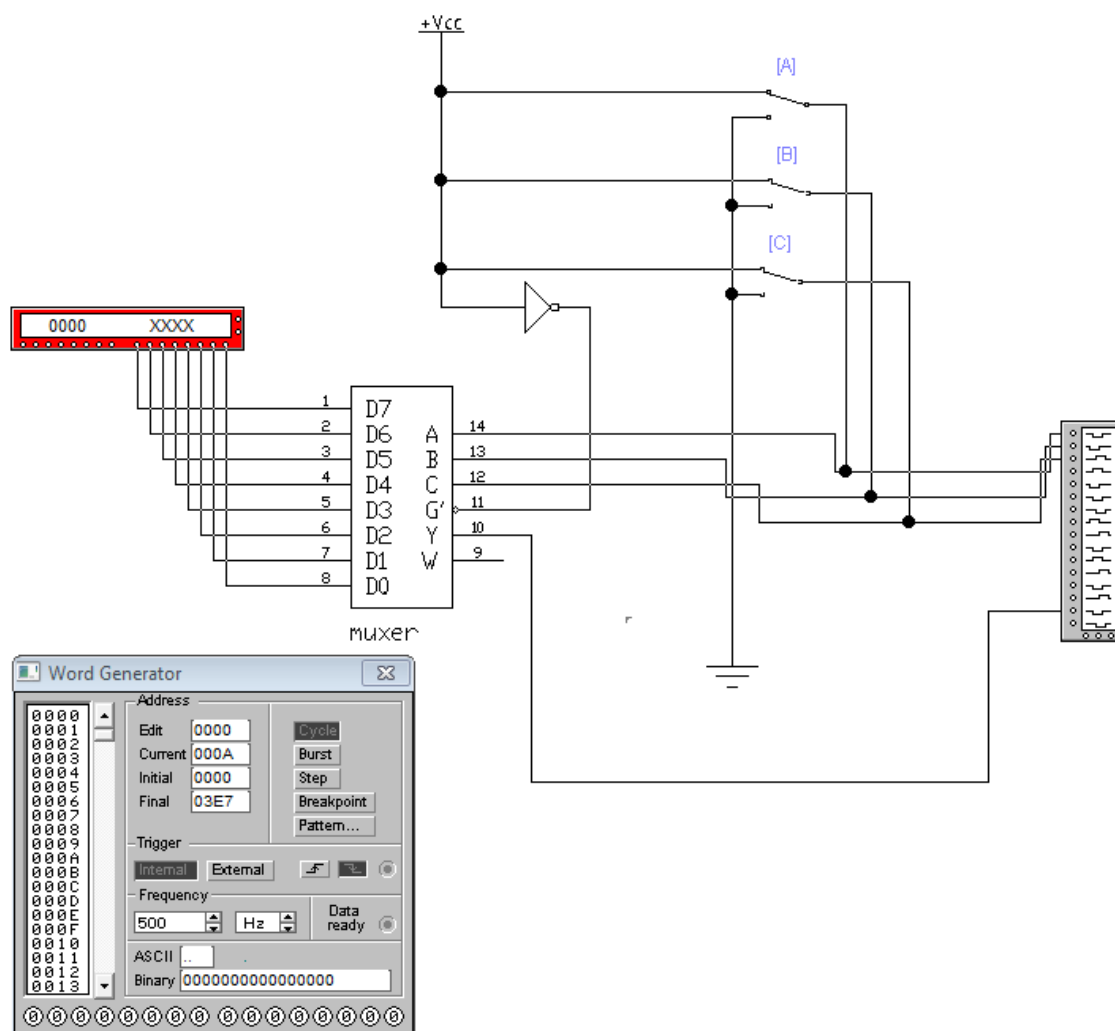


Рисунок 15 – Схема испытания мультиплексора

Для обеспечения перемещения лучей на экране *анализатора установить* частоту его таймера ***Clock***→***Set*** $f_a = 500$ Гц и число импульсов, приходящихся на одно деление, $\text{Clocs/div} = 64$. Установить частоту 500 Гц на панели генератора слов ***Frequency*** 500 Hz.

На генераторе слов задать возрастающую последовательность при помощи ***Word Generator*** → ***Pattern*** → ***Up Counte***→***Accept***. Установить циклический режим работы генератора слов ***Word Generator*** → ***Cycle***.

Установить с помощью ключей А, В и С адресный код для своего варианта, например 100_2 (4_{10}) и ***запустить*** программу моделирования мультиплексора. ***Получить*** и ***скопировать*** временные диаграммы выходного сигнала Y мультиплексора в отчёт.

Таблица 5

Вариант	ABC
1	000
2	001
3	010
4	011
5	100
6	101
7	111
8	110
9	000
10	001
11	010
12	011
13	100
14	101
15	111
16	110
17	000
18	001
19	010
20	011

СОДЕРЖАНИЕ ОТЧЕТА

1. Титульный лист
2. Цель и задачи работы
3. Перечень используемого оборудования и изучаемых элементов использованных в экспериментах.
4. Краткие теоретические сведения (ответы на контрольные вопросы).
5. Изображения электрических схем для испытания.
5. Таблицы истинности, отображающие работу исследуемых элементов. Графики и временные диаграммы.
7. Выводы по работе.

КОНТРОЛЬНЫЕ ВОПРОСЫ.

1. Что такое карта Карно ? Для чего она необходима ?
2. Шифратор и дешифратор ?
3. Мультиплексор и демультиплексор ?