sdram控制器设计报告

**目录**

[一、 上电初始化序列模块 2](#_Toc11944827)

[1.1上电序列模块顶层框架设计 2](#_Toc11944828)

[1.2上电序列模块的STG设计 2](#_Toc11944829)

[1.3上电序列模块仿真 3](#_Toc11944830)

[二、 上电刷新序列模块 3](#_Toc11944831)

[2.1上电刷新序列模块的顶层框架设计 3](#_Toc11944832)

[2.2刷新序列模块的STG设计 4](#_Toc11944833)

[2.3定时器设计 4](#_Toc11944834)

[2.4上电刷新序列模块控制器的STG设计 4](#_Toc11944835)

[2.5上电刷新模块的仿真 5](#_Toc11944836)

[三、 上电刷新读写模块 6](#_Toc11944837)

[3.1 系统整体框架 6](#_Toc11944838)

[3.2写模块设计的STG设计 6](#_Toc11944839)

[3.3 写模块仿真 7](#_Toc11944840)

[3.4读模块的框架设计 8](#_Toc11944841)

[3.5读模块的STG设计 8](#_Toc11944842)

[3.6异步时钟处理 8](#_Toc11944843)

[3.7 读模块仿真 9](#_Toc11944844)

[3.8 sdram主控制器模块的STG设计 10](#_Toc11944845)

[3.9 系统整体设计 11](#_Toc11944846)

# 上电初始化序列模块

## 1.1上电序列模块顶层框架设计

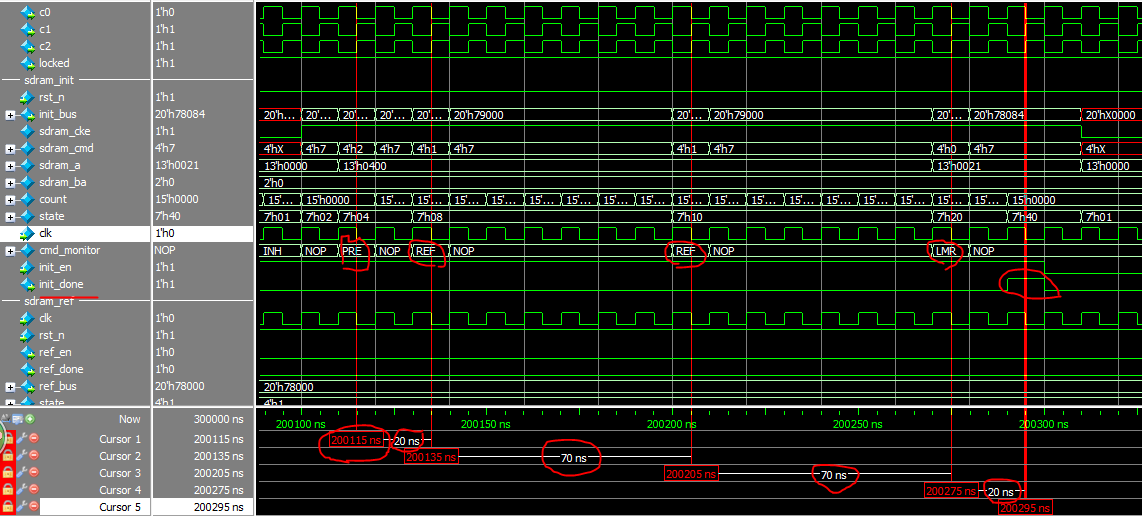


## 1.2上电序列模块的STG设计





## 1.3上电序列模块仿真



# 上电刷新序列模块

## 2.1上电刷新序列模块的顶层框架设计



## 2.2刷新序列模块的STG设计





## 2.3定时器设计

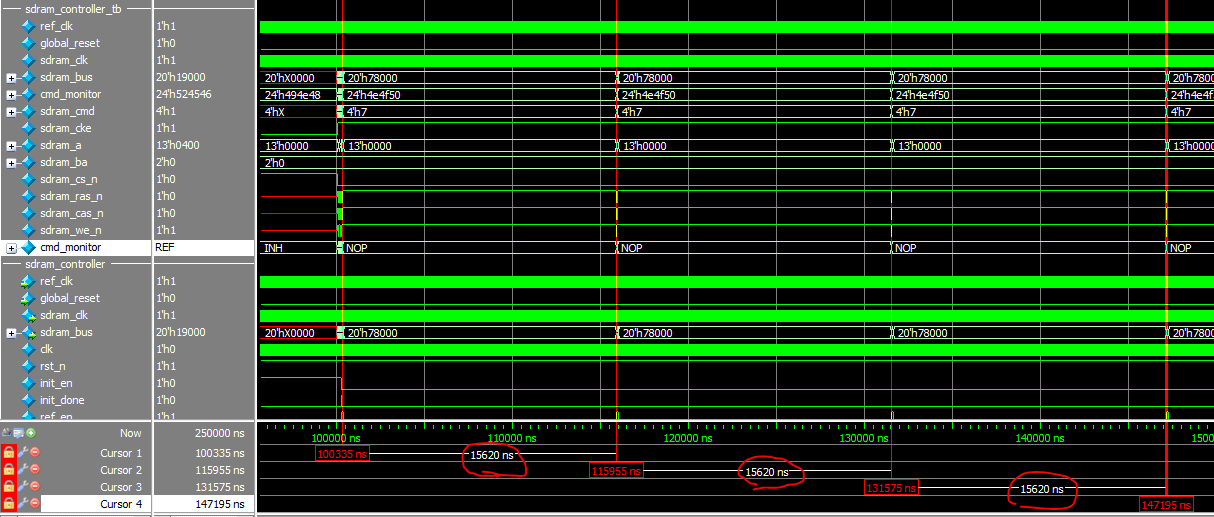
使能时，不断加1



## 2.4上电刷新序列模块控制器的STG设计



## 2.5上电刷新模块的仿真



# 上电刷新读写模块

## 3.1 系统整体框架



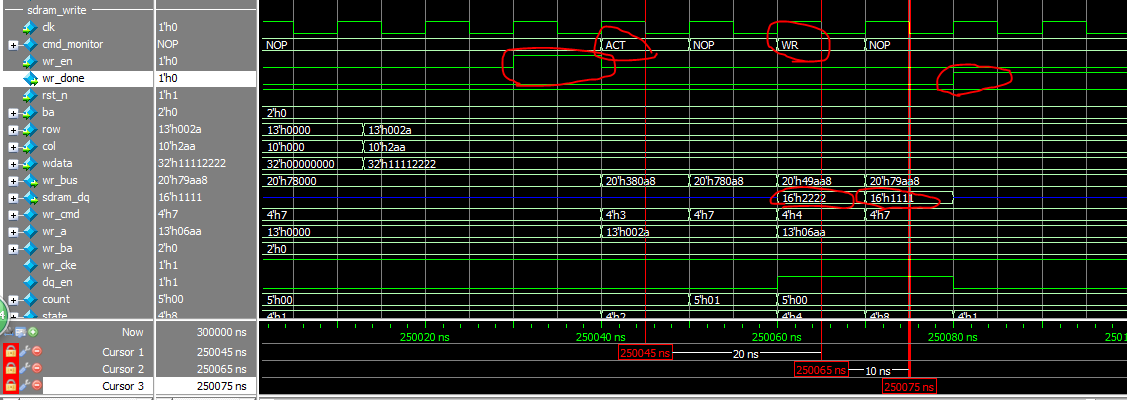
## 3.2写模块设计的STG设计

TRCD=2,CL=2,BL=2,AP





## 3.3 写模块仿真



## 3.4读模块的框架设计



## 3.5读模块的STG设计





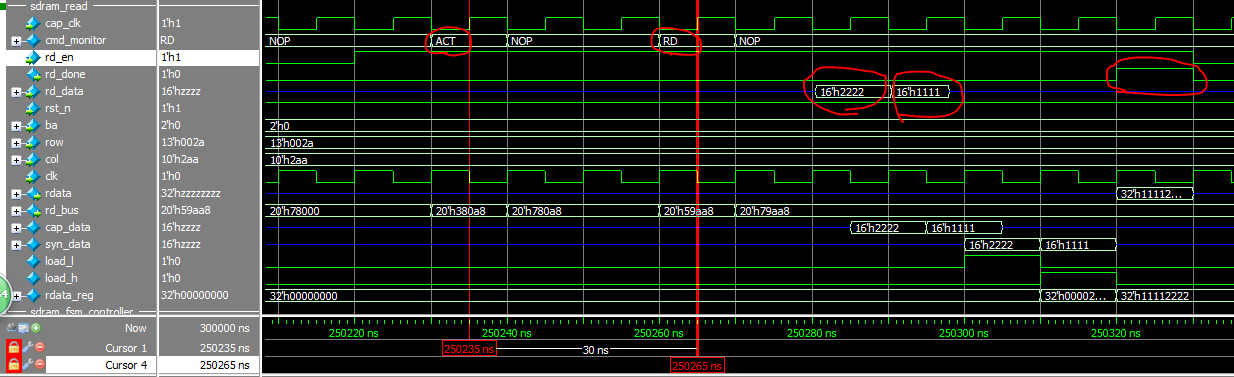
## 3.6异步时钟处理

异步时钟处理采用三种不同的触发器级联而成，如下：





## 3.7 读模块仿真



## 3.8 sdram主控制器模块的STG设计







## 3.9 系统整体设计

