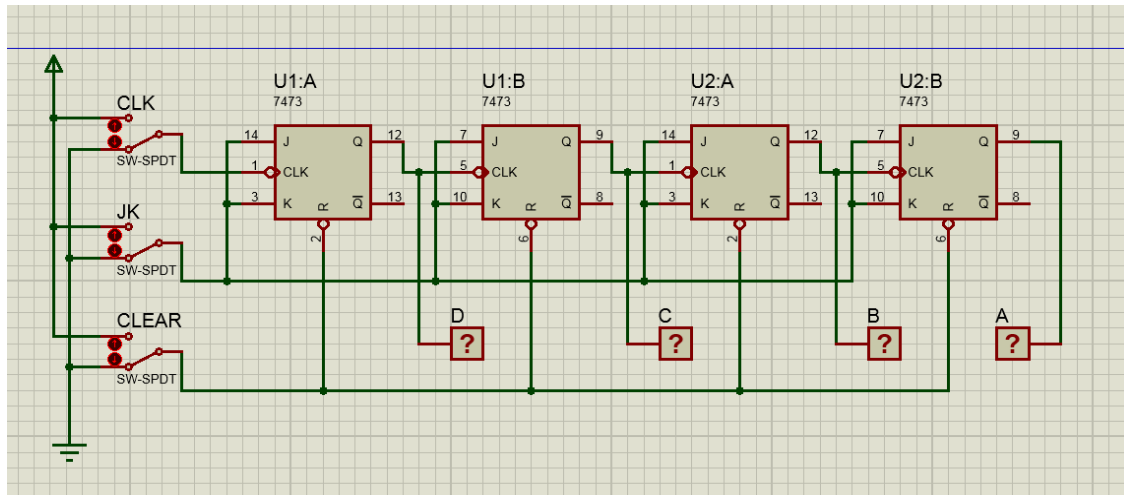


Nama : Shafa Bani Saputra
NIM : L200190151

Laporan Kegiatan Praktikum Modul VIII

Percobaan 1 Membuat Counter JK-FF

1. Kombinasi flip-flop JK



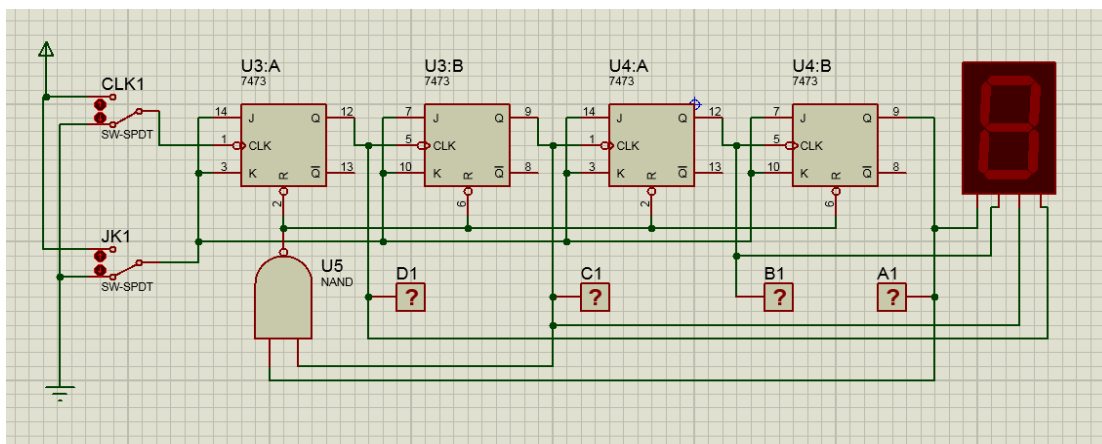
2. Hasil Simulasi Rangkaian berdasarkan tabel

| No | INPUT | | | OUTPUT | | | |
|----|-------|----|-----|--------|---|---|---|
| | CLR | JK | CLK | A | B | C | D |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 2 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 3 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 4 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 5 | 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| 6 | 1 | 1 | 1 | 0 | 0 | 1 | 0 |
| 7 | 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 8 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 9 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| 10 | 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 11 | 1 | 1 | 0 | 0 | 1 | 0 | 1 |
| 12 | 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 13 | 1 | 1 | 0 | 0 | 1 | 1 | 0 |
| 14 | 1 | 1 | 1 | 0 | 1 | 1 | 0 |
| 15 | 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 16 | 1 | 0 | 1 | 0 | 1 | 1 | 1 |
| 17 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 18 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 19 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 20 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |

3. Fungsi dari switch
 - a. Switch CLK (clock)
 - Mengatur pulsa clock, untuk mentransfer input pada counter.
 - b. Switch JK
 - Mengatur input pada flip-flop counter.
 - c. Switch CLR (clear)
 - Mereset atau menghapus data pada rangkaian counter.
4. Kesimpulan
 - Dari hasil simulasi percobaan 1, Counter JK-FF merupakan Counter UP, menggunakan rangkaian 4 bit, pada simulasi ke-15 dan ke-16 dimana Input pada JK= 0 maka tidak ada data yang ditransfer ke counter, dan pada simulasi ke-19 dan ke-20 dimana CLR= 0 maka data counter akan tereset atau terhapus dan akan kembali dari awal, sehingga diperoleh modulus 8 (MOD 8) berdasarkan simulasi pada tabel.

Percobaan 2 Counter MOD 10

1. Kombinasi flip flop JK



2. Hasil Simulasi Rangkaian berdasarkan tabel

| No | INPUT | | OUTPUT | | | |
|----|-------|-----|--------|---|---|---|
| | JK | CLK | A | B | C | D |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 2 | 1 | 1 | 0 | 0 | 0 | 0 |
| 3 | 1 | 0 | 0 | 0 | 0 | 1 |
| 4 | 1 | 1 | 0 | 0 | 0 | 1 |
| 5 | 1 | 0 | 0 | 0 | 1 | 0 |
| 6 | 1 | 1 | 0 | 0 | 1 | 0 |
| 7 | 1 | 0 | 0 | 0 | 1 | 1 |
| 8 | 1 | 1 | 0 | 0 | 1 | 1 |
| 9 | 1 | 0 | 0 | 1 | 0 | 0 |
| 10 | 1 | 1 | 0 | 1 | 0 | 0 |
| 11 | 1 | 0 | 0 | 1 | 0 | 1 |
| 12 | 1 | 1 | 0 | 1 | 0 | 1 |

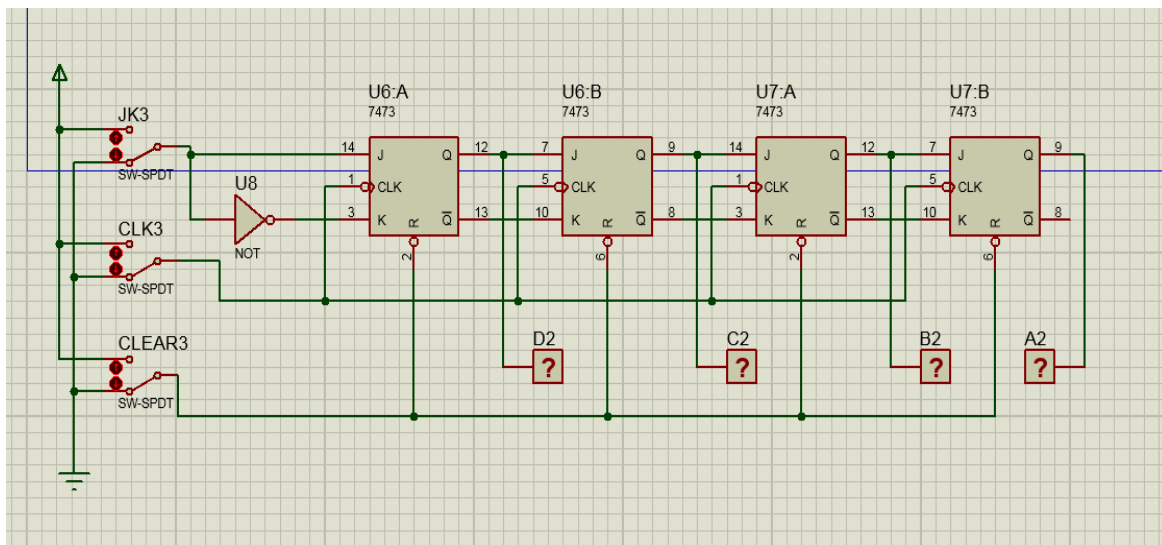
| | | | | | | |
|----|---|---|---|---|---|---|
| 13 | 1 | 0 | 0 | 1 | 1 | 0 |
| 14 | 1 | 1 | 0 | 1 | 1 | 0 |
| 15 | 1 | 0 | 0 | 1 | 1 | 1 |
| 16 | 1 | 1 | 0 | 1 | 1 | 1 |
| 17 | 1 | 0 | 1 | 0 | 0 | 0 |
| 18 | 1 | 1 | 1 | 0 | 0 | 0 |
| 19 | 1 | 0 | 1 | 0 | 0 | 1 |
| 20 | 1 | 1 | 1 | 0 | 0 | 1 |
| 21 | 0 | 0 | 1 | 0 | 0 | 1 |
| 22 | 0 | 1 | 1 | 0 | 0 | 1 |
| 23 | 1 | 0 | 0 | 0 | 0 | 0 |
| 24 | 1 | 1 | 0 | 0 | 0 | 0 |

3. Kesimpulan

- Dari hasil simulasi percobaan 2, Counter JK-FF merupakan Counter UP, menggunakan rangkaian 4 bit, pada simulasi ke-21 dan ke-22 dimana Input pada JK= 0 maka tidak ada data yang ditransfer ke counter, sehingga output counter akan tetap sama karena tidak ada masukan, dan pada simulasi ke-23 dan ke-24 dimana input pada JK= 1 maka data counter akan kembali melakukan pencacahan atau penghitungan counter tanpa mereset atau mengulangi dari awal (melanjutkan hasil sebelumnya), dan diperoleh modulus 10 (MOD 10) berdasarkan simulasi pada tabel.

Percobaan 3 Membuat Register JK-FF

1. Kombinasi flip flop JK



2. Hasil simulasi rangkaian berdasarkan tabel

| No | INPUT | | | OUTPUT | | | |
|----|-------|----|-----|--------|---|---|---|
| | CLR | JK | CLK | A | B | C | D |
| 1 | 0 | X | - | 0 | 0 | 0 | 0 |
| 2 | 1 | 1 | - | 0 | 0 | 0 | 0 |
| 3 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 4 | 1 | 1 | 2 | 0 | 0 | 1 | 1 |
| 5 | 1 | 1 | 3 | 0 | 1 | 1 | 1 |
| 6 | 1 | 0 | 4 | 1 | 1 | 1 | 0 |
| 7 | 1 | 0 | 5 | 1 | 1 | 0 | 0 |
| 8 | 1 | 0 | 6 | 1 | 0 | 0 | 0 |
| 9 | 1 | 0 | 7 | 0 | 0 | 0 | 0 |
| 10 | 1 | 0 | 8 | 0 | 0 | 0 | 0 |
| 11 | 1 | 1 | 9 | 0 | 0 | 0 | 1 |
| 12 | 1 | 0 | 10 | 0 | 0 | 1 | 0 |
| 13 | 1 | 0 | 11 | 0 | 1 | 0 | 0 |
| 14 | 1 | 0 | 12 | 1 | 0 | 0 | 0 |
| 15 | 1 | 0 | 13 | 0 | 0 | 0 | 0 |

3. Kesimpulan

- Dari hasil simulasi percobaan 3, Counter JK-FF merupakan Register geser (shift left), menggunakan rangkaian 4 bit, dimana register akan menginput data saat JK = CLR = 1 , Pada saat switch clock = 1 (rise up) maka data register akan tersimpan dan pada saat switch clock = 0 (rise down) maka register akan berjalan, 1 pulsa clock dalam switch = 1 kali rise up dan 1 kali rise down. (change from 0 to 1 and change 1 to 0).