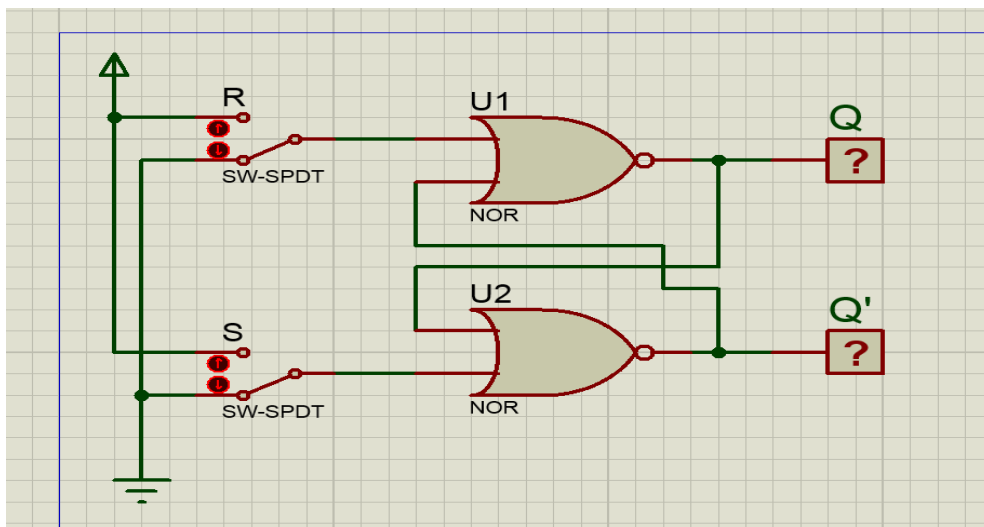


Nama : Shafa Bani Saputra
NIM : L200190151

Laporan Kegiatan Praktikum Modul VII

Percobaan 1 (NOR Latch)

1. Rangkaian NOR Latch



2. Berdasarkan rangkaian dihasilkan table berikut

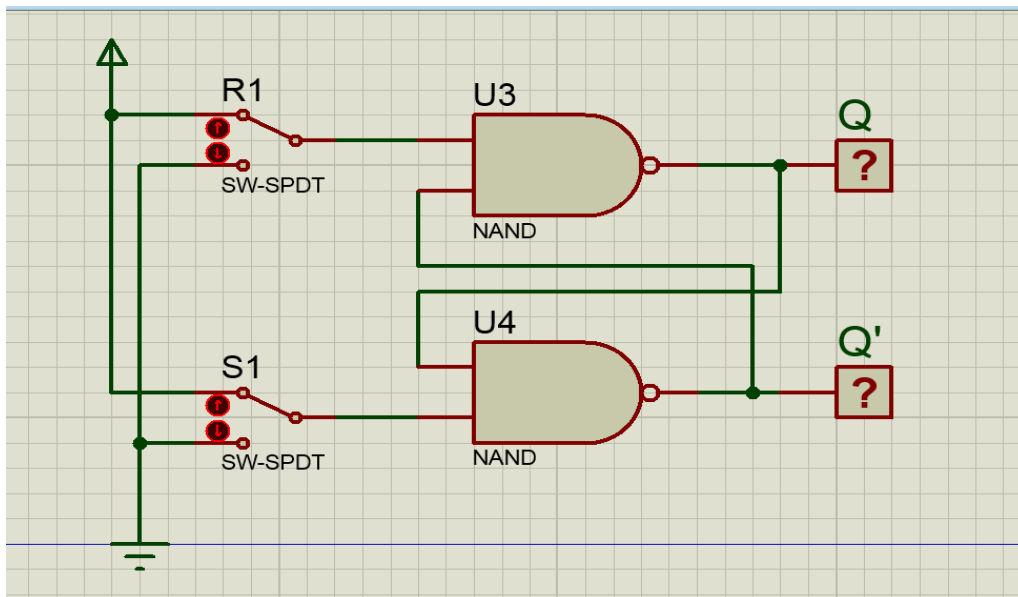
	Set (S)	Reset (R)	Output		Mode
			Q	Q'	
1	0	1	0	1	Reset
2	0	0	0	1	Memory
3	1	0	1	0	Set
4	0	0	1	0	Memory
5	1	1	0	0	Invalid

3. Penjelasan mengenai pernyataan berikut

- Apa yang terjadi jika kita berikan kondisi $S = R = 0$?
 - dalam kondisi ini keadaan tidak akan berubah (No Change) karena merupakan kondisi dimana tidak ada input yang masuk, dan logicprobe akan menampilkan hasil sebelumnya (hasil sebelum kondisi ini dijalankan).
- Kenapa kondisi $S = R = 1$ tidak diperbolehkan ?
 - dalam kondisi ini kedua input akan menerima tegangan sehingga akan menghasilkan data yang tidak terdefinisi (Invalid) pada kondisi akhir, dimana $Q = Q' = 0$, apabila menggunakan pulsa waktu makan output akan terkunci pada nilai 1 dan 0 tergantung pada hubungan waktu propagasi antar gerbang logika (Toggle).

Percobaan 2 (NAND Latch)

1. Rangkaian NAND Latch



2. Berdasarkan rangkaian didapat tabel berikut

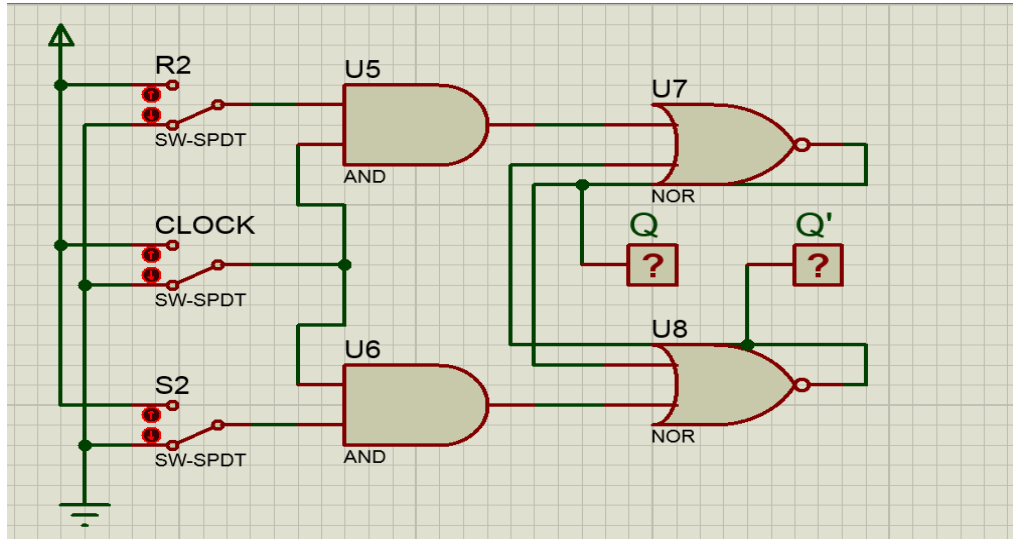
	Set (S)	Reset (R)	Output		Mode
			Q	Q'	
1	0	1	1	0	Set
2	1	1	1	0	Memory
3	1	0	0	1	Reset
4	1	1	0	1	Memory
5	0	0	1	1	Invalid

3. Penjelasan mengenai pernyataan berikut

- Apa yang terjadi jika kita berikan kondisi $S = R = 1$?
 - dalam kondisi ini keadaan tidak akan berubah (No Change) karena merupakan kondisi dimana kedua input akan mempunyai masukan yang sama, dan logicprobe akan menampilkan hasil sebelumnya (hasil sebelum kondisi ini dijalankan).
 - Kenapa kondisi $S = R = 0$ tidak diperbolehkan ?
 - dalam kondisi ini kedua input akan menerima tegangan sehingga akan menghasilkan data yang tidak terdefinisi (Invalid) pada kondisi akhir, dimana $Q = Q' = 1$, apabila menggunakan pulsa waktu makan output akan terkunci pada nilai 1 dan 0 tergantung pada hubungan waktu propagasi antar gerbang logika (Toggle).
4. Opini mengenai “Flip-Flop Dan Latch Sebagai Media Penyimpanan Data”.
- flip-flop dan latch merupakan multivibrator-dwistabil dimana memiliki 2 arus stabil, dimana sirkuit dapat dibuat untuk mengubah arus dengan sinyal yang dimasukkan pada satu atau lebih input kontrol dan akan memiliki satu atau dua output, ini merupakan elemen penyimpanan dasar pada logika sekuensial. Sehingga untuk pernyataan flip-flop dan latch sebagai media penyimpanan data menurut saya itu bisa.

Percobaan 3 (Flip-Flop RS)

1. Rangkaian Flip-Flop RS dengan pulsa clock



2. Berdasarkan rangkaian didapatkan tabel berikut

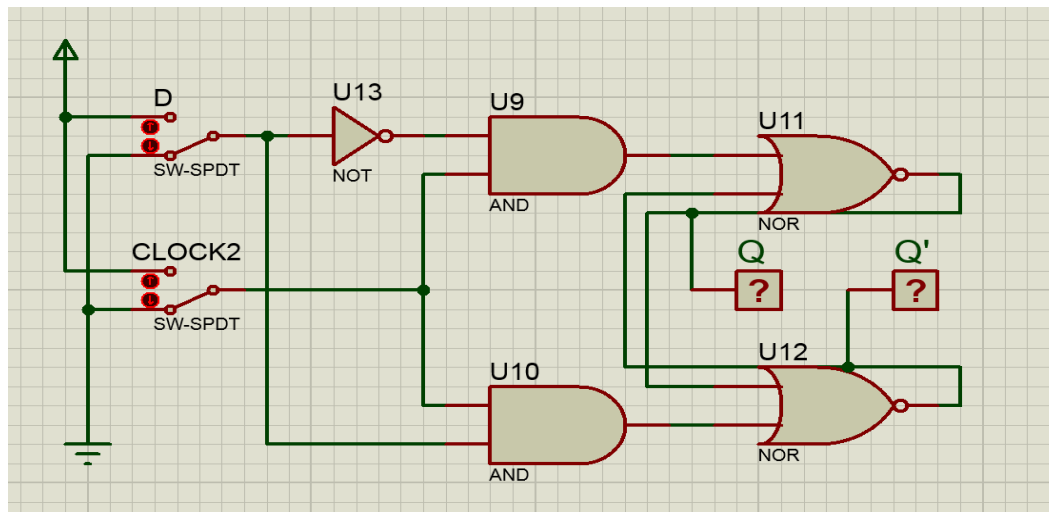
	Set (S)	Reset (R)	Clock	Output		Mode
				Q	Q' _(t+1)	
1	0	0	0	?	?	No Change
2	0	0	1	?	?	No Change
3	0	1	0	?	?	No Change
4	0	1	1	0	1	Reset
5	1	0	0	0	1	Memory
6	1	0	1	1	0	Set
7	1	1	0	1	0	Memory
8	1	1	1	0	0	Invalid

3. Penjelasan mengenai pernyataan berikut

- Apa yang akan terjadi jika kita berikan kondisi $S = R = 1$ dan clock berubah dari 1 ke 0 ?
 - dalam kondisi ini akan menghasilkan Fatal simulation.
- Bagaimana Kondisi diatas terjadi?
 - Pulsa clock berada diposisi high, dalam kondisi ini kedua input akan menerima tegangan sehingga akan menghasilkan data yang tidak terdefinisi (Invalid) pada kondisi akhir,dimana $Q = Q' = 0$
- Bagaimana flip-flop RS bekerja?
 - Apabila $S = R = 0$ maka output Q akan berada pada keadaan terakhir tanpa batas karena tindakan latch internal.
 - Apabila S bernilai 1 (high) maka output Q akan bernilai 1
 - Apabila R bernilai 1 (high) maka output Q akan bernilai 0
 - Input S dan R tidak diperbolehkan dalam kondisi 1 (high) dalam waktu yang sama.

Percobaan 4 Flip- flop D

1. Rangkaian flip-flop D



2. Berdasarkan rangkaian didapatkan table berikut

	(D)	Clock	Output		Mode
			Q	Q' _(t+1)	
1	0	0	?	?	No Change
2	0	1	0	1	Reset
3	1	0	0	1	Memory
4	1	1	1	0	Set
5	0	0	1	0	Memory
6	0	1	0	1	Reset
7	1	0	0	1	Memory
8	1	1	1	0	Set

3. Bagaimana cara kerja flip-flop D bekerja?

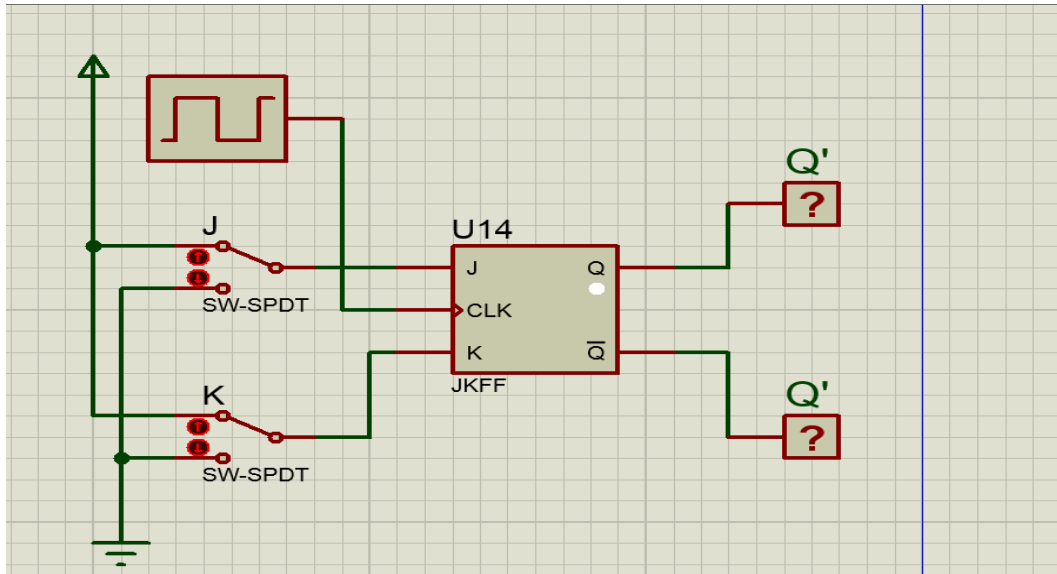
- Apabila input delay (D) bernilai 0 atau 1 maka output akan tertunda 1 pulsa clock dari input ke output Q

4. Fungsi NOT gate pada flip-flop D dibandingkan dengan flip-flop RS?

- Pada flip-flop D fungsi NOT gate digunakan untuk mengubah input atau masukan yang kemudian ditransfer ke gerbang pulse steering circuit. (mengubah masukan sebelum diproses latch circuit)

Percobaan 5 Flip-flop JK

1. Rangkaian JK flip-flop



2. Berdasarkan Rangkaian didapatkan table berikut

	(J)	(K)	Clock	Output		Mode
				Q	Q' _(t+1)	
1	0	0	0	1	0	Memory
2	0	0	1	1	0	Memory
3	0	1	0	0	1	Reset
4	0	1	1	0	1	Memory
5	1	0	0	1	0	Set
6	1	0	1	1	0	Memory
7	1	1	0	1	0	Memory
8	1	1	1	0	1	Toggle

3. Jawaban dari pernyataan berikut

- Apa yang akan terjadi jika $J = K = 0$, dan clock rise up (change from 0 to 1)?
 - Nilai pada output Q akan bernilai 1 (high), dan kondisi ini berada di mode Memory dimana output akan menampilkan hasil sebelumnya.
- Apa yang akan terjadi jika $J = K = 1$, dan clock rise up.?
 - Nilai pada output Q akan bernilai 1 jika sebelumnya bernilai 0, dan akan bernilai 0 jika sebelumnya bernilai 1, (berlawanan dengan hasil sebelumnya atau berada pada mode Toggle)
- Bagaimana flip-flop JK bekerja
 - Apabila J bernilai 0 (low) dan K bernilai 1 (high), maka output Q akan bernilai 0 (low) karena gerbang yang lebih rendah segera memicu reset dan melewati penerimaan pulsa clock positif yang datang selanjutnya.
 - Apabila J bernilai 1 (high) dan K bernilai 0 (low), maka output Q akan bernilai 1 (high) karena gerbang yang lebih rendah akan tertutup
 - Apabila J dan K bernilai 1 (high) maka output Q akan berubah setiap saat pulsa clock rise up (change from 0 to 1), dimana output Q akan bernilai 1 jika sebelumnya bernilai 0, dan akan bernilai 0 jika sebelumnya bernilai 1 (berlawanan dengan hasil sebelumnya atau berada pada mode Toggle saat clock rise up)