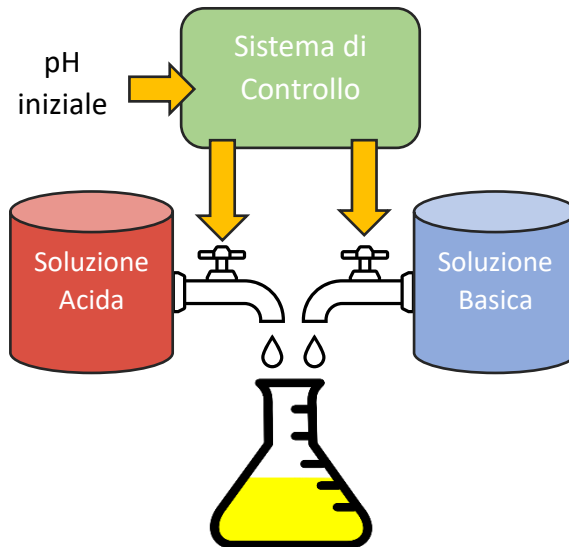


Laboratorio di Architettura degli Elaboratori

Elaborato SIS

A.A 2021/2022



Si progetti il circuito sequenziale che controlla un macchinario chimico il cui scopo è portare una soluzione iniziale a pH noto, ad un pH di neutralità. Il valore del pH viene espresso in valori compresi tra 0 e 14.

Il circuito controlla due valvole di erogazione: una di soluzione acida e una di soluzione basica.

Se la soluzione iniziale è acida, il circuito dovrà procedere all'erogazione della soluzione basica fintanto che la soluzione finale non raggiunga la soglia di neutralità (pH compreso tra 7 e 8).

Analogamente, se la soluzione iniziale è basica, il circuito procederà all'erogazione di soluzione acida fino al raggiungimento della soglia di neutralità.

Per pH acido si intende un valore strettamente inferiore a 7, mentre per basico si intende una soluzione con pH strettamente maggiore a 8.

Il pH viene codificato in fixed-point, con 4 bit riservati per la parte intera e gli altri per la parte decimale.

Le due valvole hanno flussi differenti di erogazione.

La valvola relativa alla soluzione basica eroga una quantità di soluzione che permette di alzare il pH della iniziale di 0.25 ogni ciclo di clock.

La valvola relativa alla soluzione acida eroga una quantità di soluzione che permette di abbassare il pH della soluzione iniziale di 0.5 ogni ciclo di clock.

Il circuito ha 3 ingressi nel seguente ordine:

- RST (1 bit)
- START (1 bit)
- pH (8 bit, 4 parte intera e 4 per la parte decimale)

Gli output sono i seguenti e devono seguire il seguente ordine:

- FINE_OPERAZIONE (1 bit)
- ERRORE_SENSORE (1 bit)
- VALVOLA_ACIDO (1 bit)
- VALVOLA_BASICCO (1 bit)
- PH_FINALE (8 bit)
- NCLK (8 bit)

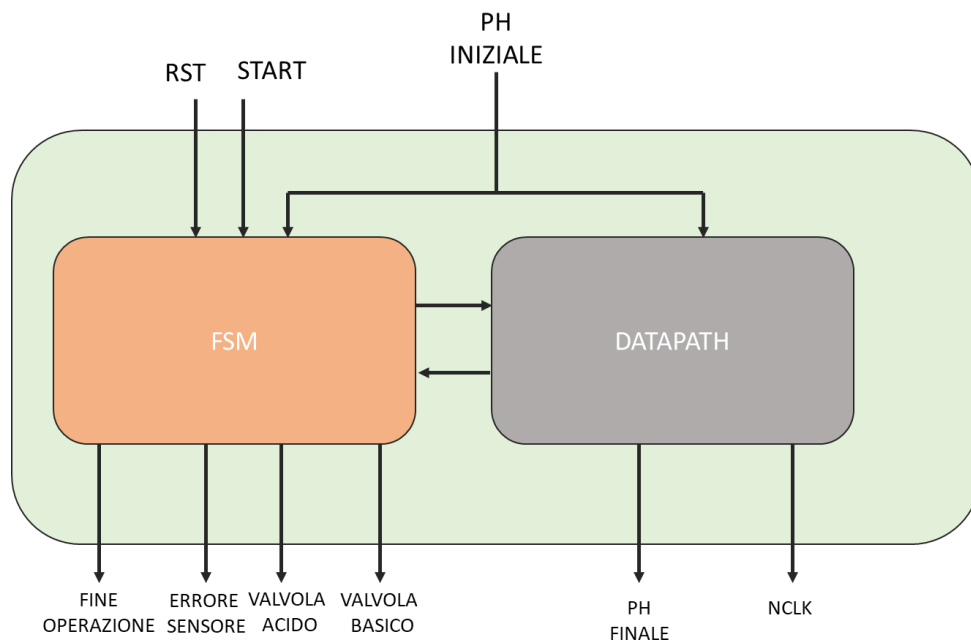
Input e output devono essere definiti nell'ordine sopra specificato (da sinistra verso destra).

Le porte con più bit devono essere descritte utilizzando la codifica con il bit più significativo a sinistra.

Il meccanismo è guidato come segue:

- Quando il segnale RST viene alzato, il sistema torna da un qualsiasi stato allo stato di Reset, mettendo tutte le porte in output a zero.
- Per procedere, Il sistema riceve in input il segnale di START, con valore 1, e il segnale del pH iniziale per un solo ciclo di clock. Il sistema potrà quindi procedere con la fase di elaborazione.
- Se la soluzione iniziale è acida, viene aperta la valvola della soluzione basica, mettendo a 1 il relativo output. Analogamente, se la soluzione iniziale è basica, viene aperta la valvola della soluzione acida mettendo a 1 la porta VALVOLA_ACIDO.
- Il sistema mantiene aperte le valvole per il tempo necessario al raggiungimento della soglia di neutralità (calcolata dal sistema).
- Una volta terminata l'operazione, il sistema deve chiudere tutte le valvole aperte, riportare il pH finale sulla porta in output PH_FINALE e alzare la porta di FINE_OPERAZIONE.
- La porta NCLK riporta quanti cicli di clock sono stati necessari per portare la soluzione a neutralità.
- Se il valore del pH non è valido (> 14) il sistema deve riportare l'errore alzando l'output ERRORE_SENSORE

Lo schema generale del circuito deve rispettare la FSMD riportata di seguito:



- È possibile aggiungere degli ulteriori segnali interni per la comunicazione tra FSM e DATAPATH
- Le porte di input e di output devono rispettare l'ordine definito ed essere collegate al rispettivo sotto modulo
- Il DATAPATH deve essere unico: se volete definire più DATAPATH, questi devono essere inglobati in un unico modello.
- E' compito della FSM identificare se il pH della soluzione iniziale sia acido o basico!

Materiale da consegnare:

1. Sorgenti BLIF dell'intero circuito:
 - a. Il file principale per lanciare la simulazione deve chiamarsi `FSMD.blif` (solo FSMD in maiuscolo);
 - b. La versione caricata deve essere quella già ottimizzata, ma pre-mapping;
 - c. I dati di area e ritardo devono coincidere con quelli riportati nella Relazione;
 - d. Una sottocartella denominata "non_ottimizzato/" contenente i sorgenti pre-ottimizzazione.
2. Relazione in formato pdf denominata `Relazione.pdf`, che affronti nel dettaglio almeno i seguenti punti:
 - a. L'architettura generale del circuito;
 - b. Il diagramma degli stati del controllore;
 - c. L'architettura del Datapath;
 - d. Le statistiche del circuito prima e dopo l'ottimizzazione **per area**;
 - e. Il numero di gate e ritardo ottenuti mappando il design sulla libreria tecnologica **synch.genlib**;
 - f. La descrizione delle scelte progettuali effettuate.

La struttura della cartella dovrà essere la seguente:

- `sis/`
 - `FSMD.blif` (ottimizzata)
 - `Relazione.pdf`
 - Eventuali altri `blif` (ottimizzati)
 - `non_ottimizzato/`
 - Sorgenti `blif` del circuito non ottimizzato

Modalità di consegna:

Tutto il materiale va consegnato elettronicamente tramite procedura guidata sul sito Moodle del corso. Sarà attivata un'apposita sezione denominata "Consegna SIS – <mese> <anno>".
Accedendo a quella pagina sarà possibile effettuare l'upload del materiale.

Il codice e la relazione vanno compressi in un unico file tarball denominato
`VRXXXXXX_VRXXXXXX.tar.gz`

Dove `VRXXXXXX` rappresentano le matricole degli studenti che compongono il gruppo.
Ogni gruppo deve essere formato da 2, massimo 3 studenti.

Il pacchetto deve contenere un'unica cartella denominata `sis` contenente tutti i file BLIF che compongono il progetto e la relazione `Relazione.pdf`.

Verranno accettati solo i progetti compressi in formato tarball (`.tar.gz`, `.tgz`).

Per ottenere il pacchetto come richiesto:

1. Rinominare la cartella contenente tutti il materiale con il nome `sis` (in minuscolo)
2. Uscire dalla cartella e lanciare il comando `"tar cvfz <nome del vostro gruppo>.tar.gz sis/"`

Esempio:

Matricole del gruppo: `VR123123`, `VR345345` e `VR456456` (VR maiuscolo)

Nome file da ottenere: `VR123123_VR345345_VR456456.tar.gz`

Comando: `tar czvf VR123123_VR345345_VR456456.tar.gz sis/`

Note importanti:

1. È possibile effettuare più sottomissioni, ma ogni nuova sottomissione cancella quella precedente.
2. Un solo membro del gruppo deve effettuare la sottomissione.
3. Tutti i componenti del gruppo devono essere iscritti alla pagina Moodle del corso.
4. Non si accettano progetti consegnati via mail e/o dopo la scadenza.
5. I progetti che non soddisfano tutti i requisiti sopraelencati non verranno ammessi all'orale e non verranno valutati.
6. **Tutti i progetti verranno testati automaticamente. Solo i progetti che supereranno i test saranno ammessi alla discussione orale.**
7. I progetti non ammessi potranno essere visionati e discussi al termine della sessione su richiesta degli studenti.