

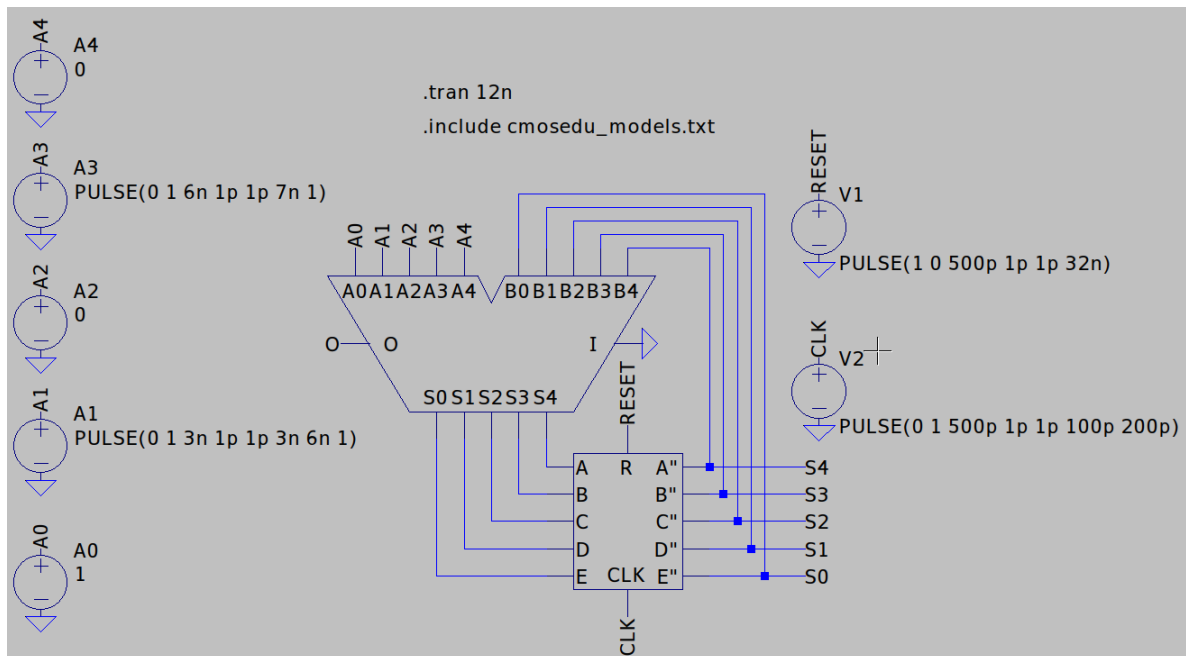
Travail 10 - Compteur par n

Wats Raphaël

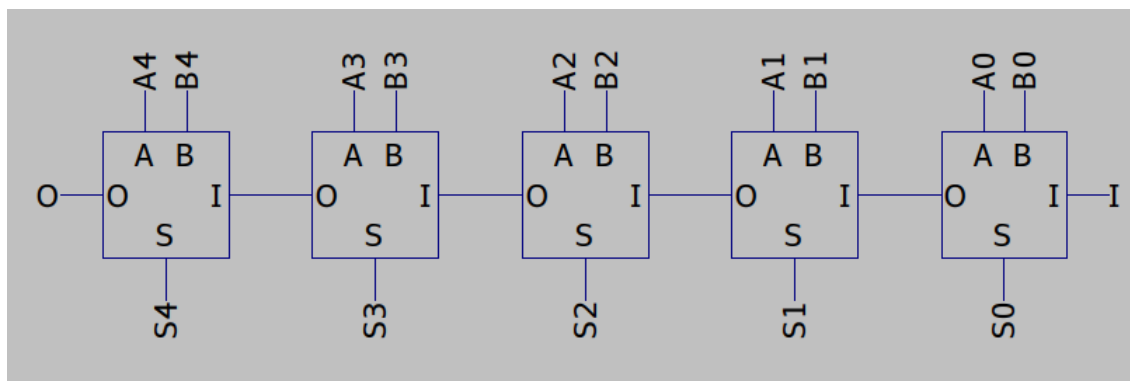
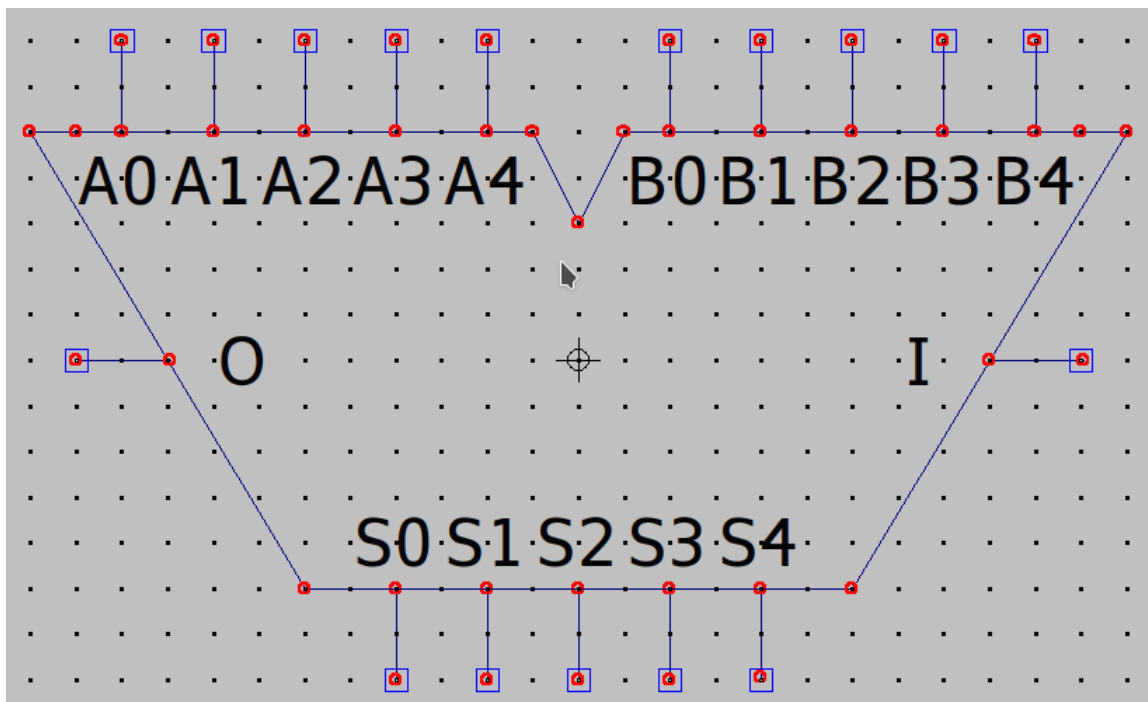
May 1, 2021

1 Schématiques

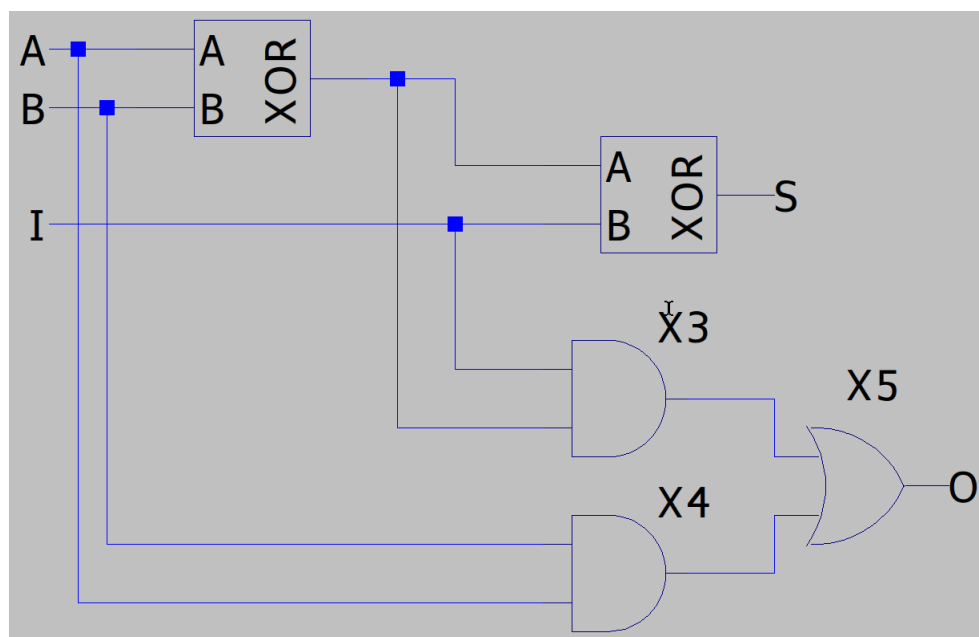
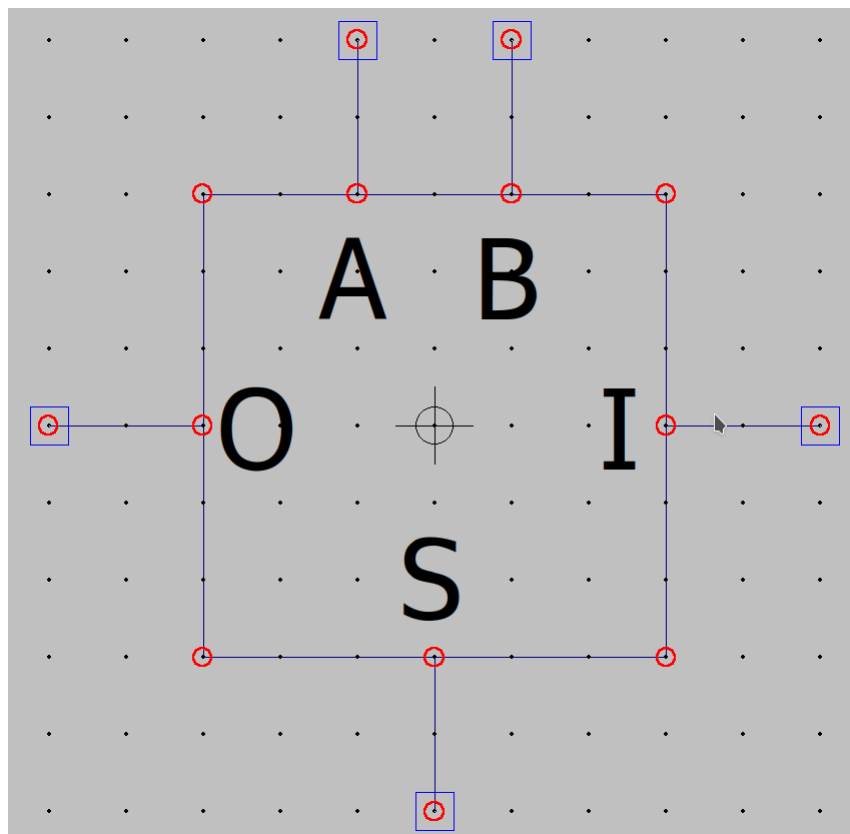
1.1 Circuit principal



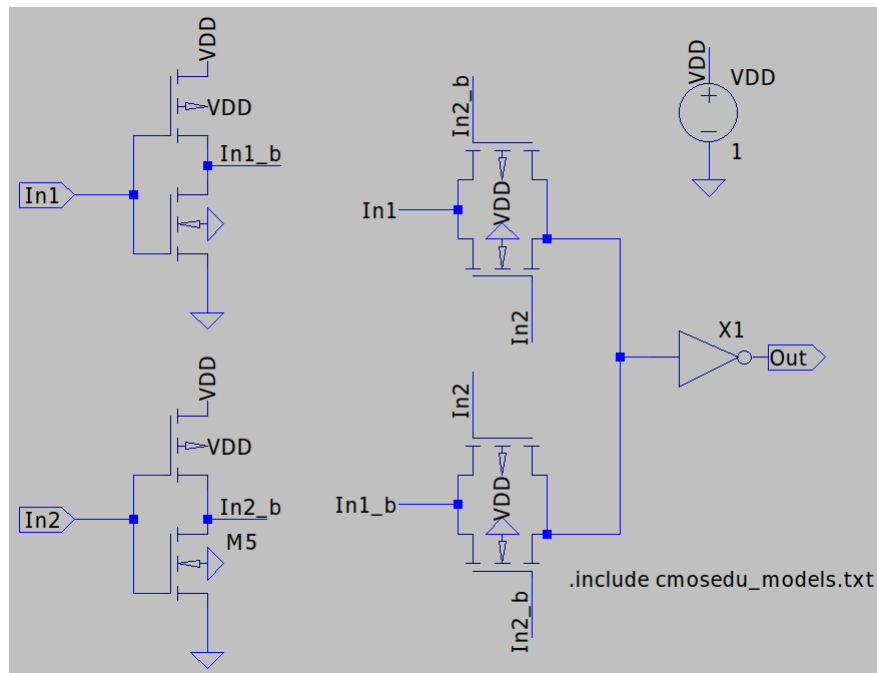
1.2 Full adder 5



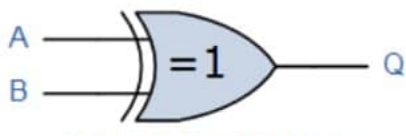
1.2.1 Full adder



xor gate



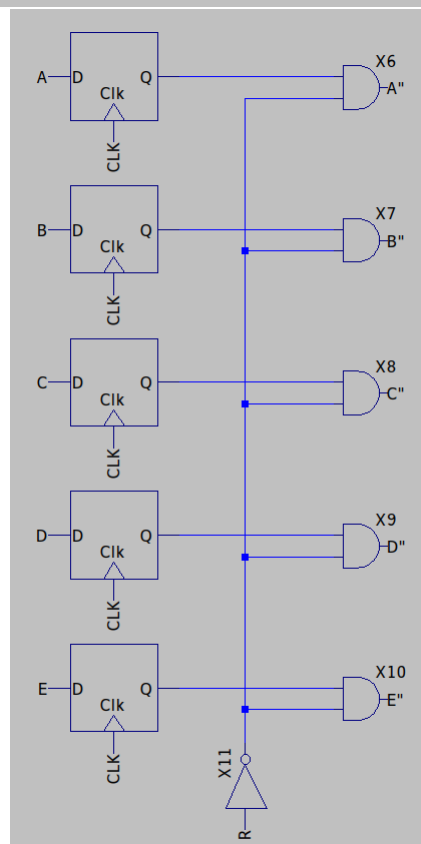
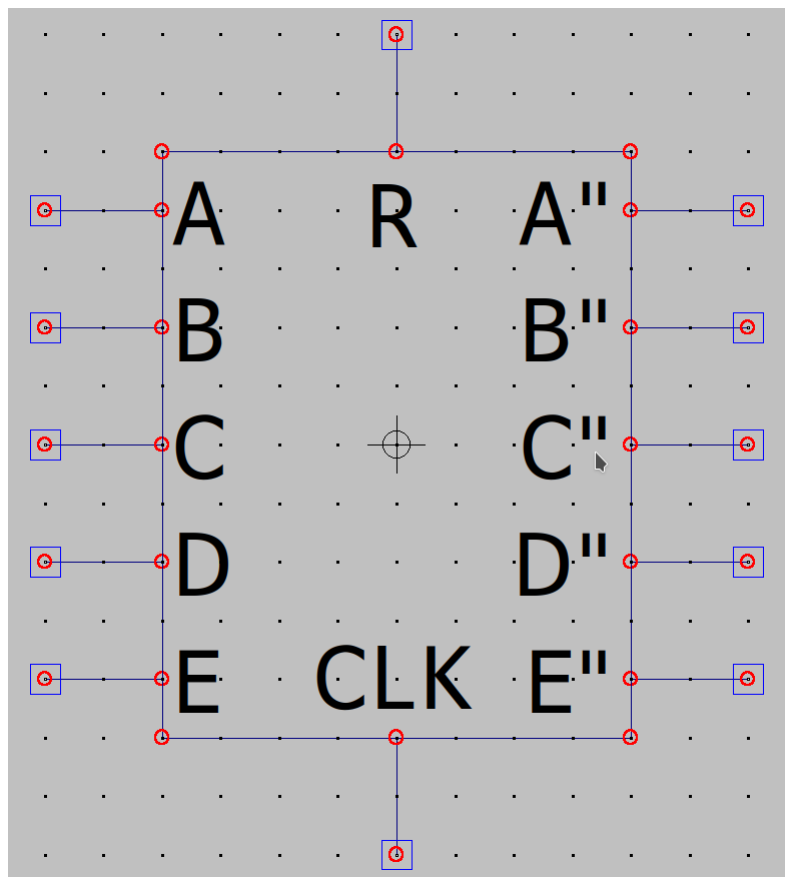
Truth table

Symbol	Truth Table		
 2-input Ex-OR Gate	A	B	Q
	0	0	0
	0	1	1
	1	0	1
	1	1	0
Boolean Expression $Q = A \text{ XOR } B$			

Full Adder

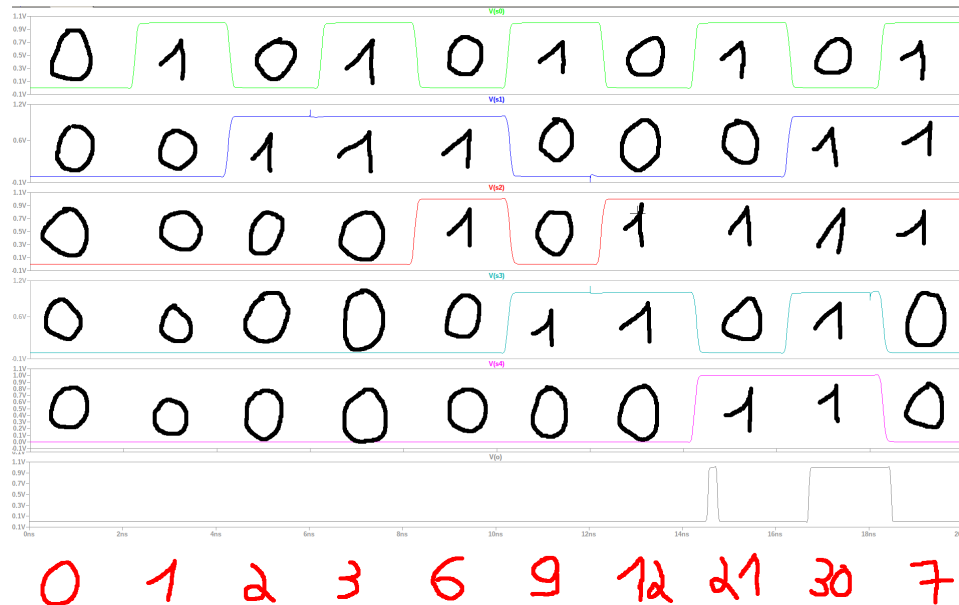
C_{in}	A	B	C_{out}	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

1.3 ddf 5 with reset



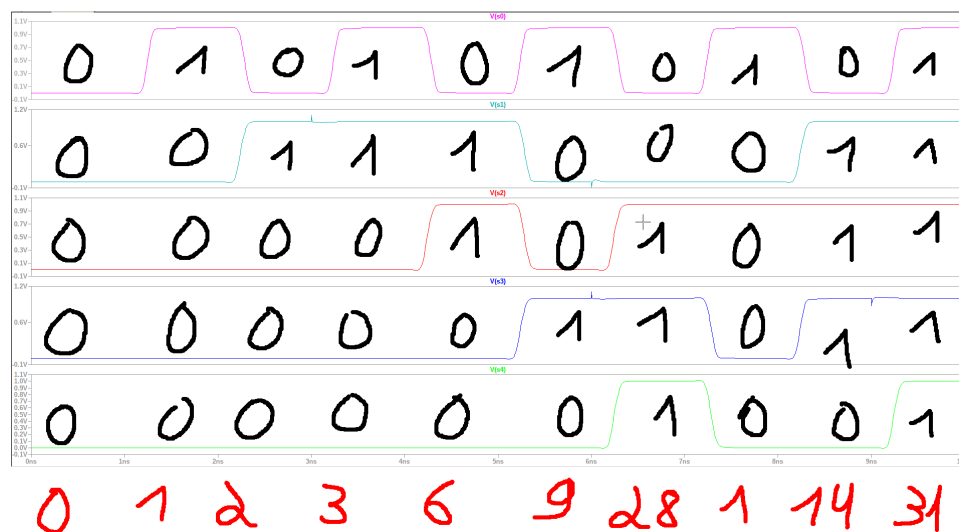
2 Résultats de la simulation de la séquence

Lorsque la clock est réglé à une fréquence maximal de 500MHz, PULSE(0 1 2n 1p 1p 1n 2n)



La séquence s'affiche parfaitement, Avec L'ouput à 1 lorsque l'on atteint 7 (Il y a un décalage engendré par la DFF5).

Lorsque l'on double la fréquence à 1GHz, PULSE(0 1 1n 1p 1p 500p 1n)



L'apparition de glitch génère une mauvaise séquence. (Les pulse A0-A4 ont été adapter).

3 Conclusion

Les résultats obtenu sont en adéquation avec ceux obtenu lors des simulations LTspice XVII. On remarque aussi que plus on avance dans la matière de ce cours plus on comprend comment sont implémentés l'architecture de véritables processeurs et leur langage assembleur afin de les manipuler et où commence la branche "Programming language theory" de la Science Informatique.