

Travail 7 - Diagramme de Karnaugh

Wats Raphaël

March 27, 2021

1 La table de vérité

A	B	C	D	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	x
1	0	0	0	x
1	0	0	1	x
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	x

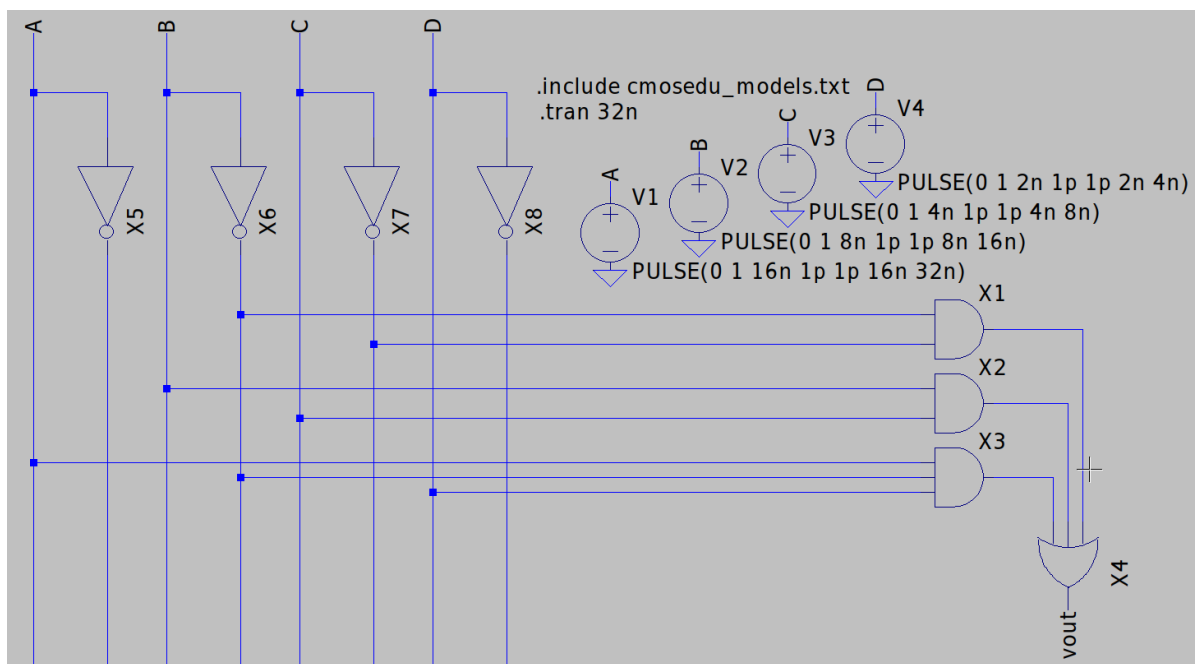
2 Le diagramme de Karnaugh

CD / AB	00	01	11	10
00	1	0	0	x
01	1	0	0	x x
11	0	x	x	1
10	0	1	1	0

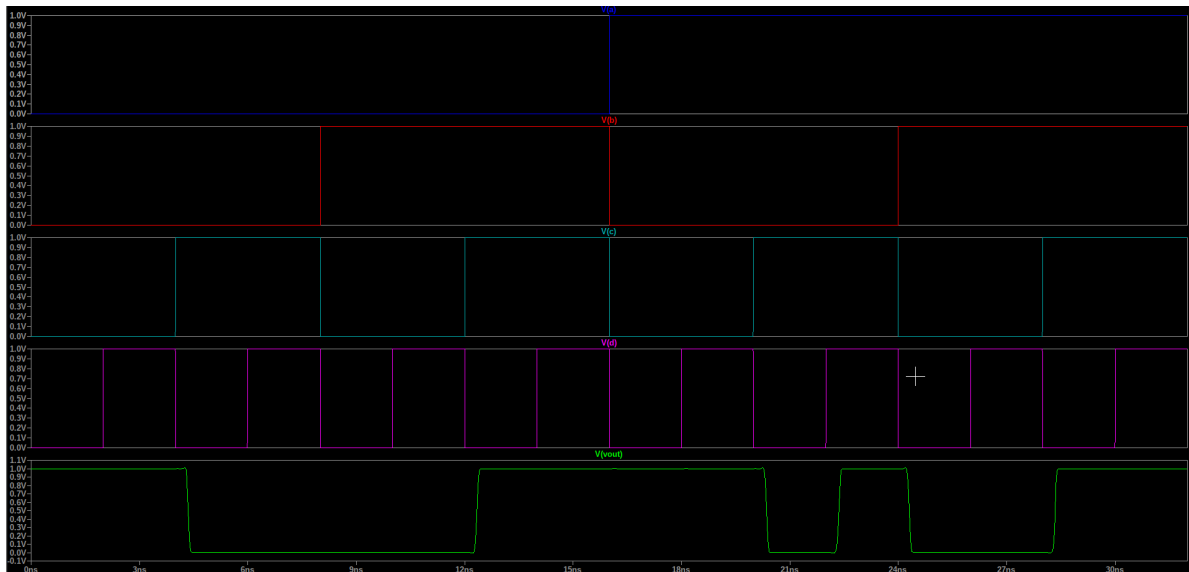
3 La fonction logique optimée

$$\overline{BC} + BC + A\overline{B}D$$

4 Le schéma du circuit

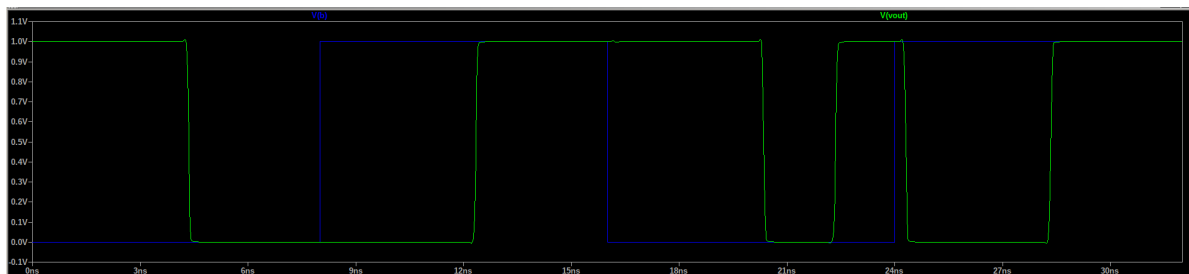


5 La simulation en parcourant les 16 états de la table de vérité

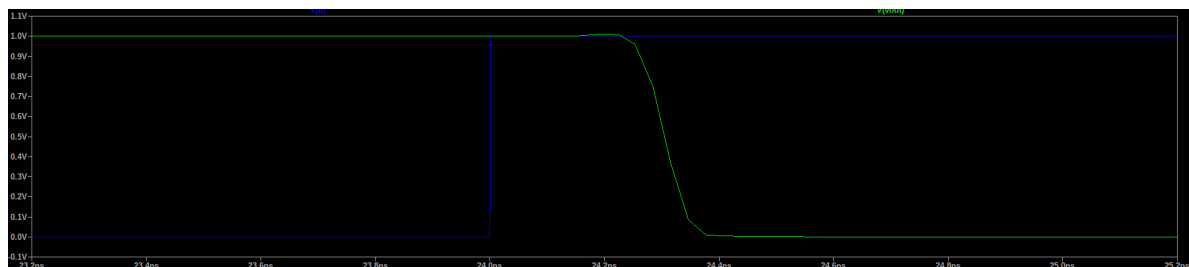


6 Les temps de contamination et de propagation

Le temps de contamination correspond au temps de variation le plus court de l'output après la variation d'un de ses inputs. On peut le trouver en observant le graphe d'une simulation transitoire du circuit opposant l'output avec l'input ayant le chemin le plus court vers l'output.



A 24ns secondes en zoomant on peut observer un délai d'à peu près 0.4ns secondes.



Le temps de propagation correspond au temps de variation le plus long de l'output après la variation d'un de ses inputs. On peut le trouver en observant le graphe d'une simulation transitoire du circuit opposant l'output avec l'input ayant le chemin le plus long vers l'output.

Grâce à la configuration du circuit, le chemin le plus court est égale au chemin le long donc le temps de propagation est égale au temps de contamination c'est à dire 0.4ns secondes.

7 Conclusion

Les résultats obtenus sont en adéquation avec ceux obtenus lors des simulations LTspice XVII.

- Un diagramme de Karnaugh permet d'appliquer un algorithme efficace pour déterminer une fonction logique optimale.
- La configuration du circuit est efficace pour éviter les glitches dû aux temps de propagation et de contamination.
- Lorsque l'on design des circuits digitaux CMOS il faut faire attention aux glitches dû aux temps de propagation et de contamination.