

# Travail 8 - Circuits séquentiels

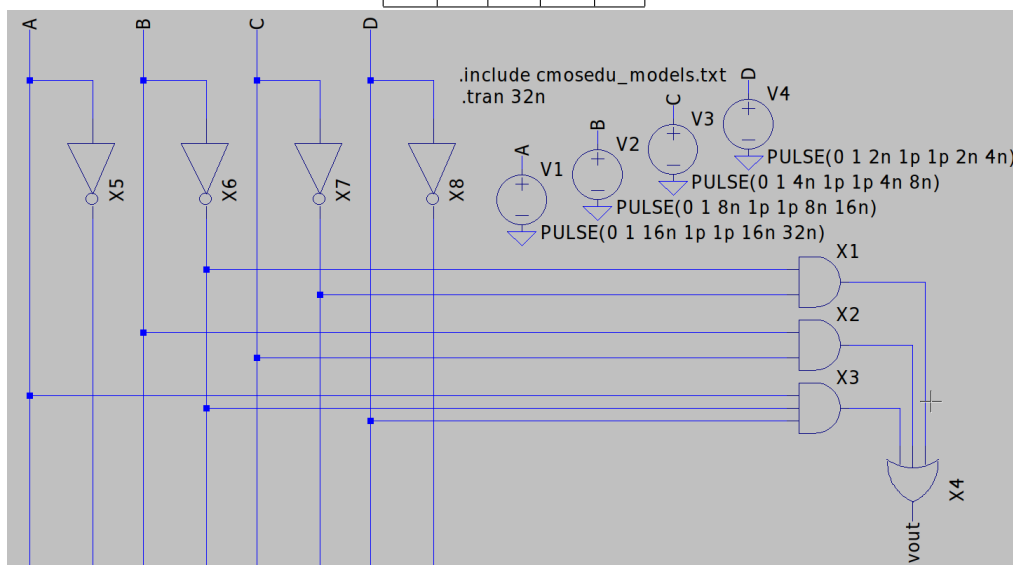
Wats Raphaël

April 4, 2021

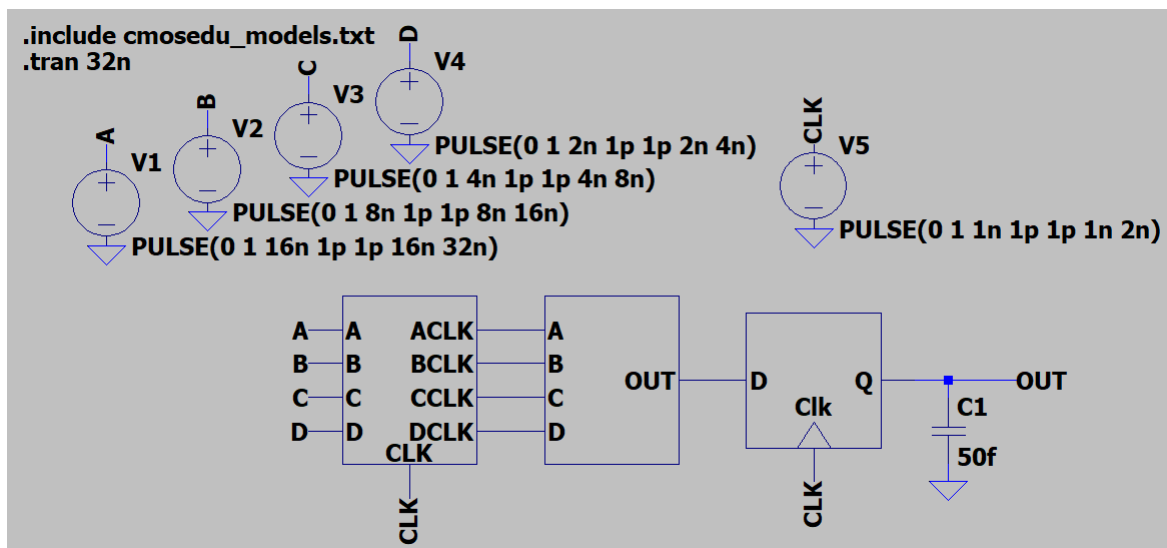
## 1 Le rappel de la fonction logique

$$\overline{BC} + BC + A\overline{B}D$$

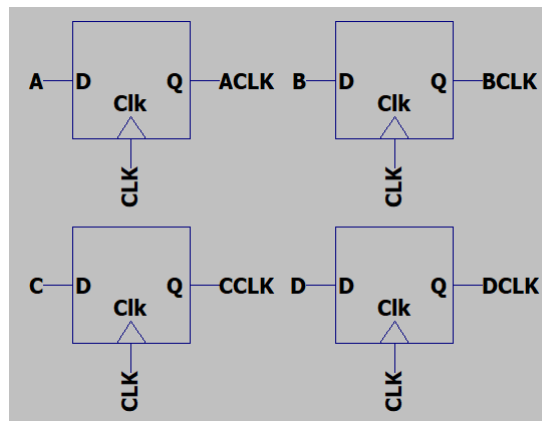
A	B	C	D	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	x
1	0	0	0	x
1	0	0	1	x
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	x



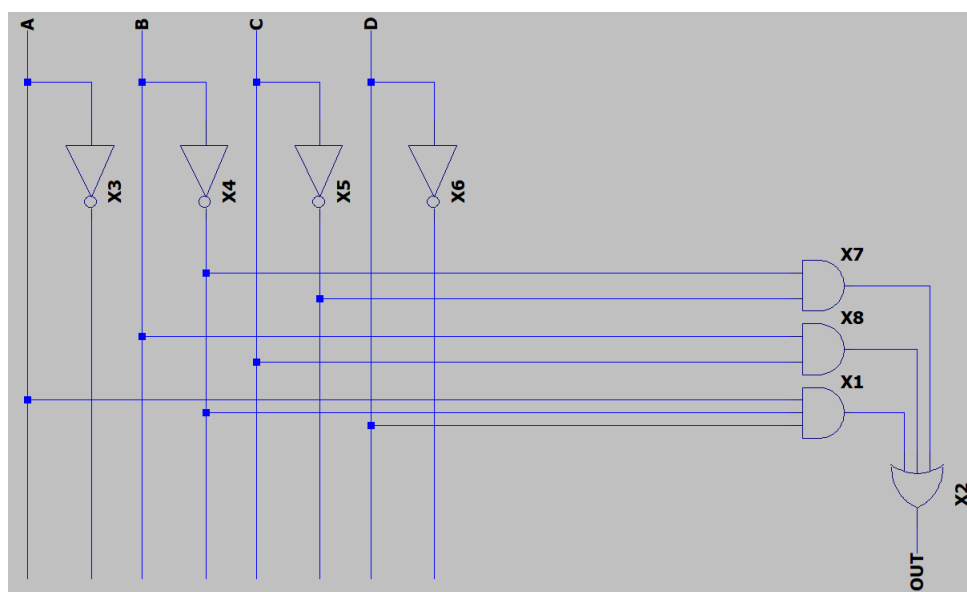
## 2 Le schéma du circuit



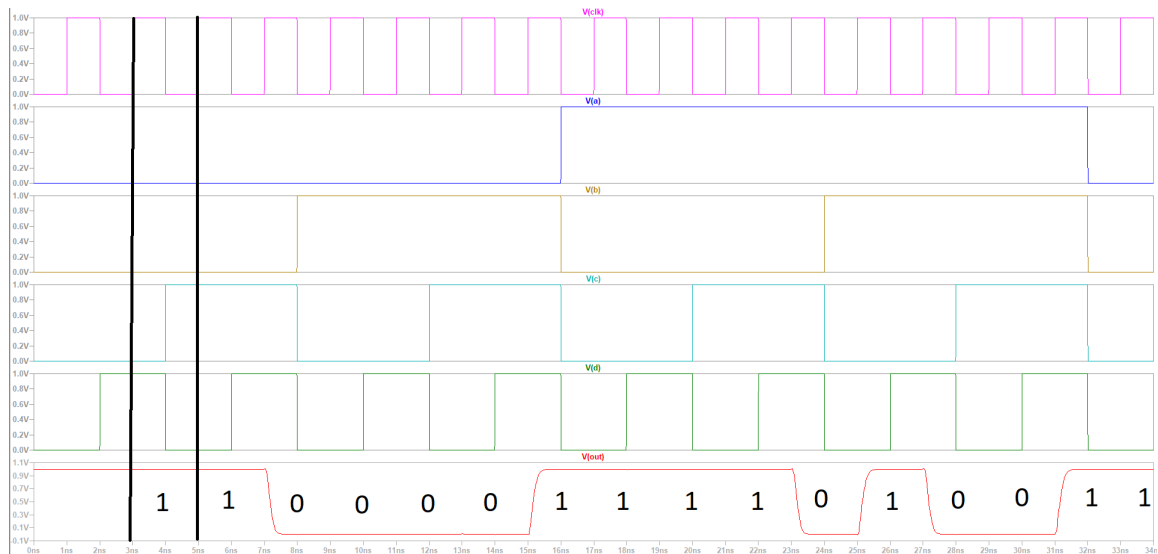
Sous-circuit du DFF-4



Implémentation CMOS de la fonction logique



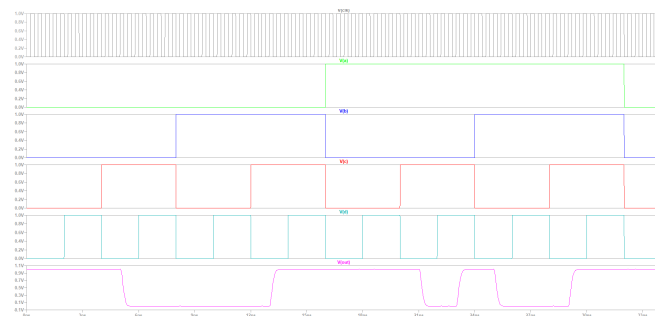
### 3 Le résultat de la simulation en parcourant la table de vérité



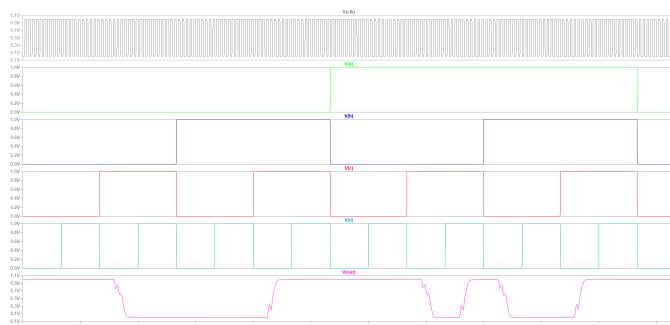
L'utilisation de DFF dans un circuit séquentiel provoque un délai (ici de  $2n$  secondes).

### 4 Le résultat de la simulation à fréquence maximale

Comme le temps de propagation du circuit est d'à peu près  $0.4n$  secondes on obtient la fréquence maximum que l'horloge peut atteindre sans qu'il n'y ai de glitch à  $2.5\text{ GHz}$  c'est à dire  $1/0.4n = 2.5\text{GHz}$



Ci-dessous, on peut observer que lorsque le circuit est simulé avec une horloge réglée à une fréquence de  $5\text{GHz}$  qui est une fréquence supérieur à la fréquence maximal de  $2.5\text{GHz}$ , la tension de sortie commence à glitchée. On déduit donc que si l'on continue à augmenter la fréquence de l'horloge ces glitches empêcherons d'apercevoir encore la table de vérité.



## 5 Conclusion

Le temps de propagation estimé lors du travail précédent était d'à peu près  $0.4n$  secondes, ce qui correspond à la période de la fréquence maximale à laquelle on peut régler l'horloge du circuit séquentiel proposé avant que la tension de sortie ne commence à glitcher d'où la relation suivante:  $1/T_{pd} = F_{max}$ . Si l'on choisit une fréquence supérieur à la fréquence maximal supposée du circuit, le bruit généré pourrait causé des erreurs dans la logique d'un système complexe. Il est donc préférable de s'y tenir.