

## Folha de Respostas -Aula 9

Nome do Aluno:

No. USP:

**Instruções:** Durante a prática, completar os campos abaixo com apenas as informações e dados solicitados. A enumeração a seguir corresponde àquela da apostila prática.

**Item 1)** Liste a(s) biblioteca(s) utilizada(s) nesta seção. Para cada uma delas (se houver mais que uma), liste todos os tipos de blocos da biblioteca encontrados no seu esquema

**Item 2)** Liste a(s) biblioteca(s) utilizada(s) nesta seção. Para cada uma delas (se houver mais que uma), liste cinco tipos de blocos da biblioteca encontrados no seu esquema

**Item 3)** Insira no quadro abaixo o relatório de área do circuito gate level (0,35 um).

No quadro abaixo, coloque o valor dos seguintes parâmetros: número de AND2, área de cada AND2, área total de AND2s e área total do circuito. Responda: a área total de AND2 corresponde à multiplicação da área individual com o número de instâncias? Por que?

Insira no quadro abaixo o relatório de timing do circuito gate level (0,35 um).

No quadro abaixo, coloque o valor dos seguintes parâmetros:  $F_{\text{especificada}}$ ,  $T_{\text{especificado}}$ ,  $t_{\text{chegada}}$ ,  $T_{\text{projetado}}$  e folga (*slack*)

**Item 4)** Insira a descrição completa VHDL do circuito em gate level.

**Item 5)** Insira no quadro abaixo o valor de área total do circuito gate level (0,35 um – 200MHz) e a seguir todo o relatório de área.

Insira no quadro abaixo o valor de  $T_{\text{projetado}}$  do circuito gate level (0,35 um – 600MHz) e a seguir todo o relatório de timing.

**Item 6)** Insira no quadro abaixo o valor de área total do circuito gate level (0,25 um – 400MHz) e a seguir todo o relatório de área.

Insira no quadro abaixo o valor de  $T_{\text{projetado}}$  do circuito gate level (0,25 um – 400MHz) e a seguir todo o relatório de timing.

**Item 7)** Insira no quadro abaixo o valor de área total do circuito gate level (0,18 um – 400MHz) e a seguir todo o relatório de área.

Insira no quadro abaixo o valor de  $T_{\text{projetado}}$  do circuito gate level (0,18 um – 400MHz) e a seguir todo o relatório de timing.

**Item 8)** Apresente abaixo a estimativa de área e  $f_{\text{projetado}}$  para 90nm. Mostre os cálculos.