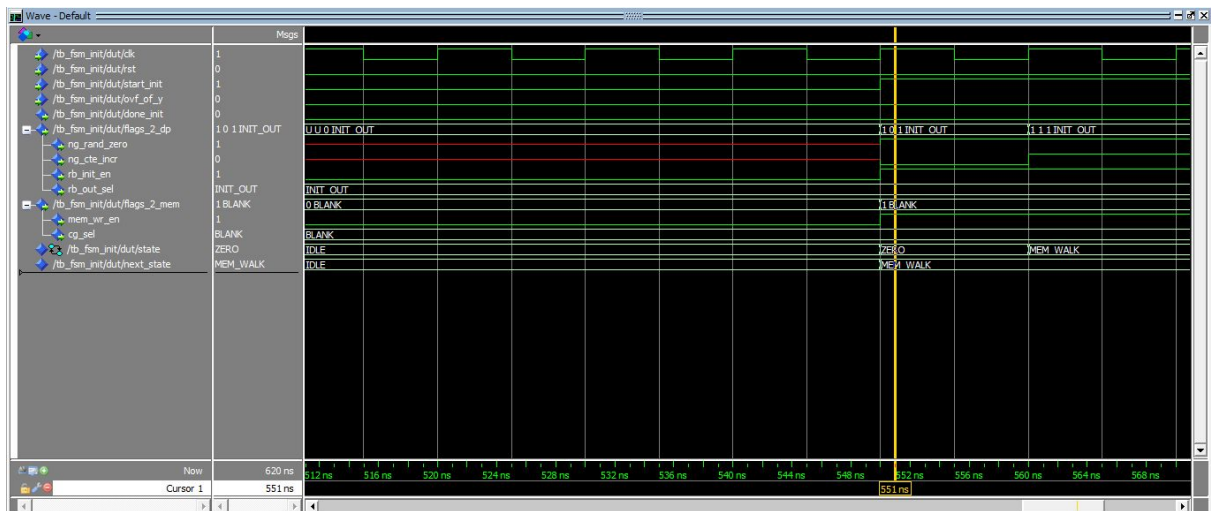


A simulação mostrou o comportamento esperado para o STG da apostila conceitual, isso pode ser observado nas imagens do wave que seguem. Deve-se atentar também que a máquina passa por todos estados, e segue de acordo com os sinais rst, start\_init e ovf\_of\_y.

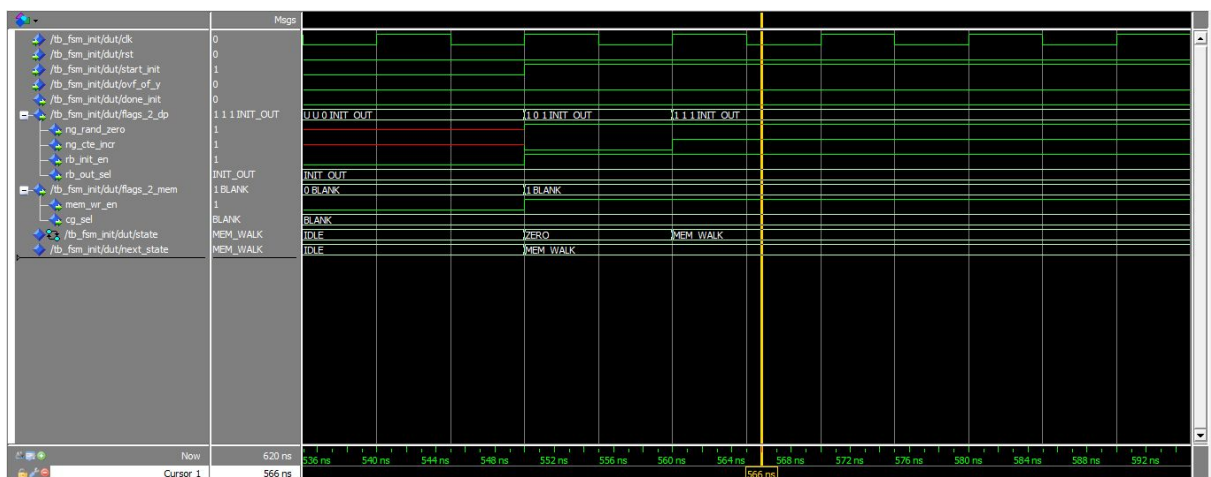
## 1) IDLE - ZERO



momento em que start\_init = 1 e portanto a máquina avança do estado IDLE para o estado zero, em que temos :

```
done_init          <= '0';
flags_2_dp.ng_rand_zero <= '1';
flags_2_dp.ng_cte_incr <= '0';
flags_2_dp.rb_init_en <= '1';
flags_2_dp.rb_out_sel <= INIT_OUT;
flags_2_mem.mem_wr_en <= '1';
flags_2_mem.cg_sel   <= BLANK;
```

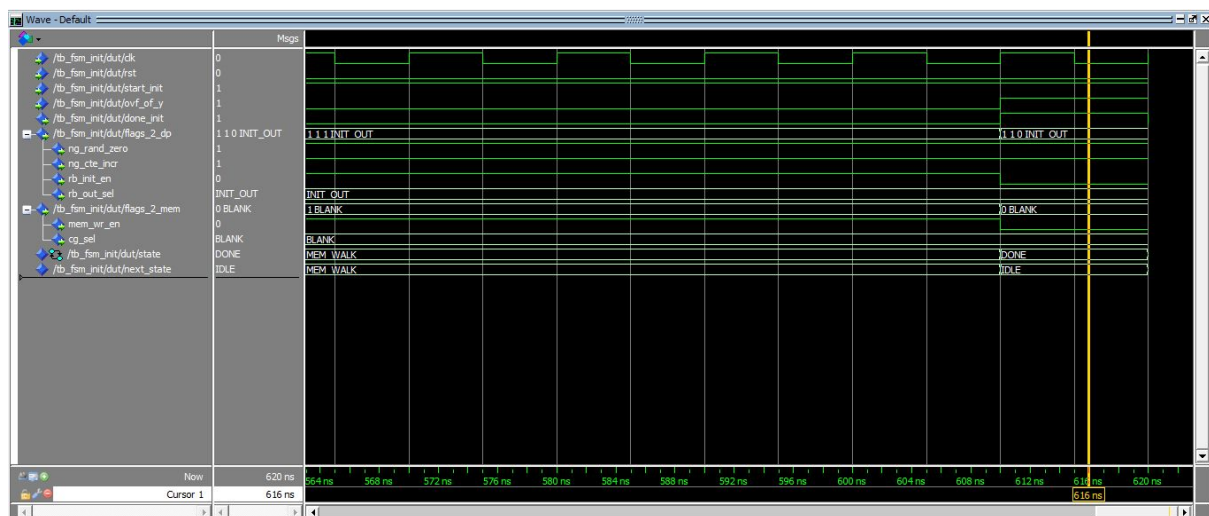
## 2) ZERO - MEM\_WALK



Após um ciclo temos a mudança para estado MEM\_WALK, permanecendo aí na espera do sinal `ovf_of_y = 1` que faz com que mude para o estado DONE e controlando os sinais de saída para que a máquina organize os valores Blank na memória, de acordo com :

```
done_init          <= '0';
flags_2_dp.ng_rand_zero <= '1';
flags_2_dp.ng_cte_incr  <= '1';
flags_2_dp.rb_init_en   <= '1';
flags_2_dp.rb_out_sel   <= INIT_OUT;
flags_2_mem.mem_wr_en   <= '1';
flags_2_mem.cg_sel      <= BLANK;
```

### 3) DONE



Finalmente, momento em que a máquina atinge o estado DONE e faz com que a saída `done_init = 1`, em que temos :

```
done_init          <= '1';
flags_2_dp.rb_init_en <= '0';
flags_2_dp.rb_out_sel <= INIT_OUT;
flags_2_mem.mem_wr_en <= '0';
flags_2_mem.cg_sel   <= BLANK;
```