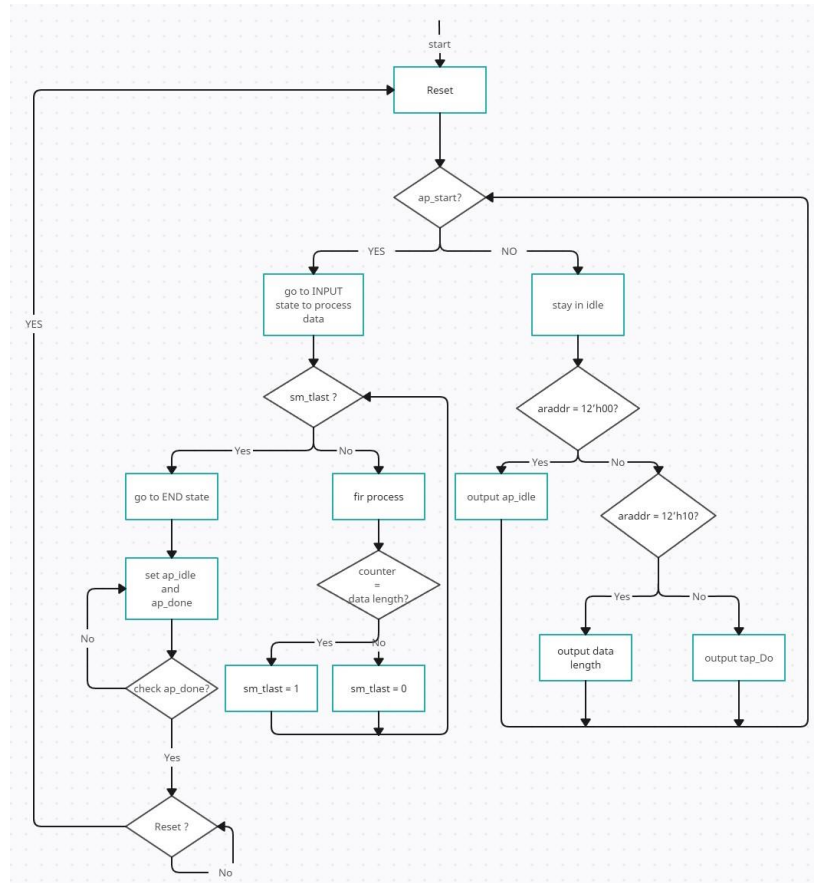


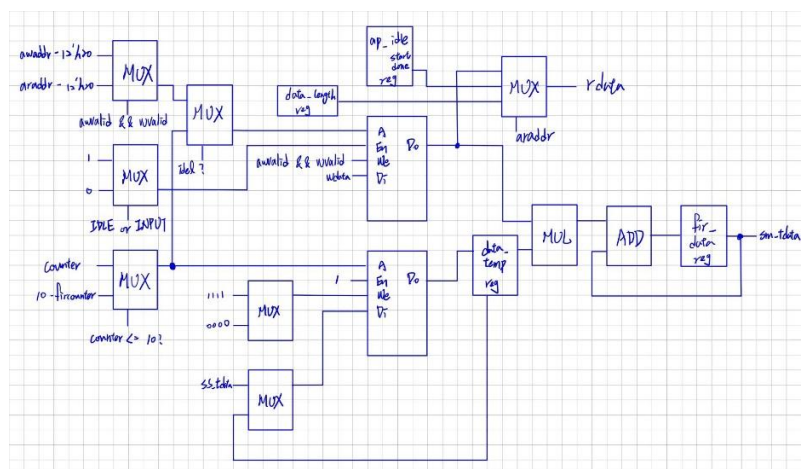
Soc Design Laboratory Lab3-report

系所：電子所      姓名：朱柏誠      學號：R11943153

## 1. Block Diagram



圖一：FIR Block Diagram



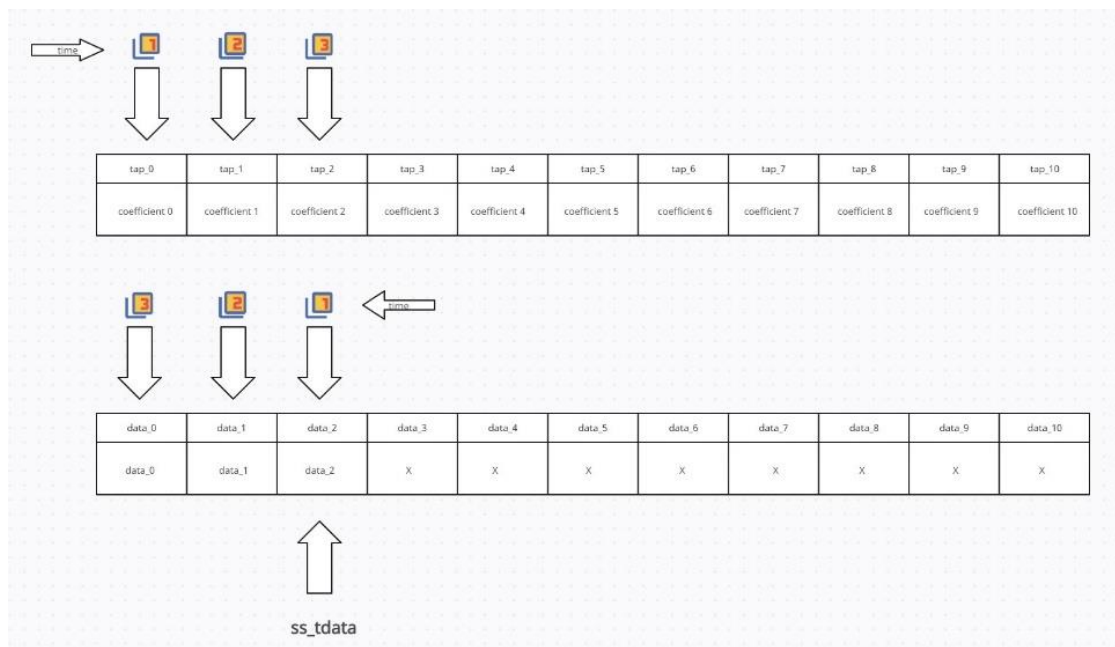
圖二：FIR 之 data path

本次實驗的 Diagram Block 如圖一所示，在 reset 後保持 ap\_idle 狀態，即待在 IDLE 的 state 並判斷輸入的 awaddr 為何病寫入相對應的資料 (data length 或是 tap parameter)，並偵測 araddr 輸出對應之 rdata (data length 或是 tap parameter)，等到 ap\_start 輸入才會進入 INPUT 的 state，另外 data\_path 如圖二中所示，詳細解釋將在下段做說明。

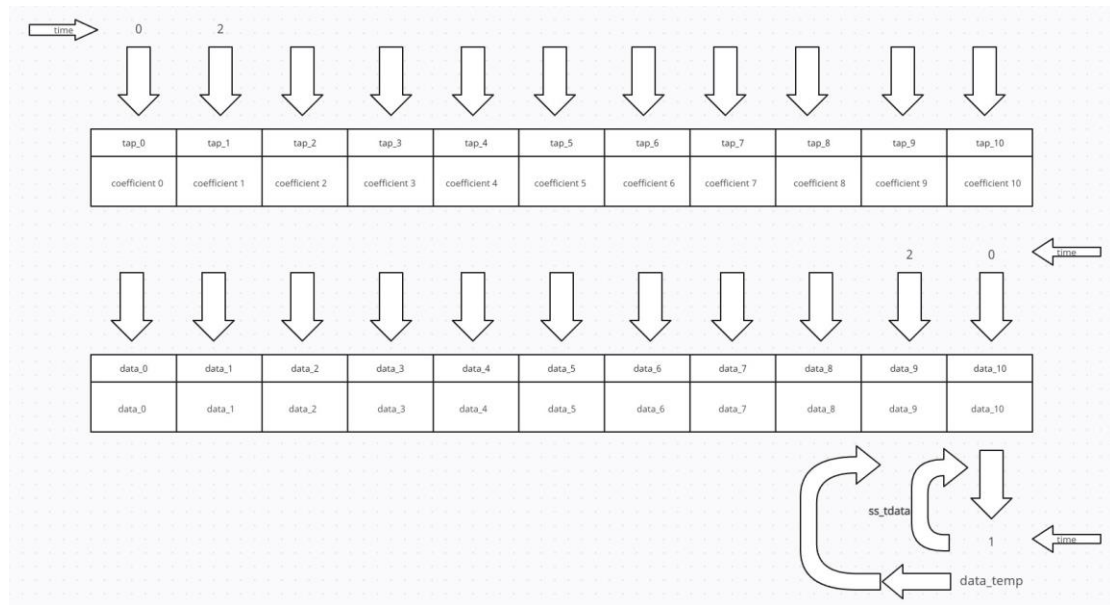
## 2. Data Operation

在 INPUT state 中主要分為兩個部分，一是在 data\_bram 還沒被填滿即計數器小於等於 10，如圖三所示由於不需要移動資料，故可以使用一個 clock 寫入 data 並讀取該位置的 data，下一個 clock 時即可利用 tap 和 data 之 Do 計算濾波器數值並做加法，並於此同時讀取下一筆 tap 和 data，以此方式可以達到最快的計算。

二是在 data\_bram 被填滿後需要做 shift 的動作故總共需 22 個 clock 計算如圖四所示，在偶數個 clock 輸入要讀取之地址，並在奇數個 clock 時能夠讀取其值並同時將 data\_Di 寫入前一個 data 以達到 shift 的動作，且在下一個偶數 clock 成功將 Do 存入 data\_temp。另外需要注意的是第一個奇數 clock 寫入的值為 ss\_tdata 而非 data\_temp 的值，因最新的數值剛從 axi\_stream 讀取還未寫入，故 data\_temp 中的值並非所需的數值，而 data 乘上 tap 的值會在偶數的 clock 存好，並在奇數的 clock 加上前面計算好的其他數值以達到只使用一個乘法和一個加法的限制。



圖三：counter  $\leq 10$  的資料運算



圖四：counter > 10 的資料運算

### 3. Resource usage

資源的利用率如下圖五、六所示，可以發現並沒有合成出 Latch，而 FF 利用率在 0.14%，另外 LUT 的使用率為 0.6%，需要注意的是圖六中 BRAM 並無使用，符合本次實驗的設計規格並沒有將 BRAM 包含在 FIR 的設計內。

Site Type	Used	Fixed	Prohibited	Available	Util%
Slice LUTs*	321	0	0	53200	0.60
LUT as Logic	321	0	0	53200	0.60
LUT as Memory	0	0	0	17400	0.00
Slice Registers	146	0	0	106400	0.14
Register as Flip Flop	146	0	0	106400	0.14
Register as Latch	0	0	0	106400	0.00
F7 Muxes	0	0	0	26600	0.00
F8 Muxes	0	0	0	13300	0.00

圖五：合成後 FF 與 LUT 的利用率

Site Type	Used	Fixed	Prohibited	Available	Util%
Block RAM Tile	0	0	0	140	0.00
RAMB36/FIFO*	0	0	0	140	0.00
RAMB18	0	0	0	280	0.00

圖六：合成後 FF 與 LUT 的利用率

#### 4. Timing Report

測試到最短周期為 12 奈秒如圖七所示，而 slack 在圖八中可以看到皆為正數，至於最長路徑如圖九所示為計算 FIR 乘法時的路徑，若要避免此問題可以再設計 16bit 乘法器，將一部分乘法併入到第二個周期運算，以減少單一 clock 的運算負擔量。

Clock Summary			
Clock	Waveform(ns)	Period(ns)	Frequency(MHz)
axis_clk	{0.000 6.000}	12.000	83.333

圖七：最快 clock 週期

Timing Details					
From Clock: axis_clk					
To Clock: axis_clk					
Setup :	0	Failing Endpoints, Worst Slack	1.116ns	Total Violation	0.000ns
Hold :	0	Failing Endpoints, Worst Slack	0.149ns	Total Violation	0.000ns
PW :	0	Failing Endpoints, Worst Slack	5.500ns	Total Violation	0.000ns

圖八：合成後之電路 slack

Max Delay Paths				
Slack (NET) : 1.116ns (required time - arrival time)				
Source: genbkl_data_temp_1_reg[16]/C				
Destination: genbkl_fir_data_reg[29]/D				
Path Group: axis_clk				
Path Type: Setup (Max at Slow Process Corner)				
Requirement: 12.000ns (axis_clk rise#12.000ns - axis_clk rise#0.000ns)				
Data Path Delay: 10.779ns (logic 8.494ns (78,798) route 2.285ns (21,2026))				
Logic Levels: 9 (CARRY4S_DSP48E2-11UT2-1LUT6-1)				
Clock Path Skew: -0.145ns (DCD - SCD + CPR)				
Destination Clock Delay (DCD): 2.126ns = ( 14.128 - 12.000 )				
Source Clock Delay (SCD): 2.456ns				
Clock Pessimism Removal (CPR): 0.184ns				
Clock Uncertainty: 0.055ns ((TS/2 + TJJ*2)*1/2 + DJ) / 2 + PE				
Total System Jitter (TSJ): 0.071ns				
Total Input Jitter (TIJ): 0.000ns				
Discrete Jitter (DJ): 0.000ns				
Phase Error (PE): 0.000ns				
Location	Delay type	Incr(ns)	Path(ns)	Netlist Resource(s)
(clock axis_clk rise edge)				
net (f0w0)		0.000	0.000	r axis_clk (IN)
IBUF (Prop_ibuf_1_0)		0.000	0.000	r axis_clk IBUF_inst[1]
net (f0w1, unplaced)		0.000	1.771	r axis_clk IBUF_inst[0]
BUF (Prop_bufg_1_0)		0.101	1.872	r axis_clk IBUF_BUF_inst[1]
net (f0w146, unplaced)		0.584	2.456	r axis_clk IBUF_BUF_inst[0]
FXE				r genbkl_data_temp_1_reg[16]/C
-----				
FXE (Prop_fdec_C_D)		0.478	2.934	r genbkl_data_temp_1_reg[16]/Q
net (f0w2, unplaced)		0.800	3.734	r genbkl_data_temp_1[16]
DSP48E1 (Prop_dsp48e1_A[16]_PCIN[47])		4.211	7.945	r genbkl_fir_data0_0/PCK[47]
net (f0w1, unplaced)		0.055	8.000	r genbkl_fir_data0_0_n_106
DSP48E1 (Prop_dsp48e1_PCIN[47]_P[0])		1.518	9.518	r genbkl_fir_data0_1/P[0]
net (f0w2, unplaced)		0.800	10.318	r genbkl_fir_data0_1_n_105
LUT2 (Prop_lut2_10_0)		0.124	10.442	r genbkl_data_temp_2[19]_i_4/10
net (f0w1, unplaced)		0.000	10.442	r genbkl_data_temp_2[19]_i_4/0
CARRY4 (Prop_carry4_S[1]_CO[3])		0.533	10.975	r genbkl_data_temp_2_reg[19]_i_1/CO[3]
net (f0w1, unplaced)		0.009	10.984	r genbkl_data_temp_2_reg[19]_i_1_n_0
CARRY4 (Prop_carry4_CL_CO[3])		0.117	11.101	r genbkl_data_temp_2_reg[23]_i_1/CO[3]
net (f0w1, unplaced)		0.000	11.101	r genbkl_data_temp_2_reg[23]_i_1_n_0
CARRY4 (Prop_carry4_CL_O[1])		0.337	11.438	r genbkl_data_temp_2_reg[27]_i_1/O[1]
net (f0w2, unplaced)		0.622	12.060	r genbkl_data_temp_2[27]_i_8/15
LUT6 (Prop_lut6_15_0)		0.306	12.366	r genbkl_fir_data[27]_i_8/0
net (f0w1, unplaced)		0.000	12.366	r genbkl_fir_data[27]_i_8_n_0
CARRY4 (Prop_carry4_S[1]_CO[3])		0.533	12.899	r genbkl_fir_data_reg[27]_i_1/CO[3]
net (f0w1, unplaced)		0.000	12.899	r genbkl_fir_data_reg[27]_i_1_n_0
CARRY4 (Prop_carry4_CL_O[1])		0.337	13.236	r genbkl_fir_data_reg[31]_i_2/O[1]
net (f0w1, unplaced)		0.000	13.236	r genbkl_fir_data_reg[31]_i_2_n_6
FXE				r genbkl_fir_data_reg[29]/D
-----				
(clock axis_clk rise edge)				
net (f0w0)		12.000	12.000	r axis_clk (IN)
IBUF (Prop_ibuf_1_0)		0.000	12.000	r axis_clk IBUF_inst[1]
net (f0w1, unplaced)		0.838	12.838	r axis_clk IBUF_inst[0]
BUF (Prop_bufg_1_0)		0.790	13.598	r axis_clk IBUF_BUF_inst[1]
net (f0w146, unplaced)		0.439	14.128	r axis_clk IBUF_BUF_inst[0]
FXE				r genbkl_fir_data_reg[29]/C
clock pessimism		0.184	14.311	
clock uncertainty		-0.035	14.276	
FXE (Setup_fdec_C_D)		0.076	14.352	genbkl_fir_data_reg[29]
required time			14.352	
arrival time			-13.236	
slack			1.116	

圖九：合成後最長路徑



## 5. Waveform

圖十中為輸入和檢查 tap parameter 的過程，前 300ns 可以看到 Di 有確實輸入且下一個 clock 可以在 Do 看到對應的值，並在 300ns 後確實輸出各係數之值。

圖十一為 ap\_start 後 fir\_counter 小於等於 10 的計算方式，為了加快運算速度當 fir\_counter 等於 data\_counter 時就歸零，以計算下一筆濾波結果，並不用去乘以 0 浪費 clock 計算。



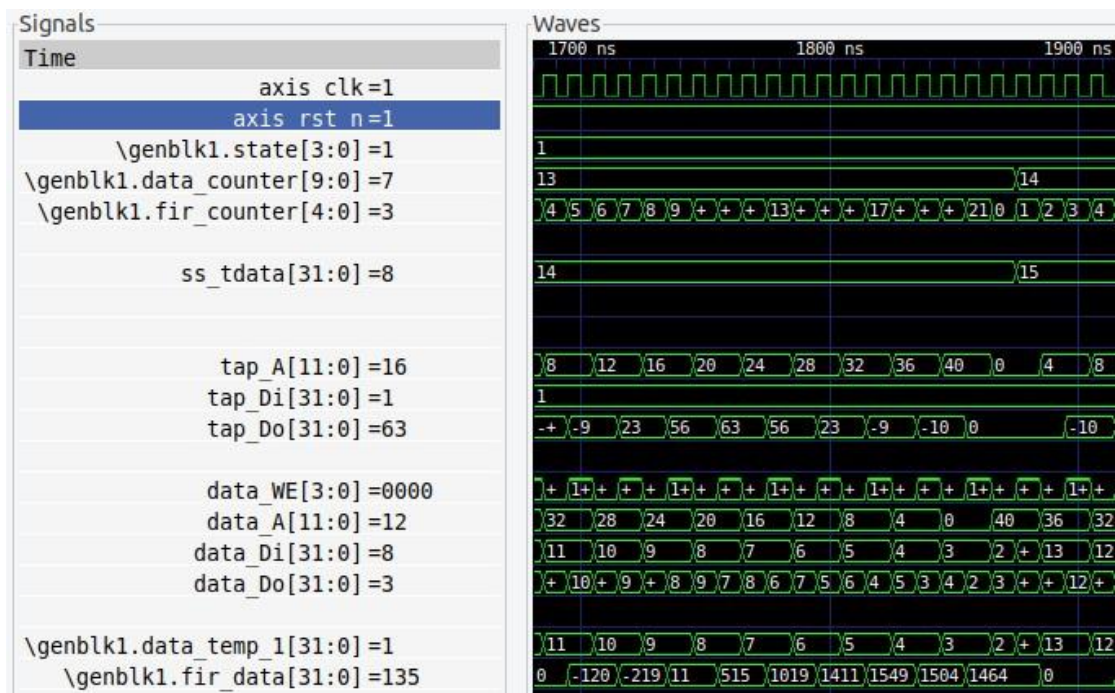
圖十：檢查並輸入 tap parameter



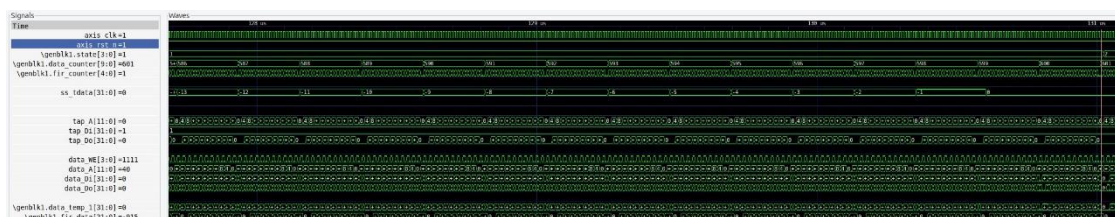
圖十一：fir\_counter 小於等於 10 的計算

圖十二為 ap\_start 後 fir\_counter 大於 10 的情況，可以發現 fir\_counter 會計算 22 個 clock 才計算完成，data\_WE 在奇數個 clock 寫入資料做 shift 的動作，data\_temp 在偶數個 clock 接收到上一筆資料的數值，以等待下一個 clock 存入下一個位置。

圖十三為整體 FSM 的過程，當 state 為 IDLE(0)時輸入並檢查 tap parameter 即圖十的內容，接受到 ap\_start 後進入 INPUT\_DATA(1)開始計算 fir 結果，最後進入 END(2)等待讀取 ap\_done 以完成整體濾波



圖十一：fir\_counter 大於 10 的計算



圖十三：FSM 的概覽