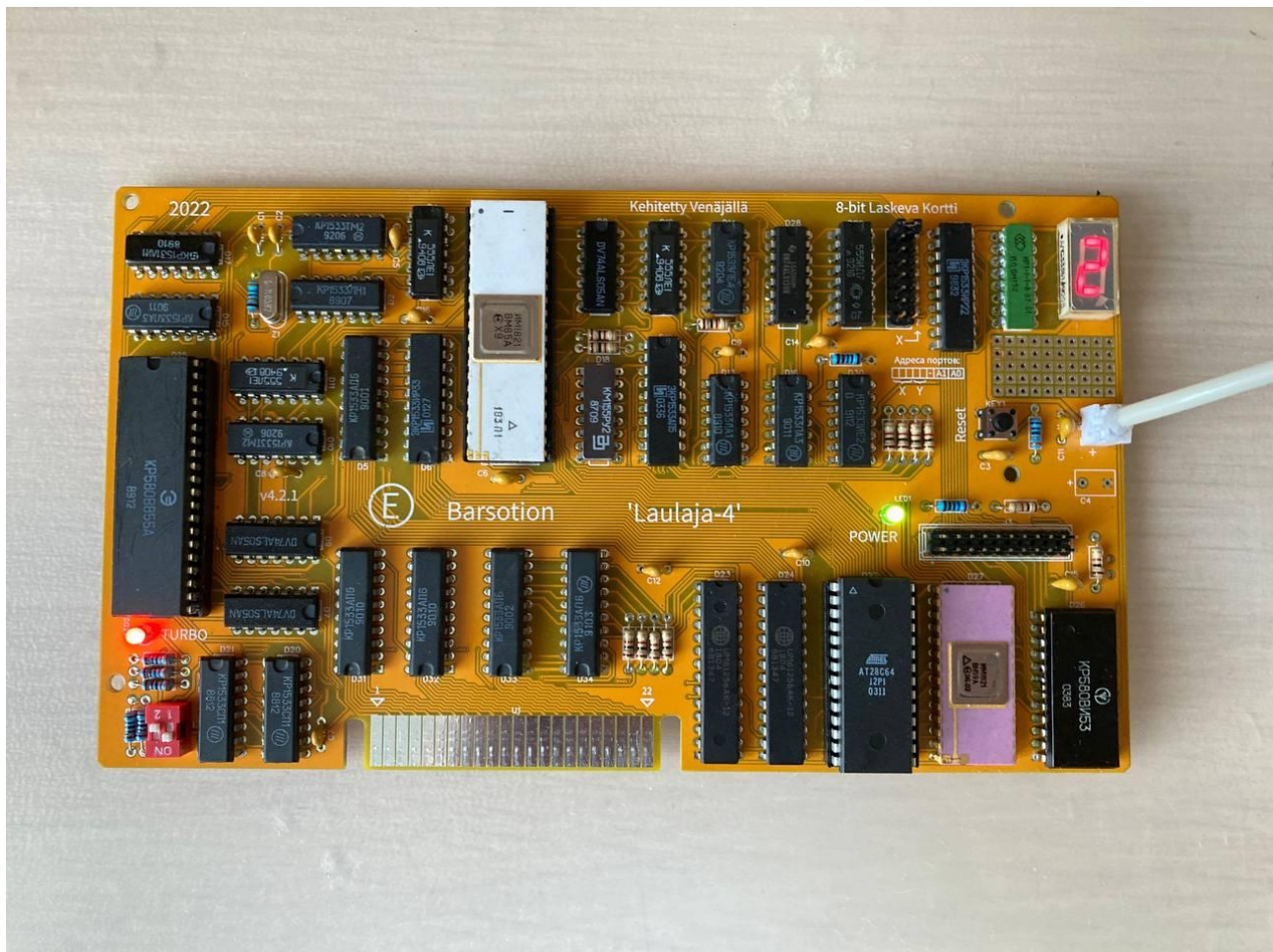


ЭВМ «Laulaja»

Вычислительные платы v4.2+.

Техническое описание.



Оглавление

Используемые сокращения.....	3
Вступление.....	4
Идея проекта.....	6
Организация кооперативной многозадачности.....	6
Организация реальной многозадачности.....	8
Блок-схема.....	11
Основные параметры.....	13
Центральный процессор.....	14
Управление памятью.....	15
Области памяти и управление доступом к ним.....	15
Менеджер памяти.....	16
Системный порт.....	17
Биты системного порта.....	18
Бит TURBO.....	19
Бит WB (Write Bank).....	19
Бит CLKE (Clock Enable).....	19
Биты MS0 и MS1 (Memory Select).....	19
Биты AU0 и AU1 (Address of Unit).....	20
Биты PT0, PT1, PT2 (Priority Temp).....	20
Биты SY0-SY6.....	20
Бит \REQ (Request).....	20
Бит Priority.....	21
Бит \CONF (Confident).....	21
Системный таймер.....	22
Контроллер прерываний.....	23
Отладочный индикатор.....	24
Приложение 1 – Принципиальная схема вычислительной платы ЭВМ «Laulaja».....	25
Приложение 2 – Временная диаграмма транзакции чтения по общей шине ЭВМ „Laulaja“ (без сигнала Protest).....	26
Приложение 3 – Список примененных компонентов.....	27
Приложение 4 – Фотоальбом.....	29

Используемые сокращения

Сокращение	Расшифровка
ЭВМ	Электронная Вычислительная Машина
ОС	Операционная Система
ША	Шина Адреса
ШД	Шина Данных
ОШ	Общая Шина, здесь – название интерфейса общения вычислительных и интерфейсных плат
ОЗУ	Оперативное Запоминающее Устройство
ПЗУ	Постоянное Запоминающее Устройство
ТТЛ	Транзисторно-Транзисторная Логика, технология производства логических ИС, использующая биполярные транзисторы как для выполнения логической функции, так и для усиления дискретного сигнала
ОК	Открытый Коллектор, тип выхода логических микросхем
ИС	Интегральная Схема, то же, что и микросхема
ПКП (PIC)	Программируемый Контроллер Прерываний (Peripheral Interrupt Controller)
CPU	Central Processor Unit, центральный процессор
MMU	Memory Management Unit, блок управления памятью
IOP	Input/Output Port, компьютерный порт
DCM	DeCoder Memory, дешифратор памяти
DCP	DeCoder Port, дешифратор портов
ВП	Вычислительная плата

Вступление

Формат даташита не предусматривает личного обращения автора. Однако в данном случае я считаю необходимым нарушить правило.

Мое имя – Виктор Киндеркнехт. Я занимаюсь цифровой электроникой с восьмого класса школы. Проект ЭВМ «Laulaja» родился как логическое продолжение моего предыдущего проекта, персонального компьютера «Микрон-2». Почти с самого начала моего увлечения логическими микросхемами я стал искать, какое устройство можно было бы создать на их базе. С удивлением для себя, однако, я обнаружил, что все цифровые микросхемы так или иначе, начиная от простейших инверторов и заканчивая микросхемами ОЗУ, создавались для постройки компьютеров и иных средств вычислительной техники. Я решил построить собственный компьютер на логических микросхемах.

Мой первый компьютер, «Микрон», базировался на восьмиразрядном микропроцессоре ИМ1821ВМ85А и был спаян на макетной плате вручную. Для этого компьютера я написал свою первую сложную программу на языке ассемблера, это был «Терминал».

Потом мне стало нехватать моего компьютера. Я решил собрать новый компьютер, который по архитектуре был бы идентичен «Микрону», однако содержал бы дополнительный параллельный порт, таймер и разъем для внешнего накопителя, FRAM-диска. Под компьютер «Микрон-2» была разработана двухслойная печатная плата.

Для компьютера «Микрон-2» я написал еще несколько программ: «Меню», «Текстовый редактор», а также примитивную файловую систему. Объединив все программы вместе с терминалом, я понял, что у меня получилась простейшая операционная система, которая позволяла создавать программы в машинных кодах, запускать их, сохранять, также можно было создавать, сохранять, открывать, модифицировать текстовые файлы. В деле отладки программ здорово помогал «Терминал». Данная операционная система получила название «BarsikOS-1».

ОС «BarsikOS-1» нельзя было назвать удобной. Почти сразу после создания своей первой операционной системы я начал задумываться о следующих шагах. Мне хотелось создать гибкую и эффективную систему с разделением времени и возможностью установки новых приложений. Однако

конструкция компьютера Микрон-2 не позволяла написать под нее такую ОС. Решено было делать новое железо под новую операционную систему.

Так появился проект «Laulaja». Он появился в 2021 году, и в 2022 году моей задачей было реализовать аппаратную часть будущего компьютера. В 2023 году я остыл к идее и почти ею не занимался. У меня серьезно не хватало знаний и опыта для написания сложной ОС. Только в конце 2023 года я осознал себя способным к продолжению проекта, и 16-17 ноября я провел серию тестов вычислительных плат, которые дали начало новой операционной системе «BarsikOS-2».

Идея проекта

Основной идеей проекта изначально было создание многозадачной ЭВМ на базе примитивных восьмиразрядных процессоров. Многозадачность эта должна была иметь две формы:

- «Реальная многозадачность» – ЭВМ должна была содержать несколько физических процессоров
- «Кооперативная многозадачность» – ЭВМ должна была снабжаться сложной ОС с разделением времени, которая позволила бы попеременно выполнять несколько процессов на одном процессоре.

Среди всех вариантов организации машины была выбрана модульная компоновка, которая подразумевала наличие платы-корзины с 4 слотами, в которые вставлялись бы вычислительные и интерфейсные платы. Так, минимальная конфигурация ЭВМ представляла бы из себя 1 вычислительную и 1 интерфейсную плату, а максимальная – 1 интерфейсную и 3 вычислительных платы.

Каждая вычислительная плата должна была нести на себе собственный процессор, ПЗУ-загрузчик, 64 кБ ОЗУ, системный порт, контроллер прерываний, таймер, отладочный дисплей и контроллер общей шины (ОШ). Целью настоящего документа является описание работы вычислительных плат.

Интерфейсная плата, в свою очередь, должна была содержать контроллер ОШ, параллельный порт, а также, опционально, таймеры, БИС последовательного порта или иные периферийные устройства.

Наиболее сложными узлами ЭВМ являются именно вычислительные платы, реализацию своего проекта я решил начать именно с них.

Организация кооперативной многозадачности

Выбранный мною процессор, Intel 8085 (ИМ1821ВМ85А), достаточно примитивен, он не имеет каких-либо менеджеров памяти или иных аппаратных средств защиты областей памяти. Адресное пространство процессора линейно и неделимо.

При проектировании ЭВМ с кооперативной многозадачностью я столкнулся с двумя проблемами: как защитить области памяти процессов от несанкционированного вторжения других процессов, и как запустить процессы,

начинающиеся с одного адреса памяти (всякий процесс имеет свой адрес начала, относительно которого устанавливаются адреса переходов всех внутренних команд ветвлений).

Решением обеих проблем могла бы стать система преобразования адреса, которая бы принимала адрес, подаваемый процессором, а затем преобразовывала его согласно некой функции $A_p = M(A_n)$, где A_n – это адрес процессора, «виртуальный адрес», а A_p – реальный адрес, поступающий на шину адреса (ША) вычислительной платы. Для каждого процесса функция $M(A_n)$ была бы своя, а для фундаментальных программ операционной системы вроде диспетчера задач адрес виртуальный совпадал бы с реальным, то есть выполнялось бы равенство $M(x) = x$.

Я решил реализовать аппаратно функцию $M(A_n)$, используя высокоскоростное ТТЛ-ОЗУ в качестве таблицы ассоциаций адресов.

Микросхема ТТЛ-ОЗУ K155PY2 имеет 16 четырехбитных ячеек, что позволяет использовать ее в качестве таблицы преобразования адресов. Если подключить 4 адресных входа микросхемы к 4 старшим битам адреса процессора, то всякое входное значение будет преобразовываться согласно содержимому данного ОЗУ.

Адресное пространство вычислительной платы условно делится на 16 четырехкилобайтных «секторов» памяти. Секторы памяти обозначаются шестнадцатиричными цифрами, от 0 до F, согласно старшим 4 битам адресного слова процессора. Так, например, сектор «С» занимает адреса \$C000-\$CFFF, а сектор «5» – адреса \$5000-\$5FFF. Четырехразрядные неинвертирующие буферы со стробированием D19.1 и D19.2 определяют источник старших 4 битов реального адреса. Если подключен буфер D19.1, то 4 старших разряда адреса процессора поступают напрямую на ША. Если подключен буфер D19.2, то 4 старших разряда адреса поступают на адресные входы K155PY2 (D18), а на ША поступают сигналы с выхода этой микросхемы (см. Приложение 1, стр.25). Режим работы вычислительной платы, в котором старшая тетрада адреса процессора поступает напрямую на ША, называется **режимом ОС**, а режим, при котором адрес изменяется – **режимом пользователя** или **защищенным режимом**. Предполагалось, что в режиме ОС будут запускаться фундаментальные программы операционной системы, а в режиме пользователя – все остальные программы, главным образом, *процессы пользователя*.

Данный подход позволяет в соответствии одному сектору виртуальной памяти ставить какие угодно сектора реальной памяти (решение проблемы процессов, начинающихся с одного адреса), в том числе имеется возможность одному сектору виртуальной памяти поставить в соответствие несколько секторов реальной памяти. Поскольку виртуальных секторов памяти, как и реальных, 16, операционная система таким образом может запретить некоему процессу в режиме пользователя доступ к некоторым секторам памяти, а значит, защитить содержимое этих секторов от возможных нежелательных модификаций.

Вычислительная плата снабжена аппаратными средствами, позволяющими загрузить информацию в таблицу преобразования адресов в режиме ОС (см. Бит WB, стр.19). При разработке вычислительных плат предполагалось, что операционная система перед запуском процесса будет предусматривать значения в таблицу преобразования адресов, таким образом создавая собственное виртуальное адресное пространство процесса, физически изолированное от иных областей памяти вычислительной платы в режиме пользователя.

В защищенном режиме, помимо всего прочего, запрещен доступ ко всем портам (предполагается, что общение с внешними устройствами будет осуществляться посредством вызова соответствующих функций ОС), а также сектор «F» аппаратно защищен от записи. Предполагается, он будет доступен всем пользовательским процессам и что в нем будут лежать функции ОС, которые может вызывать пользователь.

Организация реальной многозадачности

Процессор – это центральное устройство вычислительной системы. Работа процессора (чтение кода операции из памяти, расшифровка и выполнение) подразумевает, что именно процессор будет устанавливать сигналы чтения и записи портов, ША, управлять направлением передачи данных по ШД. Отсюда сложность организации межпроцессорного взаимодействия.

Существует несколько способов связать два или более процессоров вместе:

- Синхронный параллельный порт
- Двухадресный банк регистров или двухадресное ОЗУ, используемые в качестве буфера обмена

- Общая область одноадресного ОЗУ, управляемого схемой-арбитром, используемая в качестве буфера обмена
- Организация прямого доступа одного процессора в память другого

Был выбран четвертый вариант построения многопроцессорной системы, поскольку он наиболее полно отвечал требованиям конструкции ЭВМ, позволяя легко связать большое количество вычислительных плат. В ЭВМ «Laulaja» межплатное общение осуществляется по принципу «Ведущий-Ведомый»: инициатор общения («Ведущий») запрашивает доступ к другой плате общей шины (ОШ), которая может переключиться в «Ведомый» режим (останов процессора, предоставление доступа ко всем портам и банку 0 ОЗУ «Ведущему»). После выполнения обмена данными «Ведущий» отпускает «Ведомого», и оба устройства общей шины (ОШ) возвращаются к нормальной работе.

Устройства ОШ общаются между собой по специальному протоколу, учитывающему приоритет процессов.

Все линии ОШ можно разделить на линии с 3 состояниями, линии с открытым коллектором (ОК), а также прочие линии. К «прочим» линиям относятся линии аппаратных прерываний INT0 и INT1, сигнал сброса всех вычислительных плат RES, а также линия земли GND.

К линиям с 3 состояниями относятся сигналы данных BD0-BD7, адреса BA0-BA17 и управления чтением-записью памяти и портов \MR, \MW, \PR, \PW. Эти линии участвуют в непосредственном обмене данными между платами, когда шина захвачена.

Сигнал \REQ сигнализирует о том, что шина захвачена. Если он не активен, то есть, равен лог.1, шина свободна и ее можно захватить, сбросив \REQ в состояние лог.0.

Рассмотрим алгоритм работы с общей шиной на примере двух вычислительных плат, пусть у них будут имена А и Б. Процесс платы А хочет произвести обмен данными с платой Б. Плата А после захвата шины сбросом линии \REQ должна выставить сигналы Ad0-Ad1 и T0-T2 на шину. Линии Ad0-Ad1 – это адрес платы-получателя, то есть, платы Б. T0-T2 – линии с кодом приоритета процесса платы А, который хочет произвести обмен данными. Система аппаратно поддерживает до 8 уровней приоритета. Если приоритет процесса платы А строго больше приоритета процесса платы Б, то логические схемы платы Б переведут ее процессор в режим прямого доступа в память и

выдадут на шину сигнал \CONF как знак того, что плата Б готова отвечать на команды платы А. Сигнал \CONF может быть воспринят платой А чтением одноименного бита системного порта или как аппаратное прерывание IRQ2 контроллера прерываний. При таком стечении обстоятельств считается, что плата А перешла в **ведущий режим** работы, а плата Б – в **ведомый режим**.

Если приоритет процесса платы А равен или меньше приоритета процесса платы Б, то плата Б не выработает сигнал \CONF, и по прошествии некоторого времени плата А поймет, что не имеет доступа к плате Б. Для освобождения ОШ плате А достаточно одновременно снять с шины сигналы Ad0-Ad1, T0-T2, \REQ. Более наглядно работу с ОШ можно рассмотреть в Приложении 2 (стр.26).

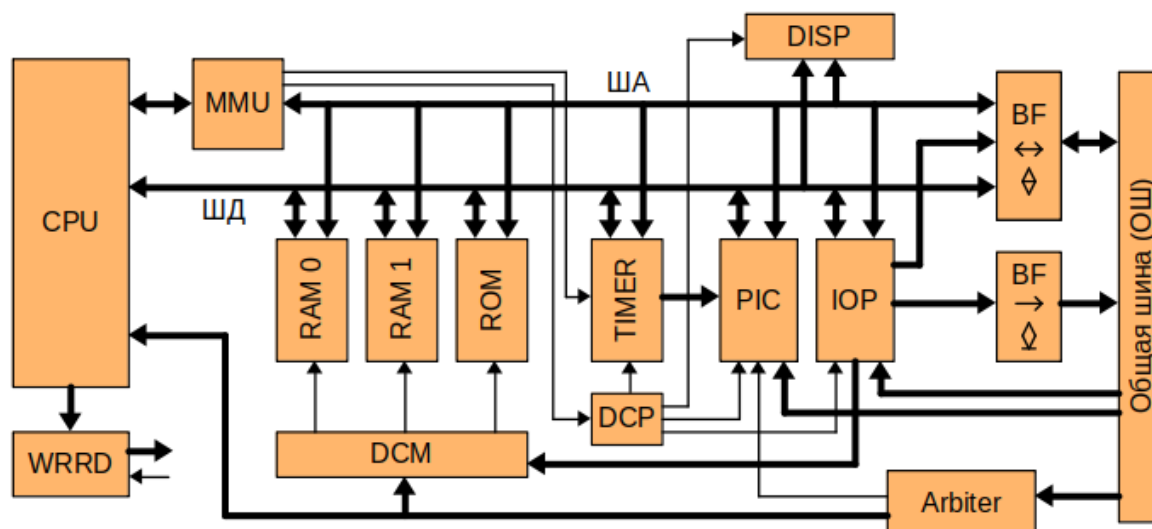
Предположим, вычислительные платы А и Б проводят обмен данными, при этом процесс ведущей платы А имеет фиксированный приоритет. Если третья вычислительная плата В тоже захочет произвести обмен данными по шине, при этом у процесса платы В приоритет будет выше, чем у процесса платы А, то плата В будет иметь право перевести в активное состояние (лог.0) линию Protest общей шины, которая немедленно прервет общение между платами А и Б, при этом плата А должна освободить шину.

Вычислительные платы ЭВМ «Laulaja» являются одинаковыми и равноправными, они могут работать как в ведущем, так и в ведомом режимах.

На текущем этапе разработки операционной системы для ЭВМ «Laulaja» (BarsikOS-v2.19) реализация реальной многозадачности не ставится в приоритет. Для начала необходимо разработать эффективную ОС, которая управляла бы одним процессором, а потом уже переходить к многопроцессорным конфигурациям.

Блок-схема

Блок-схема вычислительной платы представлена на рисунке.



Далее приведены краткие описания блоков схемы.

- CPU – процессор и его обвязка (D1, D2.5-6, D3, D4, D5, D6), см. Центральный процессор, стр.14
- MMU – блок управления памятью (D2.4, D10.1, D11.3-4, D18, D19, D15.4, D9.3, D10.1), см. Управление памятью, стр.15
- WRRD – блок выработки сигналов чтения-записи (D2.1, D2.3, D8.1-4, D12.1-3, D13.1, D14.1, D14.3)
- RAM 0, RAM 1 – оперативная память (D23 и D24 соответственно)
- ROM – постоянная память (D22)
- DCM – дешифратор памяти (D28.1, D13.2, D16.4, D17.1-2)
- DCP – дешифратор портов (D28.2)
- TIMER – системный таймер (D26, D30), см. Системный таймер, стр.22
- PIC – программируемый контроллер прерываний (D27), см. Контроллера прерываний, стр.23
- IOP – системный порт (D25), см. Системный порт, стр.17
- BF – буферы общей шины (D7, D9.1, D9.6, D31-D34)

- Arbiter – арбитр общей шины (D2.2, D8.5-6, D11.1-2, D12.4, D15.1-3, D16.1-3, D17.3-4, D20, D21)
- DISP – отладочный дисплей (D14.2, D35, U2), см. Отладочный дисплей, стр.24

Основные параметры

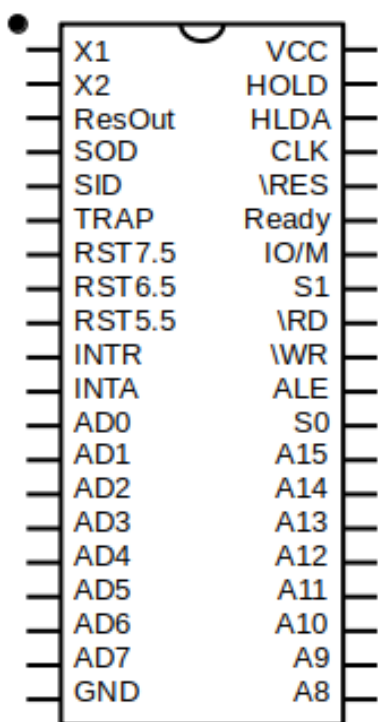
Параметр	Обозначение	Значение		
		Мин.	Ном.	Макс.
Напряжение питания, В	Упит.	4.75	5	5.25
Ток потребления, мА	Іпот.	700	—	900
Частота тактовая, МГц	Fтакт	—	—	6
Задержка распространения сигналов A12-A15 от процессора к ША в режиме ОС, нс	Таос.	—	11	—
Задержка распространения сигналов A12-A15 от процессора к ША в режиме пользователя, нс	Тапольз.	—	71	—
Время выборки адреса ведомой платы, нс	Твыб.вед.	—	66	—
Время спада сигналов \MEMR и \MEMW ведомой платы, нс	Тспад.m	—	64	—
Время нарастания сигналов \MEMR и \MEMW ведомой платы, нс	Тнар.m	—	106	—
Время спада сигналов \I/OR и \I/OW ведомой платы, нс	Тспад.io	—	76	—
Время нарастания сигналов \I/OR и \I/OW ведомой платы, нс	Тнар.io	—	118	—
Время запрета спада сигнала \MEMW при A12=A13=A14=A15=лог.1, нс	Тзап.з.	—	61	—

Центральный процессор

Вычислительные платы ЭВМ «Laulaja-4» имеют в своей основе восьмиразрядный однокристалльный микропроцессор ИМ1821ВМ85А, являющийся функциональным аналогом микропроцессора 80С85 фирмы Intel.

Набор инструкций микропроцессора содержит 78 команд, совместимых с командным набором микропроцессора Intel i8080, 2 особые инструкции 8085 (SIM и RIM), а также 8 недокументированных инструкций (DSUB, LDHI, LDSI, LHLX, SHLX, RSTV, JX5 и JNX5), всего 90 команд.

На картинках представлена распиновка процессора и его внешний вид.



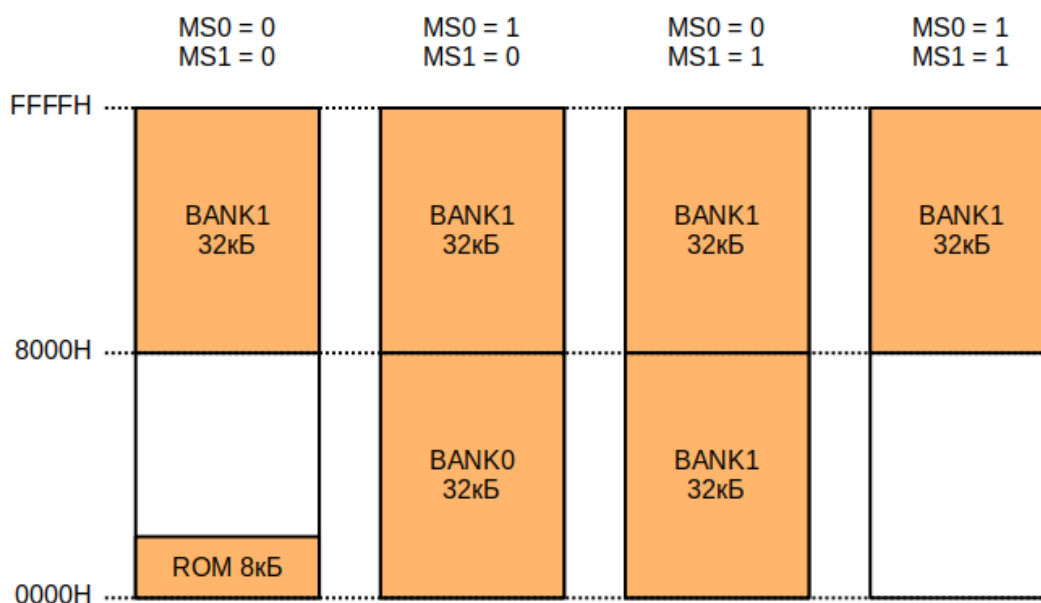
Управление памятью

Области памяти и управление доступом к ним

Каждая вычислительная плата содержит:

- 8 кБ ПЗУ (D22 типов 28C64, 2764 или K573РФ4)
- BANK0 ОЗУ, 32кБ (D23 типа UM61256)
- BANK1 ОЗУ, 32кБ (D24 типа UM61256)

В старшей половине адресного пространства вычислительной платы фиксирован BANK1 ОЗУ. Конфигурацию нижней половины адресного пространства можно менять битами MS0 и MS1.



Конфигурация 0 используется во время начальной загрузки. Большинство микросхем ПЗУ с УФ- и электрическим стиранием имеют время выборки адреса порядка 270-300нс, что не позволяет работать с ПЗУ в турборежиме тактирования. Поэтому в начале работы загрузчик ОС должен копировать сам себя в верхнюю половину адресного пространства, поменять конфигурацию памяти вычислительной платы и включить турборежим тактирования.

Конфигурация 1 используется при нормальной работе ОС. Эта конфигурация обеспечивает процессору наибольшее количество доступной оперативной памяти.

Конфигурация 3 используется в ведущем режиме работы вычислительной платы для доступа в нижнюю половину адресного пространства ведомой платы.

Менеджер памяти

Блок менеджера памяти состоит из ассоциативного ТТЛ-ОЗУ на 16 4-разрядных ячеек (D18), двух 4-разрядных неинвертирующих буферов со стробированием (D19), а также нескольких логических элементов.

В режиме ОС вычислительной платы имеется возможность устанавливать значения ячеек ТТЛ-ОЗУ (смотри Бит WB). В защищенном режиме старшие 4 разряда адресного слова, выдаваемого процессором, модифицируются согласно содержимому ТТЛ-ОЗУ; также реальный сектор «F» ОЗУ становится недоступен для записи.

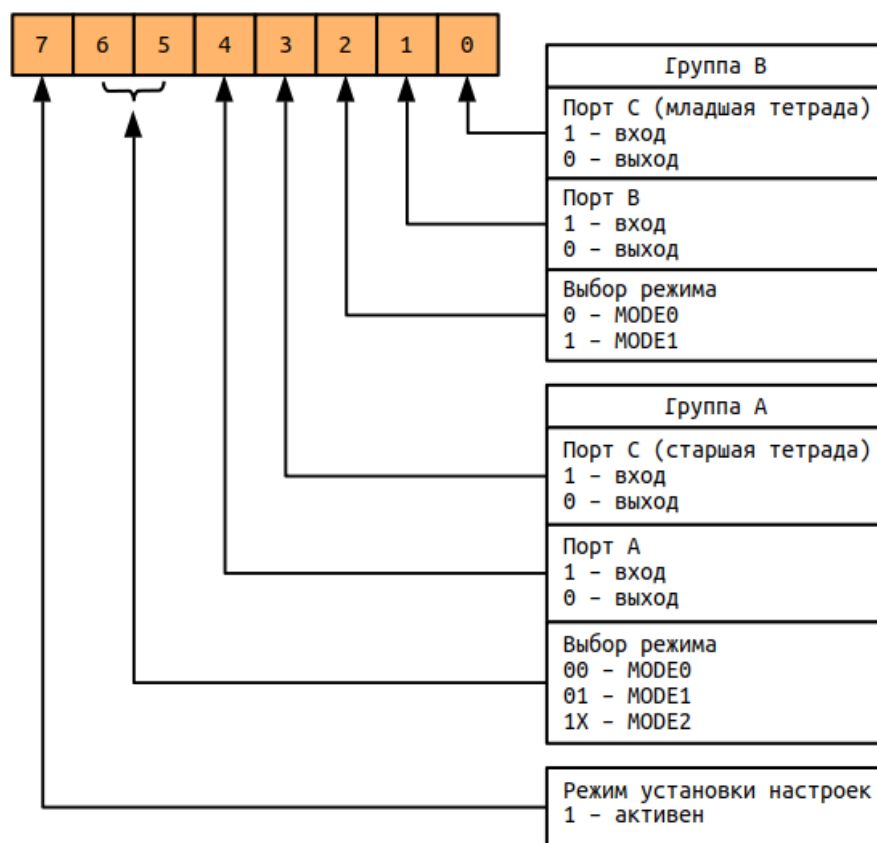
Системный порт

Вычислительные платы ЭВМ «Laulaja-4» имеют множество разнообразных режимов функций и режимов работы. Для управления всеми системами платы со стороны процессора на плате имеется микросхема параллельного порта D25 (KP580BB55A), чьи порты используются как системные.

Регистры микросхемы системного порта D25, имеют следующие адреса (XXX – положение переключателя J2 в двоичном коде):

Название регистра	Адрес	Описание	Доступ
SYSPORT_A	0bXXX00000	Системный порт «А»	RW
SYSPORT_C	0bXXX00001	Системный порт «С»	RW
SYSPORT_B	0bXXX00010	Системный порт «В»	RW
SYSPORT_INI	0bXXX00011	Регистр настроек системных портов	WO

Порядок настройки системных портов представлен на рисунке:



Значение настройки (8 бит) заносится в регистр SYSPORT_INI в начале работы. Обычно используется настройка 0b10001000 (0x88),

инициализирующая порты А, В, а также младшую тетраду С на выход, а старшую тетраду С – на вход. Однако при необходимости прочитать значение, установленное на переключателе J1, порт В должен быть инициализирован на вход, для этих целей используется настройка 0b10001010 (0x8A).

Крайне не рекомендуется инициализировать порт иначе, в противном случае неправильная настройка может привести к выходу нескольких микросхем вычислительной платы из строя.

Биты системного порта

В таблице представлены настроечные биты системных портов.

Имя	Регистр	Бит	Описание	Доступ
TURBO	SYSPOINT_C	0	Переключение ВП в турборежим тактирования (Fтакт/2)	RW
WB	SYSPOINT_C	1	Включение записи в банк ассоциаций адресов ВП	RW
CLKE	SYSPOINT_C	2	Разрешение работы таймера №2	RW
MS0	SYSPOINT_A	6	Выбор нижней части адресного пространства	RW
MS1	SYSPOINT_A	7		
AU0	SYSPOINT_B	6	Значения переключателей. Доступны к считыванию, когда порт SYSPOINT_B инициализирован на вход	RW/RO
AU1	SYSPOINT_B	7		
PS15	SYSPOINT_B	0	Дополнительные разряды адреса для общения по общей шине	RW
PS16	SYSPOINT_B	1		
PS17	SYSPOINT_B	2		
PT0	SYSPOINT_B	3	Выбор приоритета текущего процесса	RW
PT1	SYSPOINT_B	4		
PT2	SYSPOINT_B	5		
SY0	SYSPOINT_A	0	Управление линией \REQ общей шины	RW
SY1	SYSPOINT_C	3	Управление линией Protest общей шины	RW
SY2	SYSPOINT_A	1	Управление линией Ad0 общей шины	RW
SY3	SYSPOINT_A	2	Управление линией Ad1 общей шины	RW
SY4	SYSPOINT_A	3	Управление линией T0 общей шины	RW
SY5	SYSPOINT_A	4	Управление линией T1 общей шины	RW
SY6	SYSPOINT_A	5	Управление линией T2 общей шины	RW
\REQ	SYSPOINT_C	4	Чтение состояния линии \REQ общей шины	RO
Priority	SYSPOINT_C	5	Чтение состояния линии Priority	RO
\CONF	SYSPOINT_C	6	Чтение состояния линии \CONF ОШ	RO

Бит TURBO

Используется для перевода вычислительной платы в турборежим тактирования. В обычном режиме тактирования частота процессора равна $F_{\text{такт}}/4$. В турборежиме частота процессора равна $F_{\text{такт}}/2$. По умолчанию турборежим тактирования отключен. Это позволяет, например, использовать в качестве ПЗУ загрузчика D22 «медленные» микросхемы с ультрафиолетовым стиранием 2764 и K573РФ4. Большое время выборки адреса (порядка 300нс) не позволяет использовать эти микросхемы на частотах тактирования процессора больше 3МГц. После начала работы вычислительной платы содержимое ПЗУ может быть скопировано в оперативную память, а затем ПЗУ может быть отключено битами MS0 и MS1. Затем имеется возможность включить турборежим тактирования, повысив тактовую частоту.

Бит WB (Write Bank)

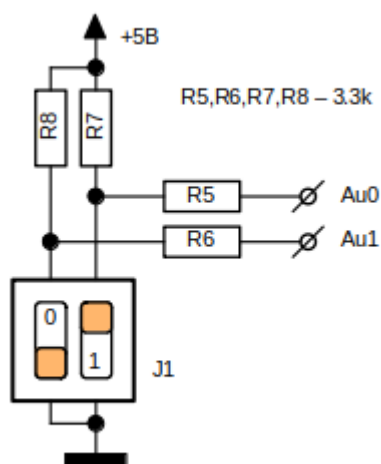
Если WB=1, то при всякой команде записи в память (STA; SHLD; STAX; MOV M,R; MVI M; POP; XTHL) в банк ассоциаций будет записываться инвертированная младшая тетрада пересылаемого в память байта по адресу, соответствующему верхней тетраде адреса, куда записывается байт. Функция доступна во всех привелегированных режимах.

Бит CLKE (Clock Enable)

Если CLKE=1, разрешается работа таймера №2, который отсчитывает квант времени процесса. В нормальном состоянии должен быть установлен в 1. Если бит CLKE сброшен в 0, плата может быть переключена в режим пользователя в любой момент, и вернуться из режима пользователя она сможет только по программному запросу пользовательского процесса.

Биты MS0 и MS1 (Memory Select)

Определяют банк памяти, подключенный к нижней половине адресного пространства. Подробнее см. Управление памятью.



Биты AU0 и AU1 (Address of Unit)

Подключены к переключателю J1 вычислительной платы по схеме, представленной на рисунке. Биты PS15, PS16, PS17 (Periphery Select)

Являются расширением шины адреса на общей шине. Во всех режимах, кроме «Ведущего» и «Ведущего режима пользователя» рекомендуется устанавливать в 1.

Биты PT0, PT1, PT2 (Priority Temp)

Определяют приоритет процесса, исполняемого вычислительной платой в текущий момент времени. Если приоритет исполняемого на плате процесса меньше, чем приоритет процесса платы, инициирующей межплатное общение, то данная плата автоматически будет переведена в «Ведомый» режим.

Биты SY0-SY6

Используются для выставления на общей шине управляющих сигналов. Важно отметить, что сигналы шины являются инверсными по сравнению с сигналами SY0-SY6.

Бит \REQ (Request)

Используется для чтения с общей шины одноименного сигнала. Если \REQ=1, то общая шина свободна, в противном случае по шине в данный момент времени идет какое-то общение.

Бит Priority

Если Priority=1, то приоритет процесса, исполняемого в текущий момент на данной плате, выше, чем приоритет процесса, захватившего общую шину, а значит, данная вычислительная плата имеет право выставить на шину сигнал Protest для останова передачи данных по общей шине.

Бит \CONF (Confident)

Используется для чтения с общей шины одноименного сигнала. При переходе в «Ведущий» режим сигнал \CONF=0 является знаком того, что целевая плата готова к общению, процессор остановлен и адресное пространство в полном распоряжении данной платы.

Системный таймер

В схеме вычислительной платы применена микросхема программируемого трехканального шестнадцатиразрядного таймера KP580BI53 (D26).

Адреса регистров данной микросхемы далее представлены в таблице (XXX – положение переключателя J2 в двоичном коде).

Название регистра	Адрес	Описание	Доступ
TIMER_COUNTER_0	0bXXX01000	Регистр данных таймера №0	RW
TIMER_COUNTER_1	0bXXX01001	Регистр данных таймера №1	RW
TIMER_COUNTER_3	0bXXX01010	Регистр данных таймера №2	RW
TIMER_MODEREG	0bXXX01011	Регистр настроек микросхемы	RW

Таймер №2 подключен к схеме управления режимом работы платы. При появлении лог.1 на выходе таймера №2 вычислительная плата фиксируется в режиме ОС, переход в режим пользователя невозможен. Вход этого таймера (Gate2, вывод №16 D27) подключен к линии CLKE системного порта. Если CLKE=лог.0, то программа может провести в режиме пользователя неограниченное количество времени. Если CLKE=лог.1, то переход в режим пользователя возможен только если таймер №2 инициализирован в режим 0 («One shot»). Переход в режим ОС в таком случае выполнится автоматически, когда таймер окончит счет.

Таймеры №0 и №1 объединены в единый 32-разрядный таймер-счетчик и могут использоваться для подсчета системного времени. Выходы таймеров №0 и №1 подключены к каналам прерываний IRQ6 и IRQ7 соответственно контроллера прерываний.

Контроллер прерываний

Вычислительные платы «Laulaja-4» имеют 6 каналов аппаратных прерываний, обслуживаемых программируемым контроллером прерываний (ПКП) D27. Микросхема D27 применяется типа KP1810BH58A, возможная замена – ИМ1821BH59A.

Адреса регистров контроллера прерываний представлены в таблице. (XXX – положение переключателя J2 в двоичном коде).

Название регистра	Адрес	Описание	Доступ
PIC_REG_A0	0bXXX10000	Регистр ПКП №0	RW
PIC_REG_A1	0bXXX10001	Регистр ПКП №1	RW

Прерывания, обслуживаемые ПКП, приведены в следующей таблице:

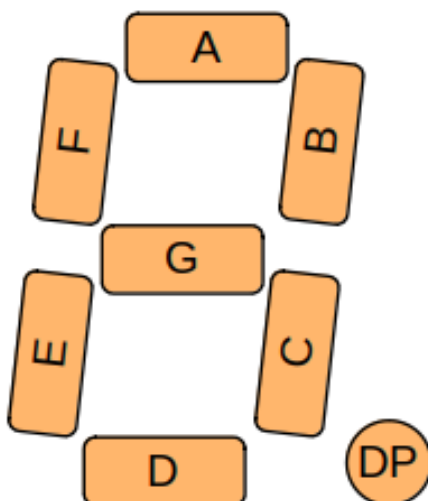
Прерывание ПКП	Имя	Описание
IRQ2	\CONF	Канал прерываний от одноименной линии общей шины
IRQ3	\Protest	Канал прерываний от инвертированной (!) линии Protest общей шины
IRQ4	INT1	Универсальный канал прерываний общей шины
IRQ5	INT2	Универсальный канал прерываний общей шины
IRQ6	TIMER0	Канал прерываний от таймера №0
IRQ7	TIMER1	Канал прерываний от таймера №1

Отладочный индикатор

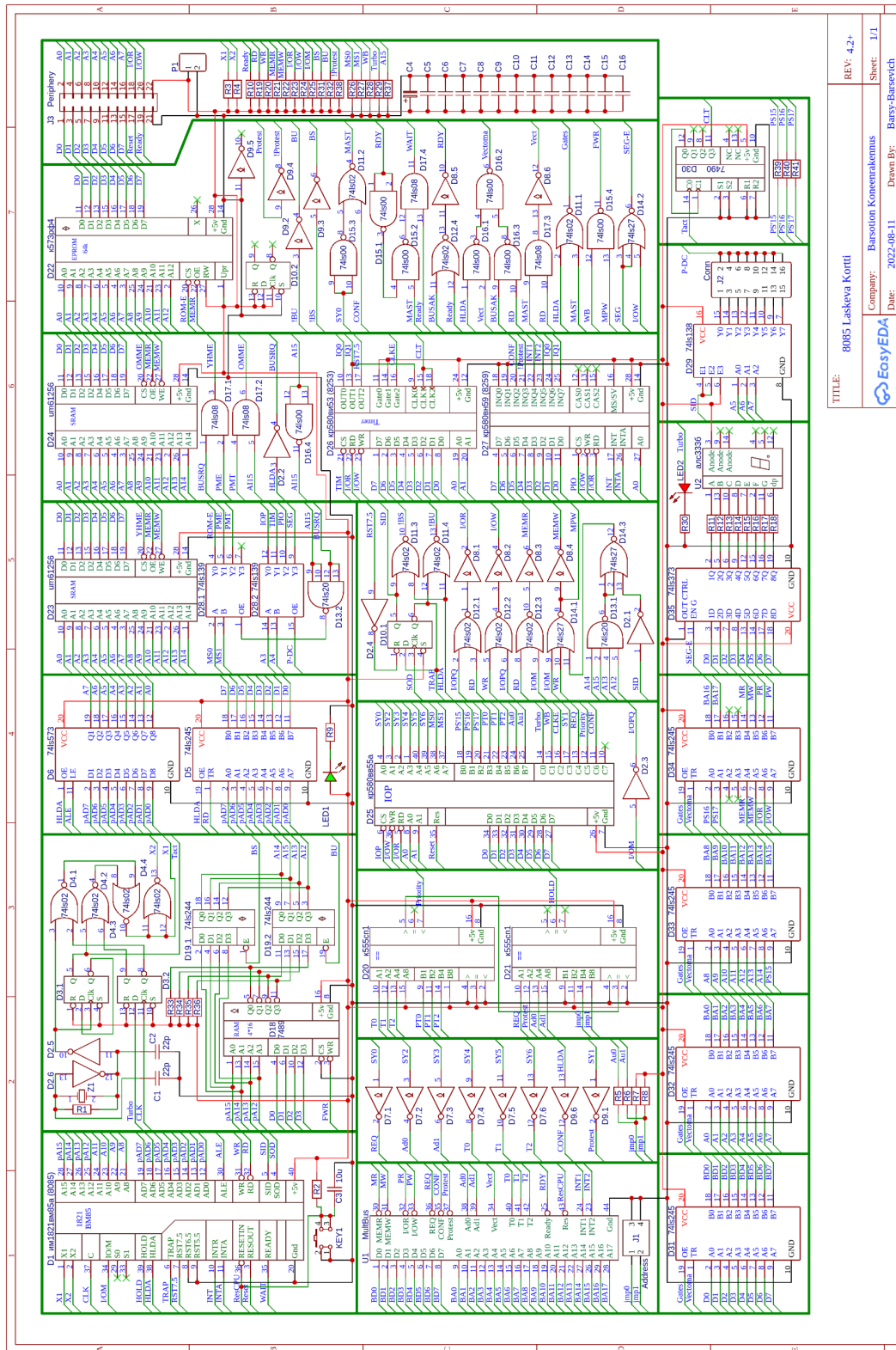
Для облегчения отладки тестовых программ в схему вычислительной платы был добавлен отладочный индикатор типа АЛС333Б1. Также он может использоваться для печати кодов ошибок.

Адрес отладочного индикатора в адресном пространстве портов процессора – 0bXXX11000, где XXX – положение переключателя J2 на плате.

Разряд порта	0	1	2	3	4	5	6	7
Бит	A	B	C	D	E	F	G	DP

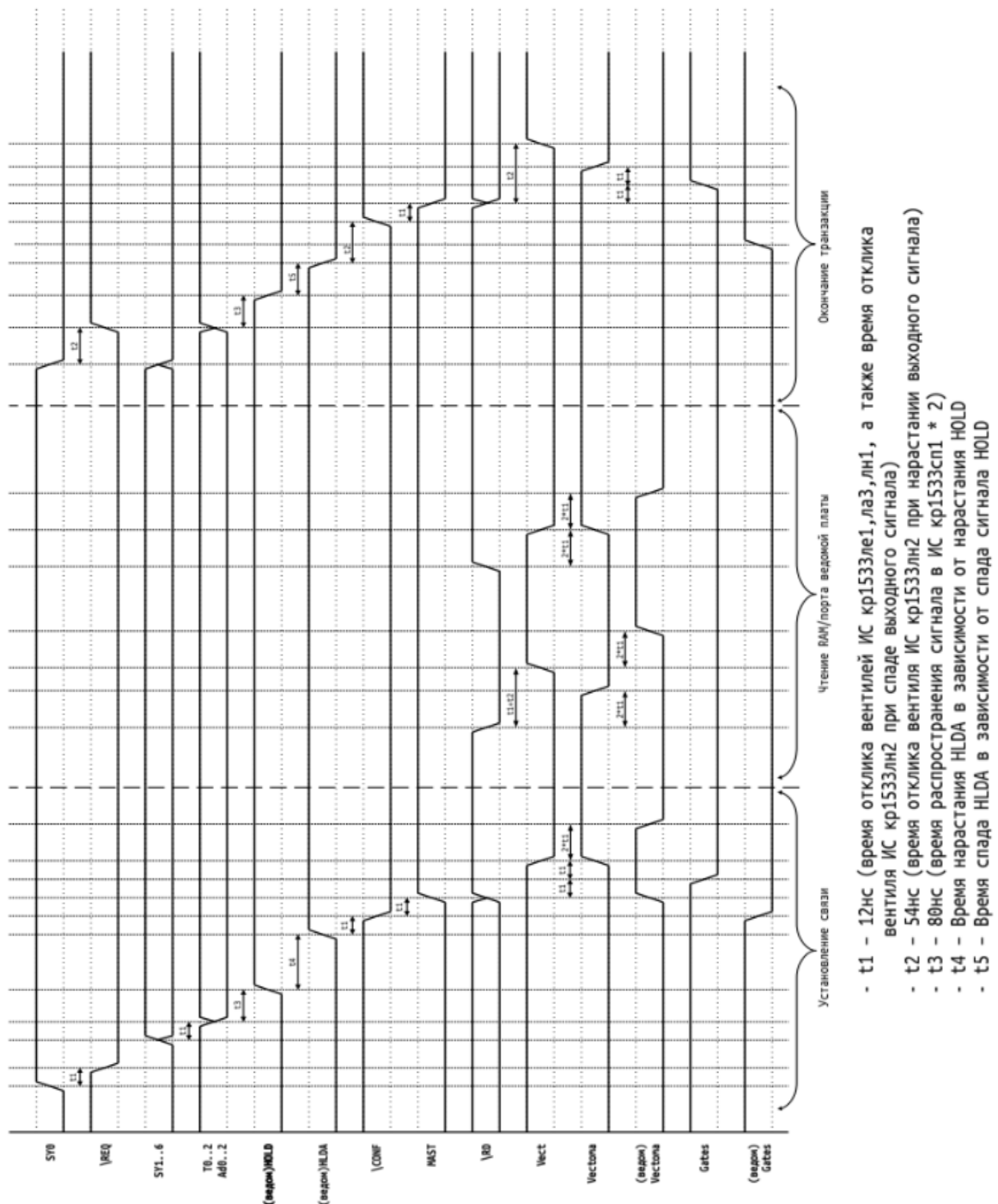


Приложение 1 – Принципиальная схема вычислительной платы ЭВМ «Laulaja»



TITLE: 8085 Laskeva Kontti
Company: Barosion Konecrankemus
Date: 2022-08-11
Drawn By: Basy-Basewich
REV: 4.2+
Sheet: 1/1

Приложение 2 – Временная диаграмма транзакции чтения по общей шине ЭВМ „Laulaja“ (без сигнала Protest)



Приложение 3 – Список примененных компонентов

Активные компоненты:

Обознач.	Тип	Описание
D1	ИМ1821ВМ85А	Восьмиразрядный микропроцессор
D2	КР1533ЛН1	6 логических элементов НЕ
D3, D10	КР1533ТМ2	2 D-триггера
D4, D11, D12	КР1533ЛЕ1	3 логических элемента 3ИЛИ-НЕ
D5, D31-34	КР1533АП6	Восьмиразрядный двунаправленный
D6	КР1533ИР33	Восьмиразрядный регистр-защелка
D7, D8, D9	КР1533ЛН2	6 логических элементов НЕ с открытым коллектором
D13	КР1533ЛА1	2 логических элемента 4И-НЕ
D14	КР1533ЛЕ4	4 логических элемента 2ИЛИ-НЕ
D15, D16	КР1533ЛА3	4 логических элемента 2И-НЕ
D17	КР1531ЛИ1	4 логических элемента 2И
D18	КМ155РУ2	ТТЛ-ОЗУ на 16 четырехразрядных ячеек
D19	КР1533АП5	2 четырехразрядных неинвертирующих буфера со стробированием
D20, D21	КР1533СП1	Четырехразрядный цифровой компаратор
D22	АТ28С64	ПЗУ 8К*8
D23, D24	УМ61256	ОЗУ 32К*8
D25	КР580ВВ55А	Три восьмиразрядных параллельных порта
D26	КР580ВН53	Три шестнадцатиразрядных таймера
D27	ИМ1821ВН59А	Программируемый контроллер прерываний
D28	КР1533ИД14	2 дешифратора 2 на 4
D29	КР1533ИД7	Дешифратор 3 на 8
D30	КР1533ИЕ2	Счетчик
D35	КР1533ИР22	Восьмиразрядный регистр-защелка

Пассивные компоненты:

Обозначение	Номинал
C1, C2	22 пФ
C3	1 мкФ
C4	1000 мкФ
C5-C16	100 нФ
R1	300 кОм

R2-R4	1 кОм
R5, R6	3.3 кОм
R7, R8	1 кОм
R9, R30	270 Ом
R11-R18	150 Ом
R10, R19-R29, R31-R41	1 кОм

Приложение 4 – Фотоальбом

