

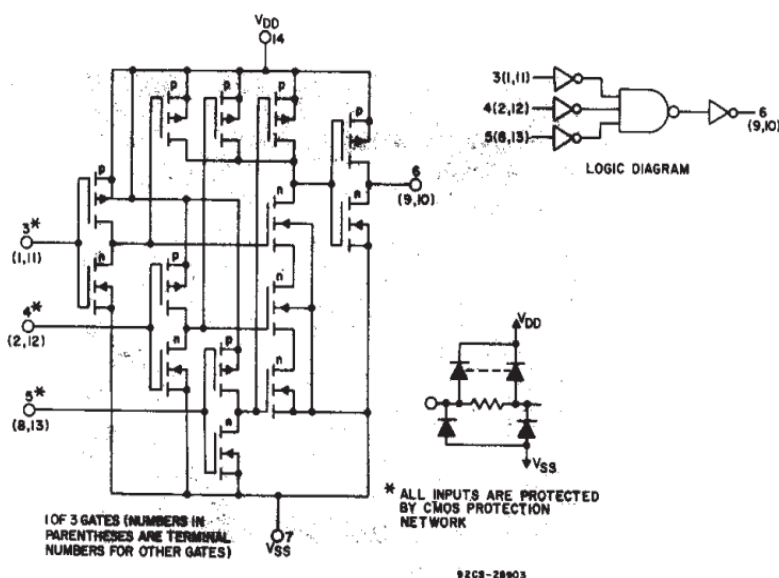
# Sprawozdanie z projektu IUSS

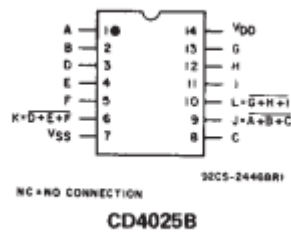
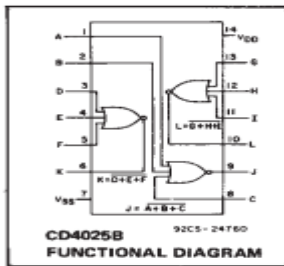
## Bramka NOR 4025

### 1.Wymagania Projektowe:

- 1.Napięcie zasilające: 3.3V +/- 10%.
2. Zakres temperatur pracy: -80C - +125C.
3. Obciążenie wyjścia 10pF/20mA.
- 4.Częstotliwość na wyprowadzeniach zewnętrznych przynajmniej 20MHz.
5. maksymalny prąd warstw metalicznych 1mA/μm (zabezpieczenie przed elektromigracją),
6. maksymalne odległości pomiędzy sąsiednimi kontaktami do podłoża 50μm i wyspy 150μm (zabezpieczenie przed zatraskiwaniem się układu),
7. PAD z warstwy M3 o wymiarach 100μm x 100μm,
8. wyprowadzenia wejściowe powinny mieć zabezpieczenie przed ESD w postaci diod lub tranzystorów p-n-p,
- 9.preferowany jest układ I/O w postaci ringu.

### 2.Schemat, lista połączeniowa, funkcja logiczna:





### 3 Input NOR Gate

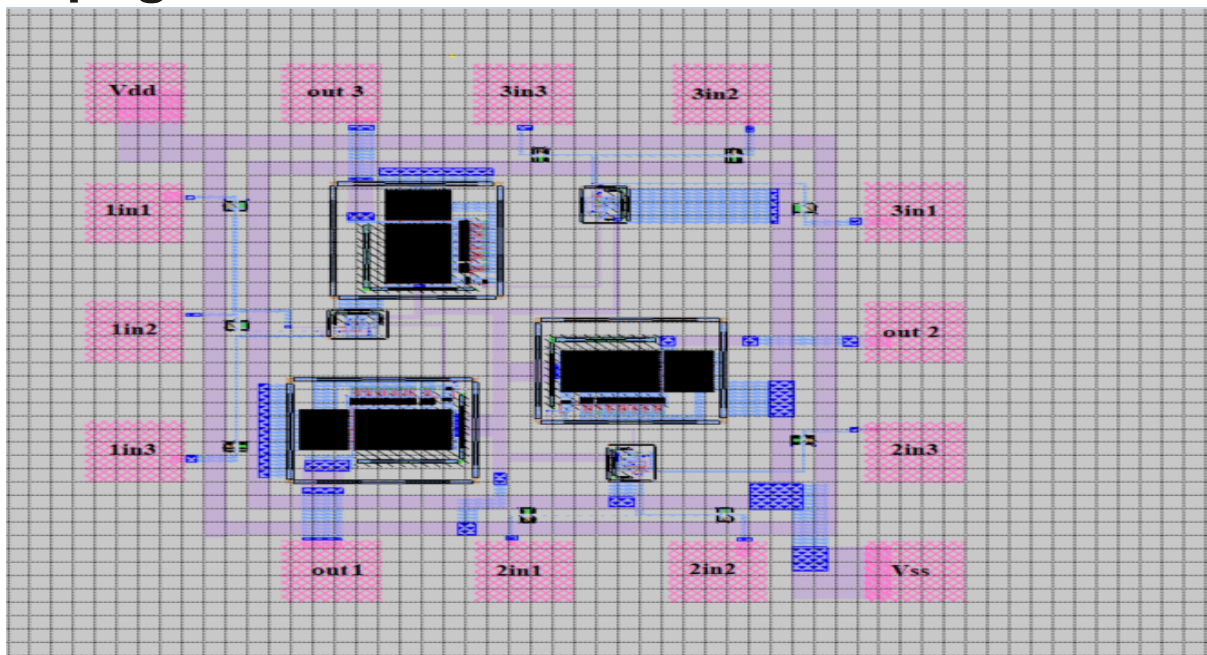


TRUTH TABLE

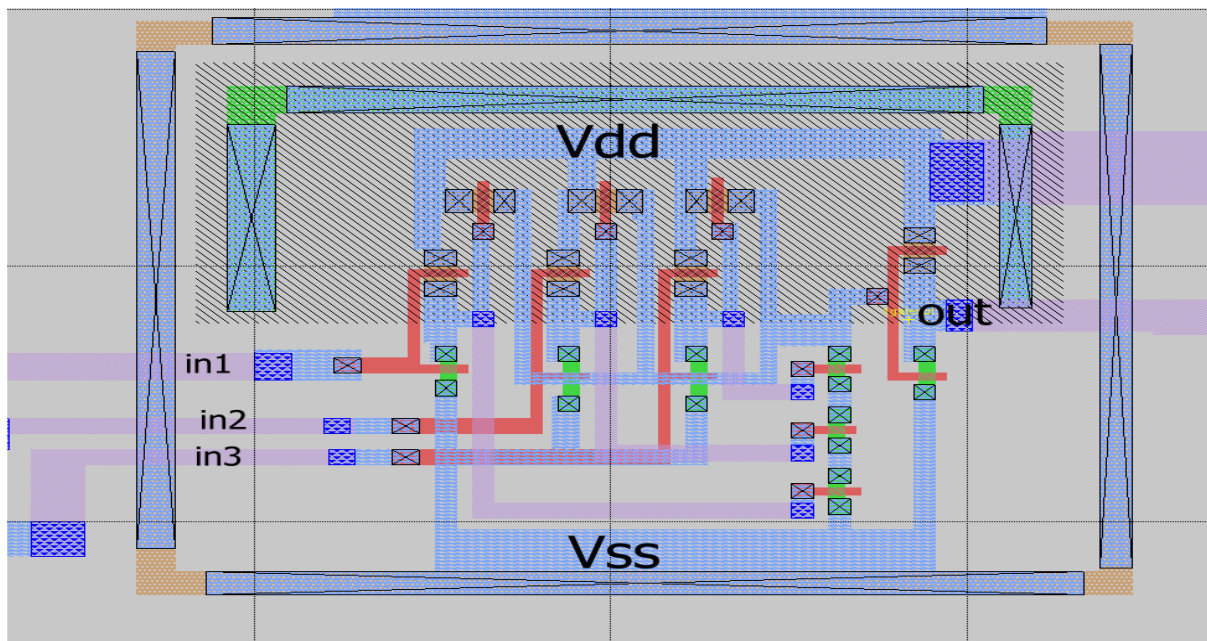
INPUTS			OUTPUT
W	X	Y	Z
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

## 3.TOPOGRAFIA:

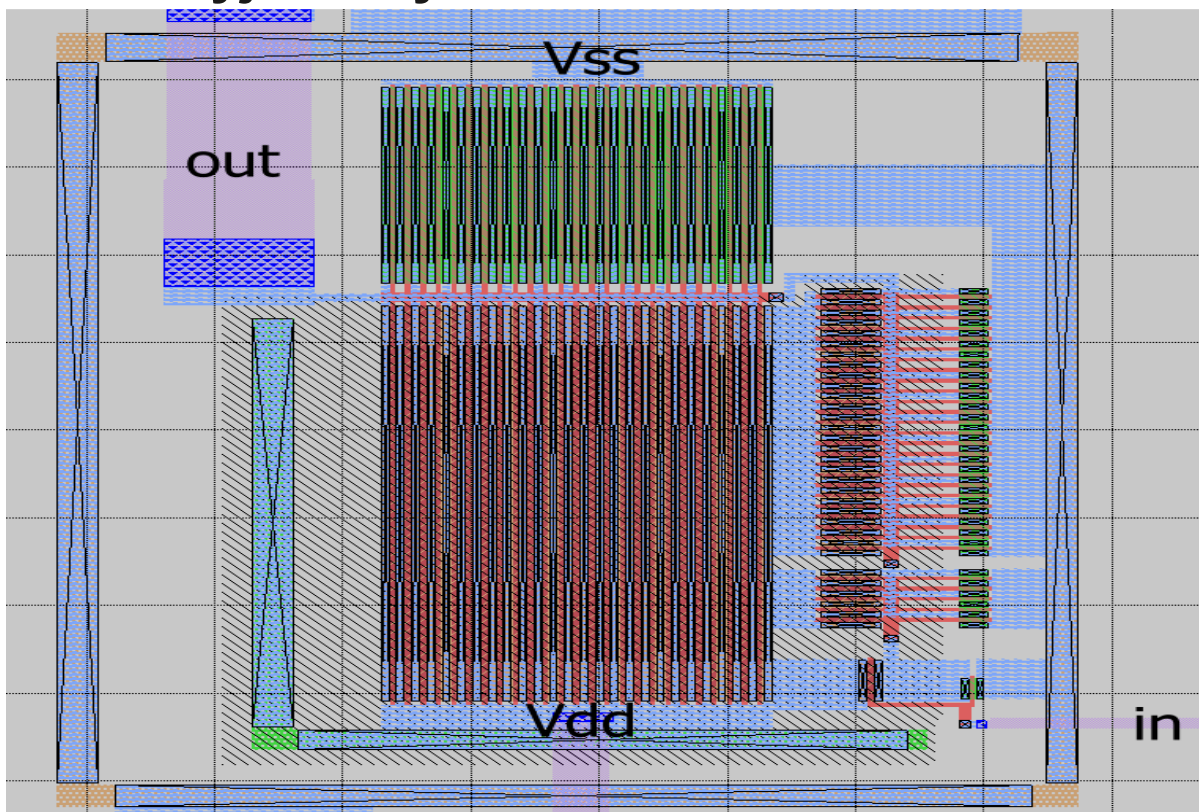
### Topografia układu:



## Topografia pojedynczej bramki

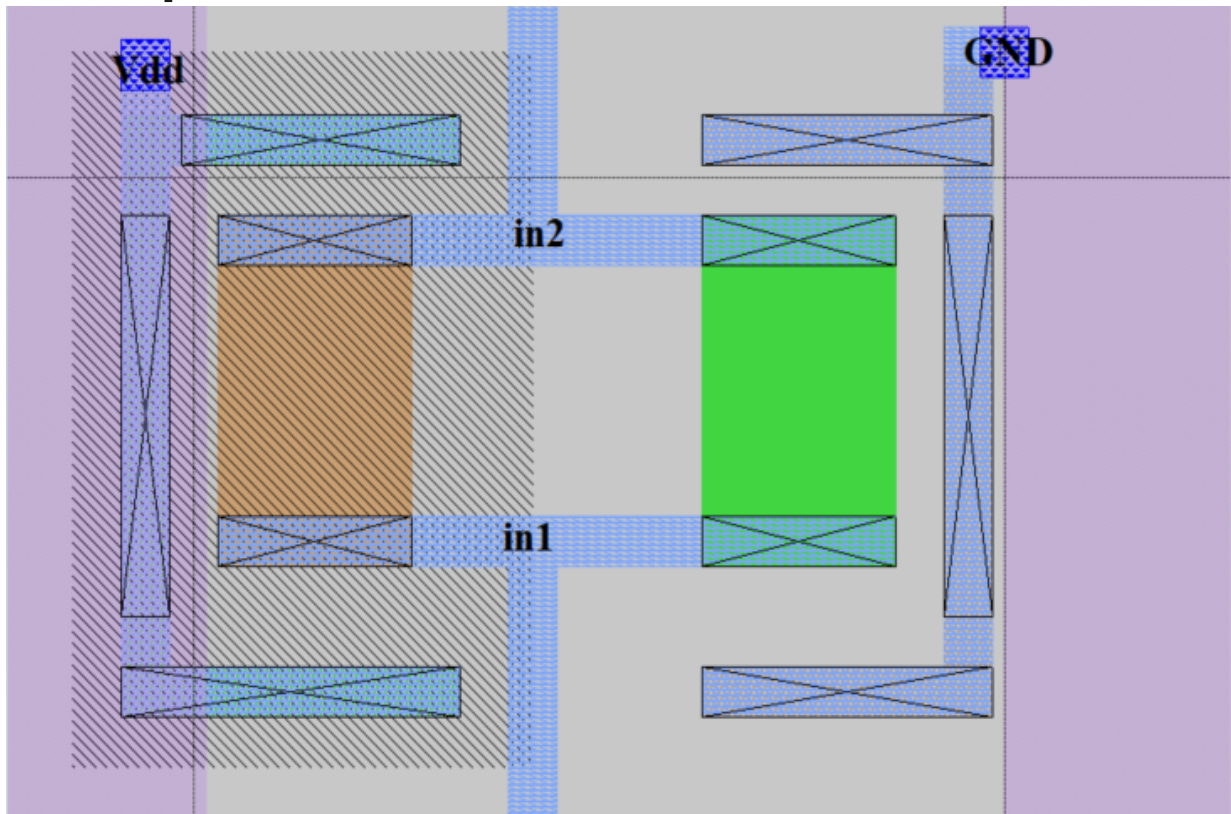


## Bufor wyjściowy:

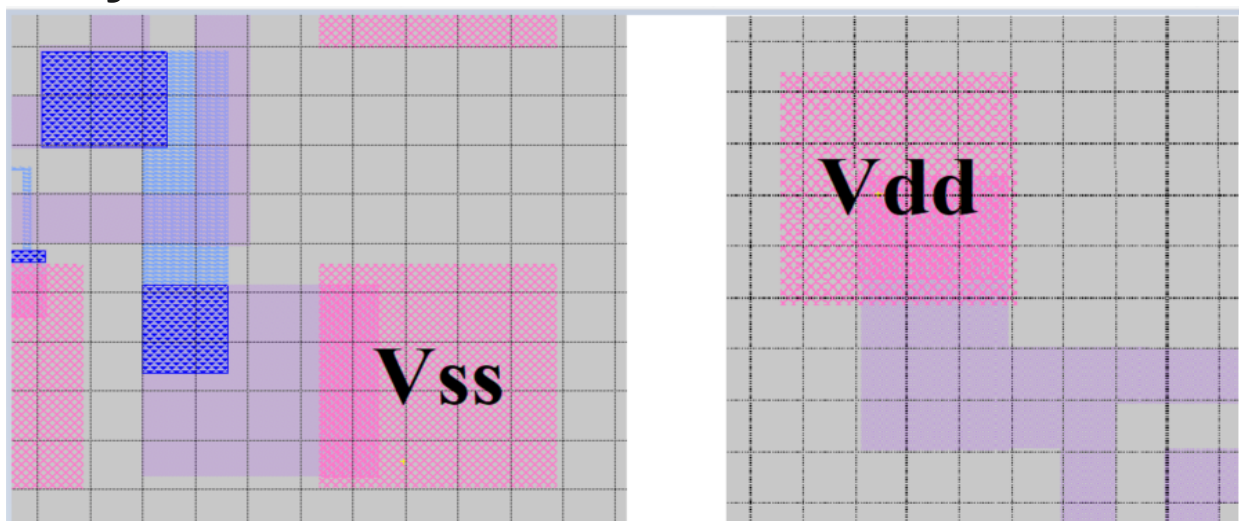




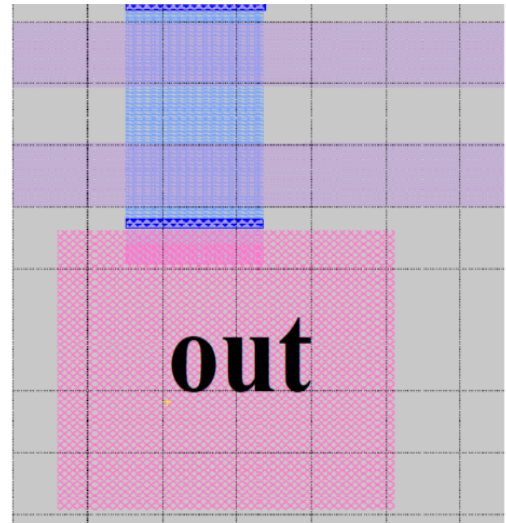
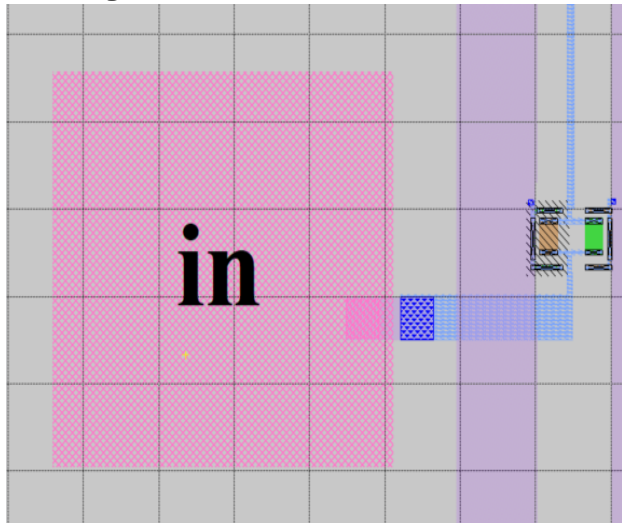
## Zabezpieczenie ESD:



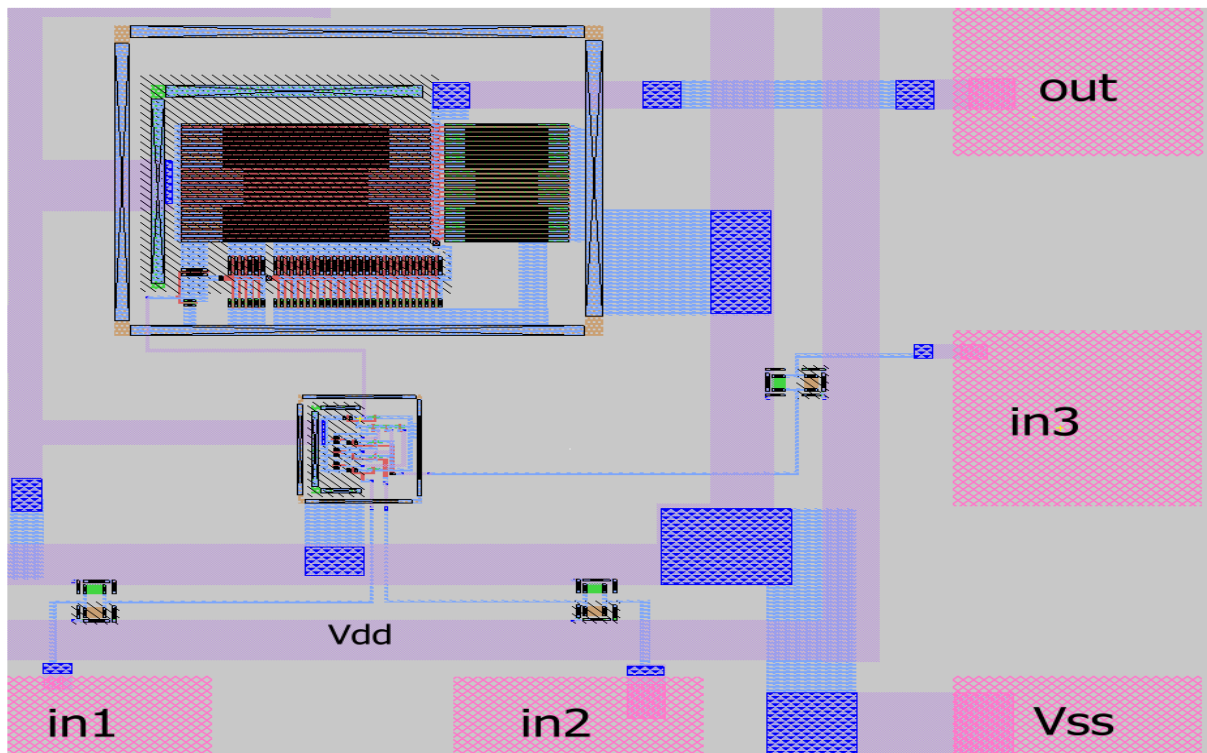
## Pady zasilania:



## Pady I/O:

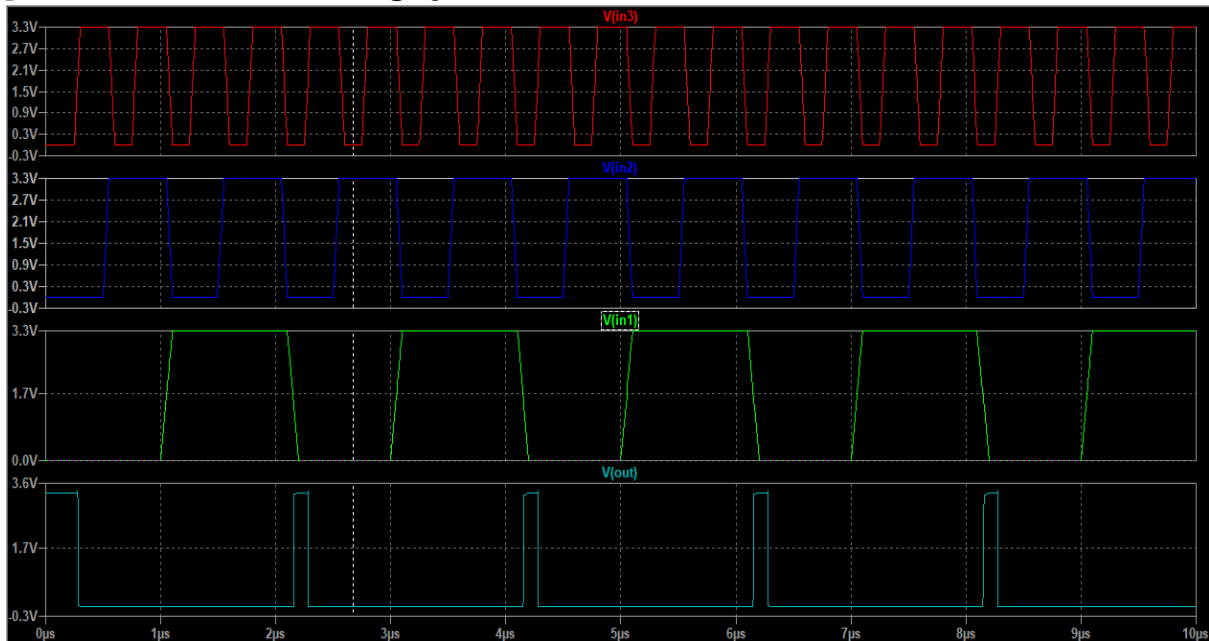


## Topografia pojedynczego układu NOR:

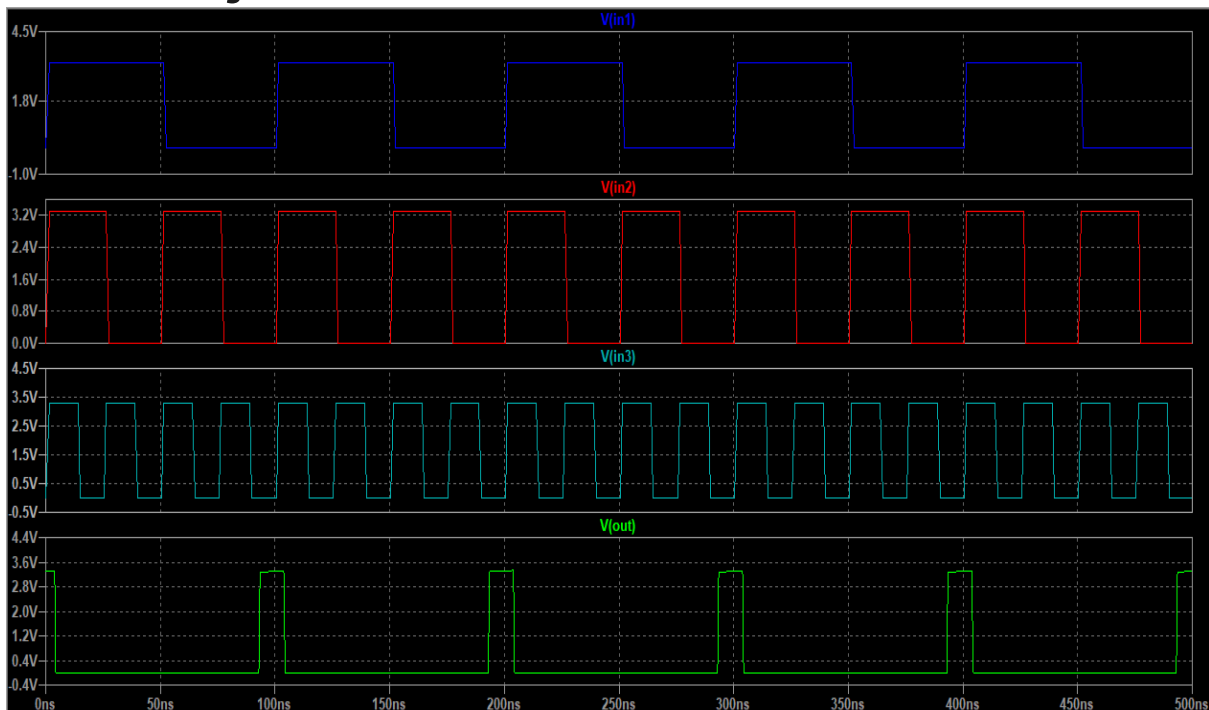


## 4.SYMULACJE

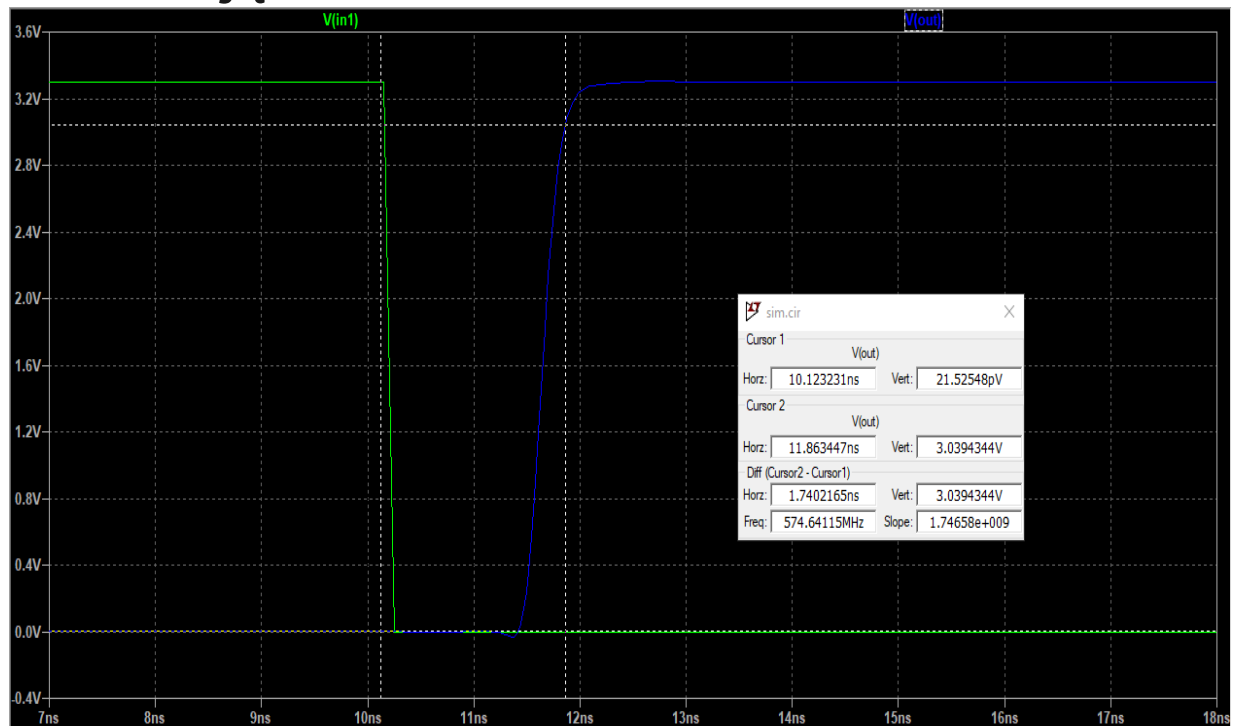
Symulacyjna weryfikacja funkcji logicznej przed ekstrakcją:



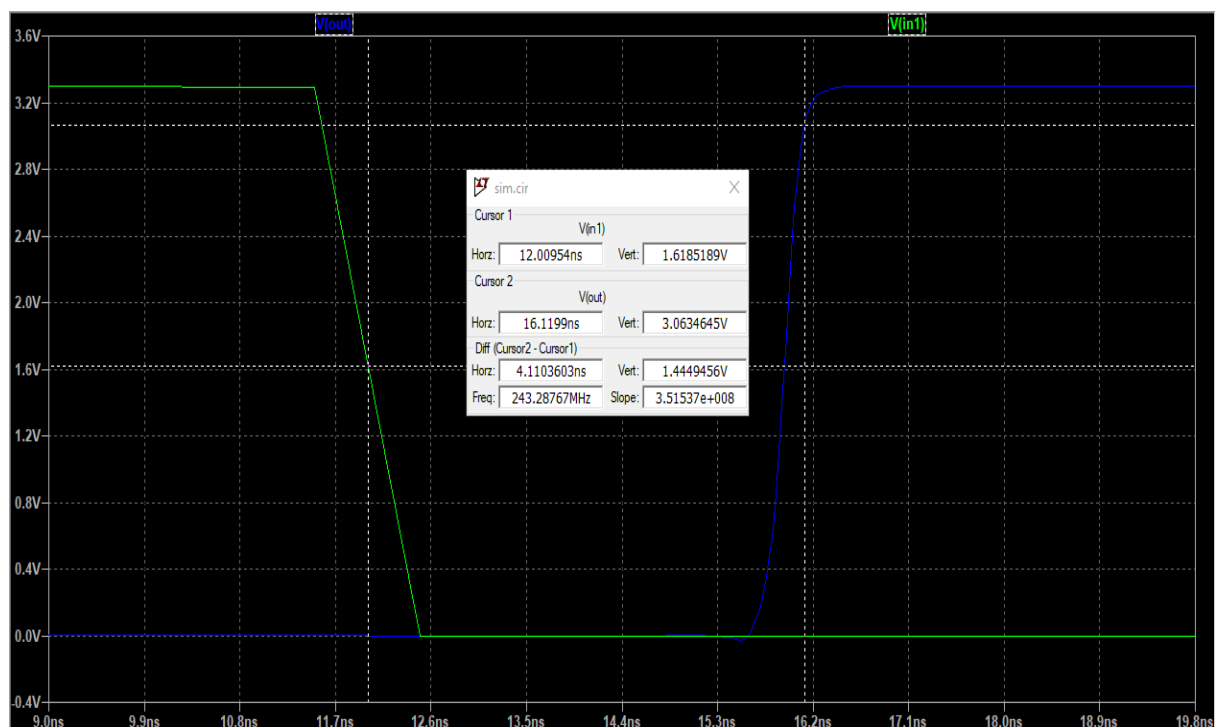
Symulacja weryfikacji funkcji logicznej po ekstrakcji:



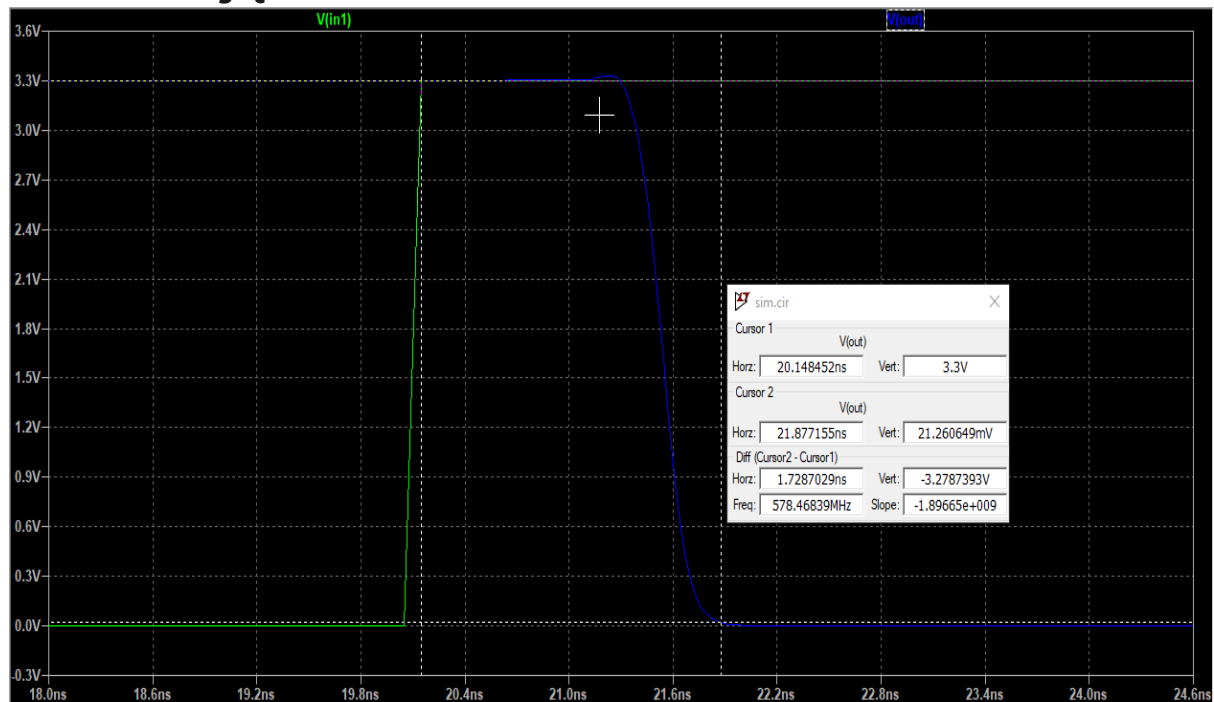
## Czas przełączania do stanu wysokiego przed ekstrakcją:



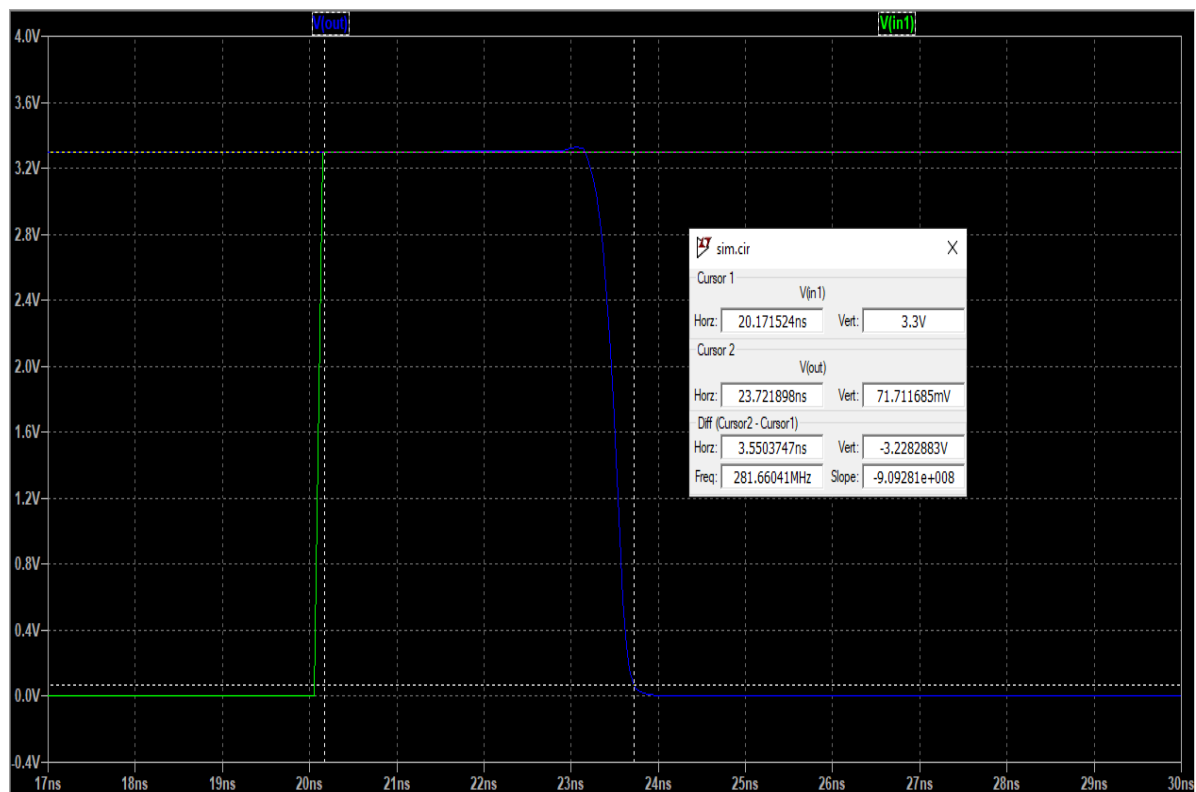
## Czas przełączania do stanu wysokiego po ekstrakcji:



## Czas przełączania do stanu niskiego przed ekstrakcją:

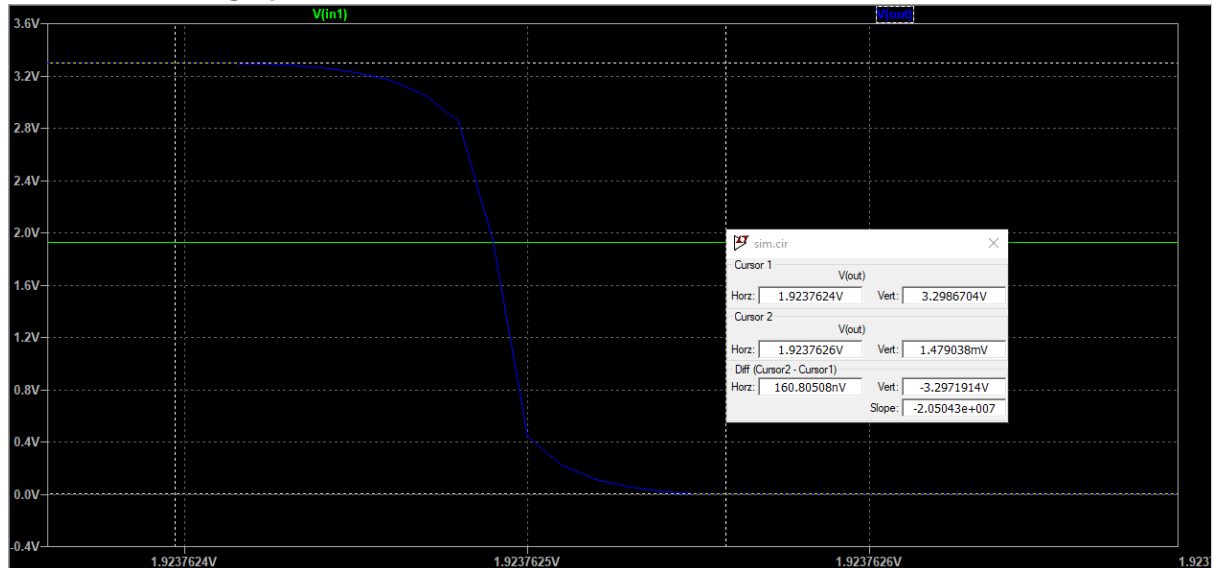


## Czas przełączania do stanu wysokiego po ekstrakcji:

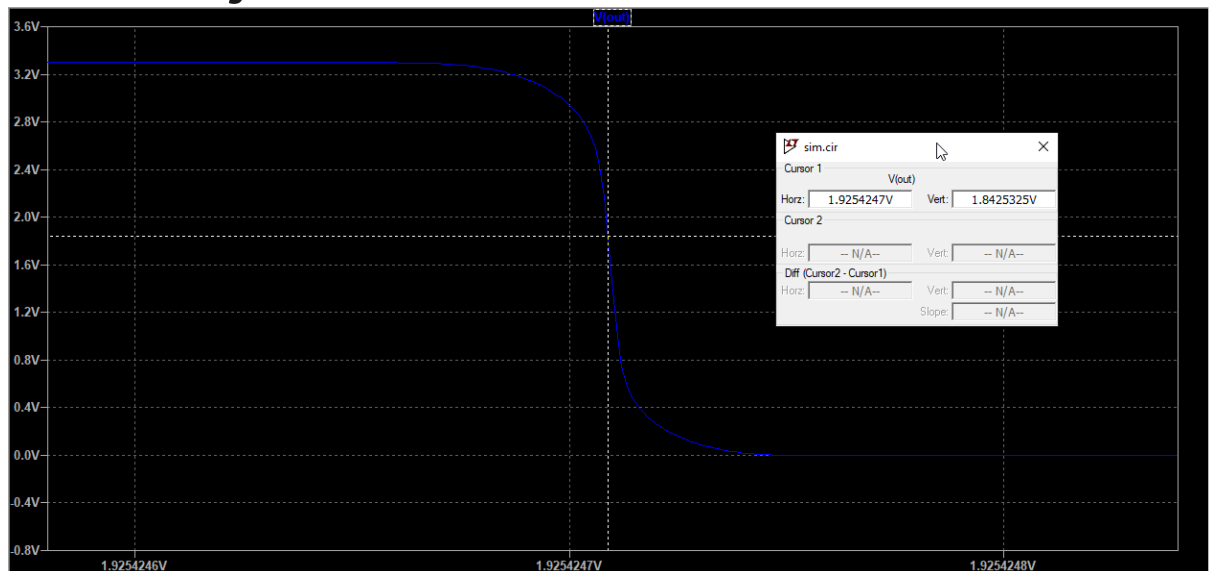




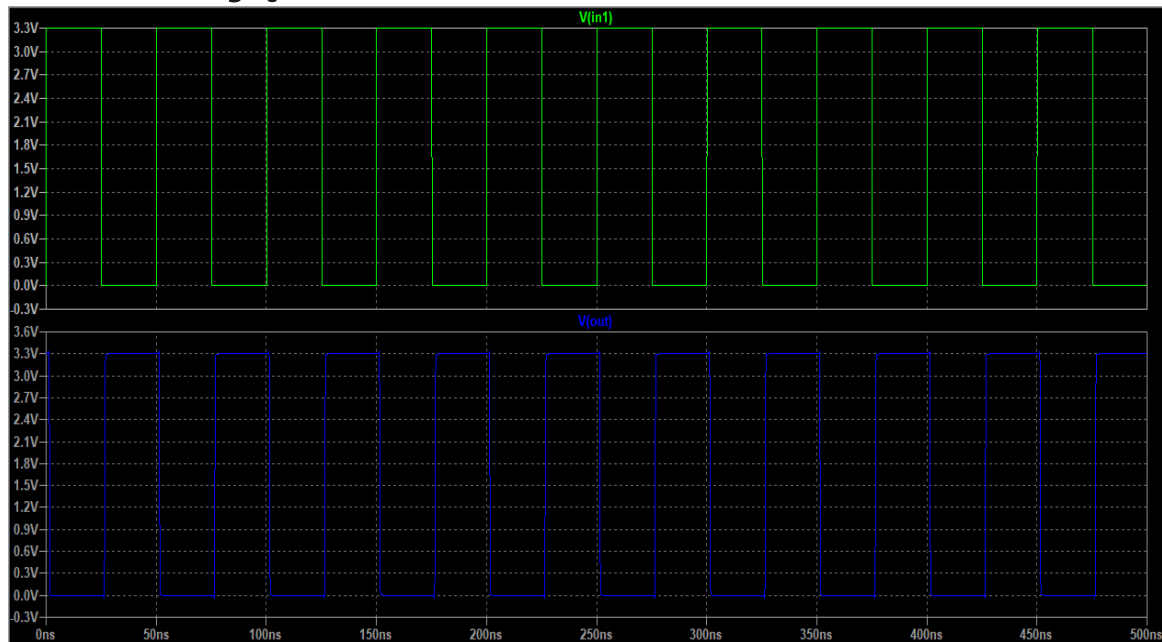
## Pomiar napięcia progu przełączania przed ekstrakcją:



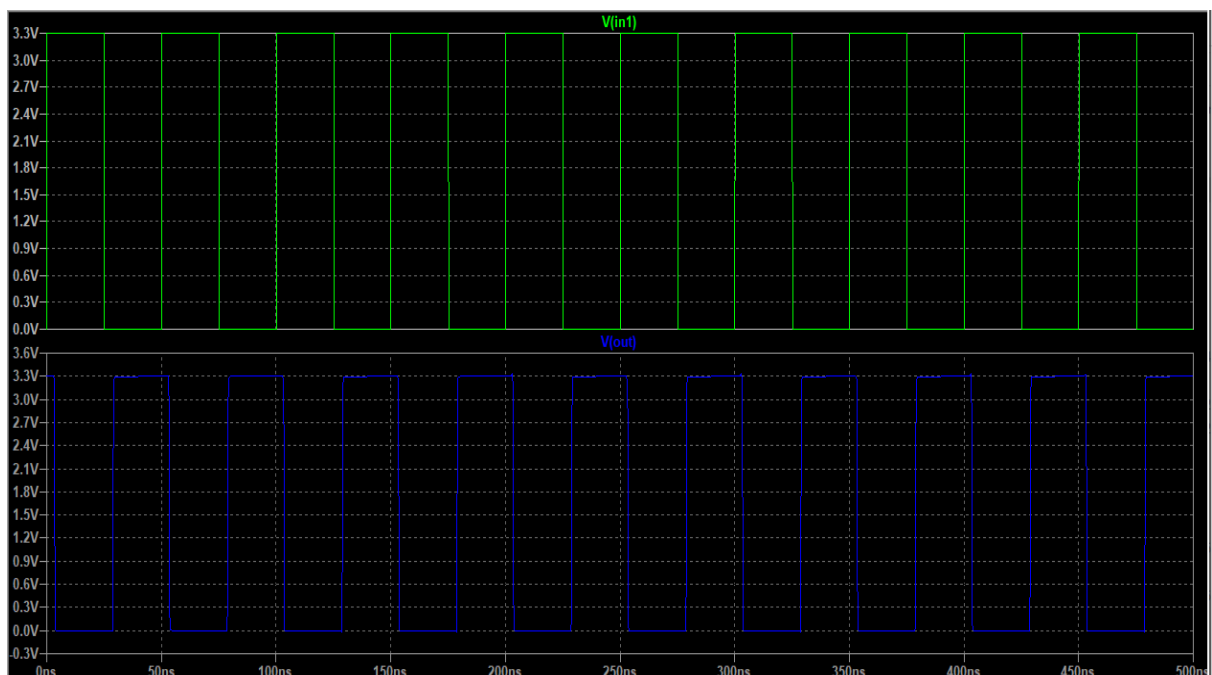
## Pomiar napięcia progu przełączania po ekstrakcji:



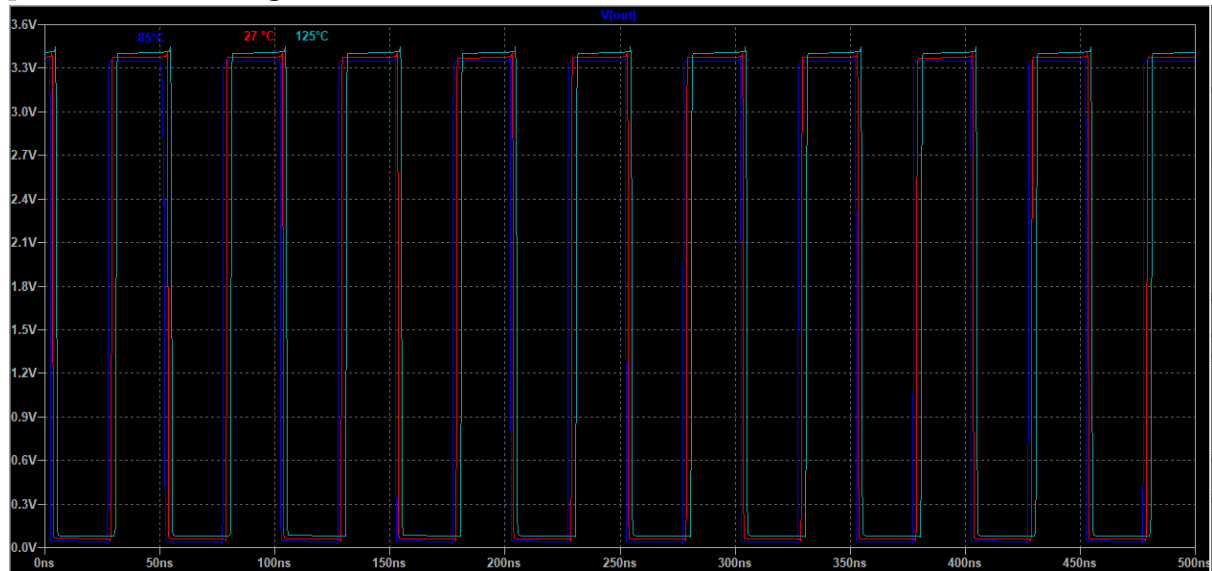
**Działanie układu przy pobudzeniu sygnałem prostokątnym o częstotliwości 20 MHz przed ekstrakcją**



**Działanie układu przy pobudzeniu sygnałem prostokątnym o częstotliwości 20 MHz po ekstrakcji**



## Weryfikacja wydajności prądowej wyjść układu po ekstrakcji:



Weryfikację przeprowadzono przy obciążeniu wyjść układu źródłem prądowym o wartości 20mA

Porównanie parametrów:

Parametry	Przed ekstrakcją	Po ekstrakcji
Czas narastania	1,74ns	4,11ns
Czas opadania	1,72ns	3,55ns
Napięcie przełączania	1,923V	1,925V

Wydajność stałoprądowa została spełniona

## 5. Lista połączeniowa:

### Opis pojedynczej bramki w spice

```
M1 1 in1 vdd vdd pfet W=1.8u L=0.6u
M2 1 in1 vss vss nfet W=0.9u L=0.6u
M3 2 in2 vdd vdd pfet W=1.8u L=0.6u
M4 2 in2 vss vss nfet W=0.9u L=0.6u
M5 3 in3 vdd vdd pfet W=1.8u L=0.6u
M6 3 in3 vss vss nfet W=0.9u L=0.6u
M7 out 4 vdd vdd pfet W=1.8u L=0.6u
M8 out 4 vss vss nfet W=0.9u L=0.6u
M9 4 1 vdd vdd pfet W=1.8u L=0.6u
M10 4 2 vdd vdd pfet W=1.8u L=0.6u
M11 4 3 vdd vdd pfet W=1.8u L=0.6u
M12 4 1 5 vss nfet W=0.9u L=0.6u
M13 5 2 6 vss nfet W=0.9u L=0.6u
M14 6 3 vss vss nfet W=0.9u L=0.6u
```

### Opis bufora wyjściowego w spice

## 6. Wnioski i podsumowanie

Układ "NOR 4025B" składa się z trzech trójwejściowych bramek NOR. Przed przystąpieniem do topografii projektu został wykonany szereg symulacji w celu przewidzenia działania układu oraz odpowiednim wyznaczeniu parametru alfa do bufora. Bufor w układzie posiada szerokie zastosowanie m.in poprawia wydajność stałoprądową i na podstawie tego został wyznaczony parametr  $\alpha=5$  dla 5 stopniowej kaskady inwerterów.

Topologia układu została zaprojektowana zgodnie z założeniami projektu. Jak już wcześniej wspomniano - został wykonany bufor złożony z kaskady inwerterów, gdzie szerokość każdego kolejnego stopnia jest  $\alpha$  razy większa dla parametru  $\alpha$  równego pięć. Pozwala to spełnić warunki dotyczące prądu wyjściowego, oraz zachować odpowiednią prędkość przełączania przy wymaganym obciążeniu pojemnościowym  $C_L = 10 \text{ pF}$ . Pomiedzy wejściem układu a bramką zostało zastosowane zabezpieczenie ESD w postaci diod, zabezpieczenie to chroni układ m.in przed skokami napięć czy wyładowaniami elektrostatycznymi. Pady o wymiarach  $100\mu\text{m} \times 100\mu\text{m}$  zostały wykonane zgodnie z założeniami. Pad odpowiedzialny za zasilanie jest umieszczony w lewym górnym rogu układu. zaś pad odpowiedzialny za podłączenie układu do masy - w prawym dolnym

W przeprowadzonych symulacjach potwierdzono zgodność układu co do



wymagań dotyczących wydajności prądowej w stanie ustalonej, częstotliwości pracy układu, oraz zakresu temperatur. Wszystkie symulacje zostały wykonane przy obciążeniu pojemnością ujętą w wymaganiach  $C_L = 10 \text{ pF}$ . Czasy przełączania bramek wzrosły ok. dwukrotnie względem wartości symulowanych przed ekstrakcją, lecz jest on wciąż wystarczający by spełnić wymaganie dotyczące częstotliwości pracy układu. Symulacja dotycząca wydajności prądowej została przeprowadzona dla stanu niskiego, gdzie uzyskano napięcie dla stanu logicznego "0" wynoszące ok. 50 mV przy obciążeniu wyjścia źródłem prądowym o wartości 20 mA.