

Приложение “p55”

к руководству пользователя модулей

UNIOxx-5, CPU188-5

Doc. p55.doc

Ver. 02.00

24-х канальный порт ввода - вывода (эмулятор м/сх 8255 mode 0)

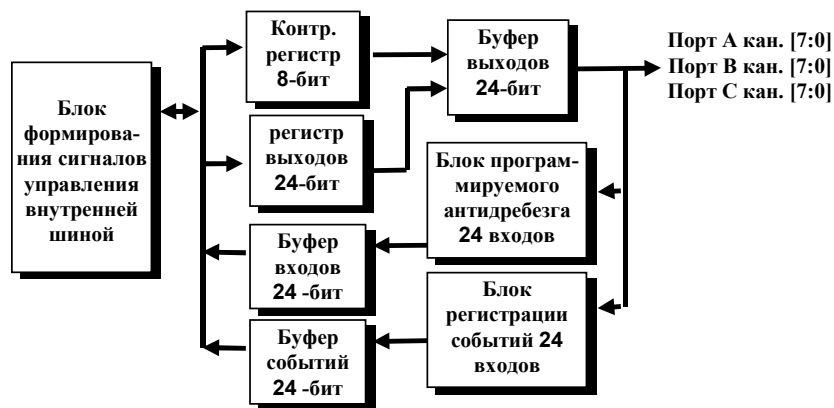
Возможности

Вариант “p55” из базового набора схем имеет следующие возможности:

- ⇒ 24 канала дискретного ввода - вывода
- ⇒ Возможность программирования направления каналов (2 группы по 8 и 2 группы по 4 канала)
- ⇒ Программируемое время антидребезга по входам:
- ⇒ 100 нс; 1.6 мкс; 4 мс ; 120 мс
- ⇒ *программируемый фронт события по каждой группе из 8-ми входов:*
1→0, 0→1, (1→0 + 0→1)
- ⇒ *Формирование маскируемого прерывания* от каждой группы из 8-ми входов

Составные части

Схема варианта “p55” включает в себя *блок сигналов управления*, контрольный *регистр направления работы каналов*, 24- разрядный *регистр выходов*, буферы входов/выходов, *блок антидребезга входов* и *блок регистрации событий*



Блок-схема варианта “p55”

Описание портов

В этом разделе описано назначение портов варианта “p55” с базовым адресом **ВА** (см. Табл..).

Табл.

Обозначение	Канал	Адрес	Примечание
Порт А	7 - 0	ВА+0	Предназначены для установки выходов и чтения состояния входов / выходов
Порт В	15- 8	ВА+1	
Порт С	23- 16	ВА+2	
Контрольный регистр	23- 0	ВА+3	Предназначен для установки направления работы групп каналов
Регистр времени антидребезга входов и фронта событий	23- 16, 15- 8, 7 - 0	ВА+4	
Регистр маски прерываний от блока событий	23- 16, 15- 8, 7 - 0	ВА+5	Разрешение/запрет прерываний от блока событий
Блок регистрации событий	23- 16, 15- 8, 7 - 0	ВА+6 ВА+7 ВА+8	Сброс и чтение регистров событий по каналам 23-0
Идентификатор схемы		ВА+14,15	

Контрольный регистр предназначен для установки направления работы групп каналов, доступен по записи и имеет формат:

Адрес	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0
ВА+3	-	-	-	Порт А	Порт С[7:4]	-	Порт В	Порт С[3:0]

Программирование группы каналов на ввод осуществляется записью 1 в соответствующий бит, на вывод - записью 0.

Порты А, В, С доступны по записи и чтению и используются для установки значений выходных линий или чтения состояния входных и выходных линий.

ВНИМАНИЕ ! При чтении состояния входов/выходов необходимо учитывать задержку блока антидребезга 100нс...120 мс.

Порты А, В, С

Адрес	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0
BA+0	A7	A6	A5	A4	A3	A2	A1	A0
BA+1	B7	B6	B5	B4	B3	B2	B1	B0
BA+2	C7	C6	C5	C4	C3	C2	C1	C0

После включения питания или аппаратного RESET все каналы установлены на ввод, регистры выходов обнулены.

Регистр времени антидребезга входов доступен по записи и имеет формат:

Регистр времени антидребезга

Адрес	Бит 7	Бит 6	Бит 5	Бит 4	Бит 3	Бит 2	Бит 1	Бит 0
BA+4	FR1 C	FR0 C	FR1 B	FR0 B	FR1 A	FR0 A	T1	T0

T[1:0] Код времени антидребезга входов может принимать следующие значения:
0 = 100 нс; 1 = 1.6 мкс; 2 = 4 мс; 3 = 120 мс.

FR[1:0]_{ABC} Код фронта события:
0 = не используется; 1 = ↑(передний фронт); 2 = ↓(задний фронт);
3 = ↑ или ↓(передний или задний фронт)

Регистр маски прерываний предназначен для разрешения/запрета прерываний от блока событий, доступен через байтовый порт с адресом BA+5. Порт доступен по записи имеет формат:

Регистр прерываний

Адрес	D7	D6	D5	D4	D3	D2	D1	D0
BA+5	-	-	-	-	-	IGR2	IGR 1	IGR 0

IGR[2:0] Разрешение прерываний от групп входов (побайтно). При установки битов разрешается прерывание от блока событий, соответственно для каналов[23:16], [15:8], [7:0].

ВНИМАНИЕ ! Сброс сигнала прерывания произойдет только после сброса соответствующих битов в *регистре событий*.

Сброс битов запрещает формирование прерываний.

Блок регистрации событий доступен по записи и чтению через байтовые порты с адресами BA+6.. BA+8 и имеет формат:

Блок регистрации событий

Адрес	D7	D6	D5	D4	D3	D2	D1	D0
BA+6	EV7	EV6	EV5	EV5	EV3	EV2	EV1	EV0
BA+7	EV15	EV14	EV13	EV12	EV11	EV10	EV9	EV8
BA+8	EV23	EV22	EV21	EV20	EV19	EV18	EV17	EV16

EV[23:0]

Регистр событий. Биты регистра устанавливаются при изменении состояния соответствующего канала [23:0] (фронт события определяется битами FR[1:0]_x).

ВНИМАНИЕ !

Запоминается только одно событие по каждому входу. Для регистрации следующего события необходимо сбросить соответствующий бит регистра событий (запись 1 в бит, где произошло событие).

Идентификатор модуля доступен по чтению через байтовые порты с адресами BA+14, BA+15 и имеет формат:

Идентификатор модуля

Адрес	D7	D6	D5	D4	D3	D2	D1	D0
BA+14	'p'							
BA+15	SN7	SN6	SN5	SN4	SN3	SN2	SN1	SN0

'p' ASCII- код прописной буквы *p* (70h).

SN[7:0] Код номера схемы (SN[7:0] = 55).

Таблица внешних подключений

Конт. разъема Jх	Название сигнала	Номер модуля в MPB-24	Номер модуля в TBI-24L	Номер модуля в TBI-16L
19	Порт А , канал 0	8	0	0
21	Порт А , канал 1	9		
23	Порт А , канал 2	10	1	1
25	Порт А , канал 3	11		
24	Порт А , канал 4	12	2	2
22	Порт А , канал 5	13		
20	Порт А , канал 6	14	3	3
18	Порт А , канал 7	15		
10	Порт В , канал 0	16	4	4
8	Порт В , канал 1	17		
4	Порт В , канал 2	18	5	5
6	Порт В , канал 3	19		
1	Порт В , канал 4	20	6	6
3	Порт В , канал 5	21		
5	Порт В , канал 6	22	7	7
7	Порт В , канал 7	23		
13	Порт С , канал 0	0	8	-
16	Порт С , канал 1	1		
15	Порт С , канал 2	2	9	-
17	Порт С , канал 3	3		
14	Порт С , канал 4	4	10	-
11	Порт С , канал 5	5		
12	Порт С , канал 6	6	11	-
9	Порт С , канал 7	7		
2	+5V	-	-	-
26	GND	-	-	-

x = 1, 2, 3, 4

для модуля UNIO96

x = 1, 2, 3

для модуля UNIO72

x = 1, 2

для модуля UNIO48

x = 1

для модуля UNIO24

x = 8, 9

для модуля CPU188-5