▼ 特性与分类

▼ 按数据传输格式分类

1. 串行总线

优点: 便于布线, 适合长距离

缺点:接口需单独硬件

2. 并行总线

优点: 电路实现简单

缺点:布线占用空间大,成本高,信号线间干扰工作频率受限

并行不一定比串行快

▼ 按总线功能分类

1. 内部总线: CPU内部连接寄存器和运算器部件之间的总线

2. 系统总线:连接计算机系统各功能部件(CPU、主存、I/O接口)

• 数据总线 (DB): 双向 传输各功能部件的数据信息 (指令、操作数等)

◆ 地址总线(AB): 单向 传输地址信息(主存/IO端口地址)

• 控制总线 (CB): 单根单向,有出有入 传输控制信息

3. 通信 (I/O) 总线: 连接计算机系统之间、计算机系统与其他系统

▼ 按时序控制方式分类

1. 同步总线: 控制线中有同一时钟信号

2. 异步总线: 采用握手协议

▼ 总线的特征

物理特征

功能特征

- 地址总线宽度→访存范围
- 数据总线宽度→一次交换数据位数

电气特征

时间特征

▼ 总线结构

▼ 内部 (CPU) 总线结构

1. 单总线结构运算器

- 所有部件连接到同一总线
- 同一时刻仅允许一个操作数出现在总线上
- ADD 1, 2 需要2个(输入)+1个(输出)时钟周期

2. 双总线结构运算器

- ALU输入端由不同总线连接
- 两个操作数可同时送入ALU
- ADD 1, 2 需要1个 (输入) +1个 (输出) 时钟周期

3. 三总线结构运算器

- ALU输入端、输出端由不同总线连接
- ADD 1, 2 需要1个 (输入输出) 时钟周期

▼ 系统总线结构

1. 单总线结构

- 单一总线连CPU、内存、I/O设备
- 编址:外部设备与内存同一编址
- 优点:易扩展,控制逻辑简单,硬件易实现。
- 缺点:运行速度差异(慢速IO设备)影响效率,吞吐量受限。
 - 单总线结构中系统总线中地址线的功用是。
 - A. 用于选择主存单元
 - B. 用于选择信息传输的设备
- c. 用于指定主存和I/O接口电路的地址
 - D. 用于传送主存物理地址和逻辑地址

2. 双总线结构

• 主存总线 (CPU、主存、通道间传送) 、IO总线 (外部设备与通道间传 送)

• 支持猝发传送: 送出一个地址, 收到多个地址连续的数据

• 优点: 平衡CPU和各个设备之间的同步

• 缺点: CPU频繁进行主存总线控制

3. **三总线结构**

• 主存总线、I/O总线、DMA总线(直接内存存取)

• 优点: 提高I/O设备性能, 提高系统吞吐量

• 缺点:系统工作效率低

4. 多总线结构

▼ 总线性能指标

1. 周期/频率

- a. 总线传输周期/工作频率
 - 一次总线操作所需时间(频率)
 - 由若干总线时钟周期构成
- b. 总线时钟周期/频率

2. 位宽

一次操作可以传输的**数据位数**(单位bit)

3. 帯宽

总线本身所能达到的最高传输速率 (单位Mbps、MB/s 区别于有效速率)

▼ 例题

某总线在一个总线周期中并行传送<mark>64位的数据</mark>假设一个总线周期等于一个总线时钟周期,总线

时钟频率为66MHz 问总线带宽是多少?

 总线位宽*总线工作频率 (1/总线周期)

- 总线位宽D: 64bit=8Byte
- 总线频率f: 66MHz
- Dr=D*f=8B×66MHz=528 MB/s

例. 某同步总线采用数据线和地址线复用方式,其中地址/数据线有32根,总线时钟频率为66MHz,每个时钟周期传送两次数据(上升沿和下降沿各传送一次数据)。

- 1) 该总线的最大数据传输率(总线带宽)是多少?
- 2) 若该总线支持突发(猝发)传输方式,传输一个地址占用一个时钟周期,则一次"主存写"总线事务传输128位数据所需要的时间至少是多少?
- 1) 每个时钟周期传送两次数据 → 总线工作频率是时钟频率的两倍 总线工作频率 = 2 × 66MHz =132MHz

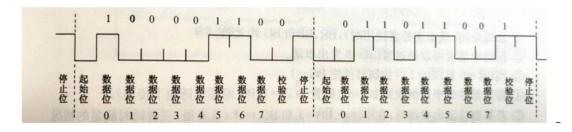
Ø总线宽度 = 32bit = 4B

总线带宽 = 总线工作频率 × 总线宽度 = 132 × 4 MB/s = 528 MB/s

2) 突发(猝发)传输方式:一次总线事务中,主设备只需给出一个首地址,从设备就能 从首地址开始的若干连续单元读出或写入多个数据。

发送首地址占用1个时钟周期,128位数据需传输4次,占用2个时钟周期一个时钟周期 = 1/66MHz \approx 15ns 总耗时 = $(1+2) \times 15$ ns = 45ns

- 已知 "a" ASCII码为61H, "b" ASCII码值为36H
- 采用异步方式连续传送字符 "a" 和 "b" ,数据位为8位, 起始位1位(低电平),停止位1位(高电平),奇偶校验 1位(奇校验)
- 请画出数据传送波形图
- 61H=0110 0001,校验位0;36H=0011 0110,校验位1



【例2】利用串行方式传送字符(如图),每秒钟传送的比特(bit)位数常称为波特率。假设数据传送速率是120个字符/秒,每一个字符格式规定包含10个比特位(起始位、停止位、8个数据位),问传送的波特率是多少?每个比特位占用的时间是多少?



波特率为: 10位×120/秒=1200波特 每个比特位占用的时间Td是波特率的倒数:

 $Td=1/1200=0.833\times10^{-3}s=0.833ms$

 以RS232为接口,进行7位ASCII码字符传送,带1位 奇偶校验和2位停止位,当波特率为9600时,字符传 送率为<u>波特率:每秒传送的比特位数</u>9600/(7+1+2)=960

▼ 总线的仲裁

总线传输方式: (主动、被动)

主方可以启动一个总线周期,从方只能请求,只能有**一个主方0,可有多个从方**

▼ 集中式仲裁

- 总线仲裁部件→哪个设备占用总线
- BR (Bus Request) 请求、BG (Bus Grant) 授权
- 总线仲裁器 (控制器)
- BS/BR/BG→控制总线
- 1. 链式查询方式

三根线: BR、BS、BG

工作流程:

1. 主设备发请求: BR置1

2. 条件: BS=0

3. BG线链式查询

4. 设备接收BG=1, 置BS=1

5. 主设备传送数据

优点: 易扩充设备

缺点:对故障敏感、优先级固定

2. 计数器定时方式

BG换成地址线

设备地址线根数: $\lceil log N \rceil$

总控制线根数: $\lceil log N \rceil + 2$

工作流程:

- 1. BR=1
- 2. BS=0时计数器开始计数
- 3. 地址线的计数值与请求总线的设备地址相一致, BS置1
- 4. 传送数据

优点:可改变优先级

缺点:效率低、控制复杂

3. 独立请求方式

每个设备有独立的 BR_i 与 BG_i

总线根数: 2n+1 (加一根BS)

优点:无需查询,响应时间快,优先次序灵活

缺点:控制线数量多

▼ 分布式仲裁 (了解)

无中央仲裁器

▼ 总线的通信控制

▼ 定时方式

1. 同步定时 (同步通信)

优点:采用公共时钟,效率较高

适用于传输距离较短(总线长度较短),各模块存取时间相对比较接近的。

2. 异步定时 (异步通信)

基于应答式/互锁机制

不需要同一的公共时钟信号

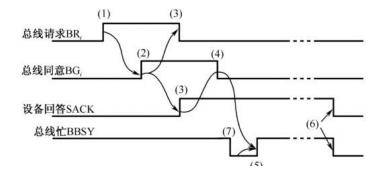
优点: 总线周期长度可变

- 不互锁方式
- 半互锁方式
- 全互锁方式
- ▼ 异步通信例题
 - 【例3】某CPU采用集中式仲裁方式,使用独立请求与 菊花链查询相结合的二维总线控制结构。

每一对请求线BRi和授权线BGi组成一对菊花链查询 电路。每一根请求线可以被若干个传输速率接近的 设备共享。

当这些设备要求传送时通过BRi线向仲裁器发出请求, 对应的BGi线则串行查询每个设备,从而确定哪个设 备享有总线控制权。

请分析说明图6.14所示的总线仲裁时序图。



解:从时序图看出,该总线采用异步定时协议。

- 当某个设备请求使用总线时,在该设备所属的请求线上 发出申请信号BRi(1)。
- CPU按优先原则同意后给出授权信号BGi作为回答(2)。
- BGi<mark>链式查询各设备</mark>,并上升从设备回答SACK信号证实已收到BGi信号(3)。
- CPU接到SACK信号后下降BG作为回答(4)。
- 在总线"忙"标志BBSY为"0"情况该设备上升BBSY, 表示该设备获得了总线控制权,成为控制总线的主设备(5)。
- 在设备用完总线后,下降BBSY和SACK (6)
- 释放总线。
- 在上述选择主设备过程中,可能现行的主从设备正在 进行传送。此时需等待现行传送结束,即现行主设备 下降BBSY信号后(7),新的主设备才能上升BBSY, 获得总线控制权。
- 下列各项中,应采用异步传输方式的是 。
- A. I/O接口与打印机交换信息
 - B. CPU与存储器交换信息
 - c. CPU与I/O接口交换信息
 - D. CPU与系统总线

▼ 总线数据传送模式

读写操作(分离式通信)

块传送 (猝发式传送)

写后读、读修改写

两种组合操作。先写后读(用于校验)、先读后写(共享资源保护)

广播 (数据传送)、广集 (中断判别)

广播→一个主方对多个从方写操作,广集→多个从方在总线AND或OR操作