

실험 6. 순차회로 - 계수기

20210661 오승준

1. 개요

이번 실험 6에서는 순차회로의 대표적인 예시 중 하나인 카운터(계수기)를 구현한다. 계수기의 특성을 알아보고, 다양한 계수기를 구현하는 것을 목적으로 한다.

2. 이론적 배경

1) D 플립플롭

D 플립플롭은 클록 신호에 맞춰 입력 D가 Q에 반영되는 회로이다. Q가 1일 때, Q+가 1인 값을 가진다.

2) 계수기

계수기(Counter)는 순차회로의 일종으로, 클록(Clock)에 따라 순차적으로 지정된 패턴의 숫자를 저장하고 출력하는 회로이다. 사용 목적에 따라 출력 패턴을 달리하여 다양한 종류의 계수기를 만들 수 있다.

3) 동기 계수기 (Synchronous Counter)

동기 계수기는 조합회로를 통해 클록 신호를 카운터의 모든 플립플롭에 동시에 인가하는 계수기이다. 비동기 계수기(Asynchronous Counter)에 비해 회로가 복잡하지만, 클록이 지연되지 않기 때문에 작동 속도는 더 빠르다.

4) 십진 계수기 (Decade Counter)

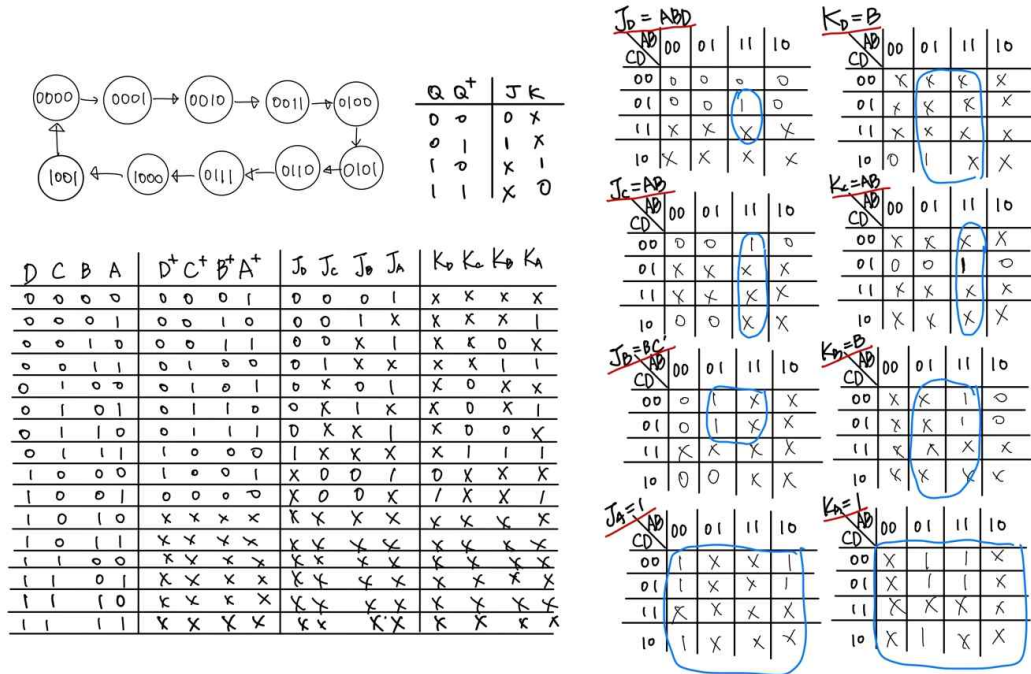
십진 계수기는 십진수를 순차적으로 세는 회로이다. 그림 2와 같이 0부터 9까지 반복하여 헤아린다. 0→1→2→3→4→5→6→7→8→9→0이 반복되는 상태 전이도를 지닌다.

5) 상태 전이도 및 전이표

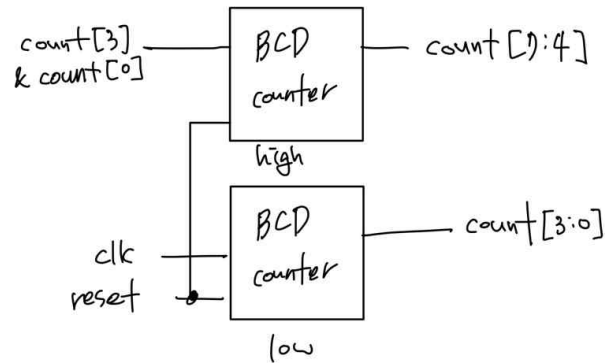
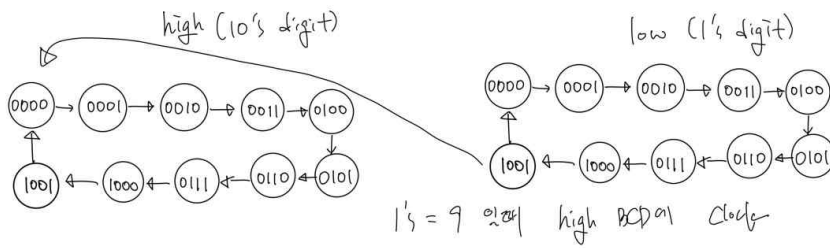
상태 전이도와 전이표는 순차회로의 상태 변화를 그림 혹은 표로 나타낸 것이다. 상태 전이도와 전이표의 예시는 아래 실험준비에서 확인할 수 있다.

3. 실험준비

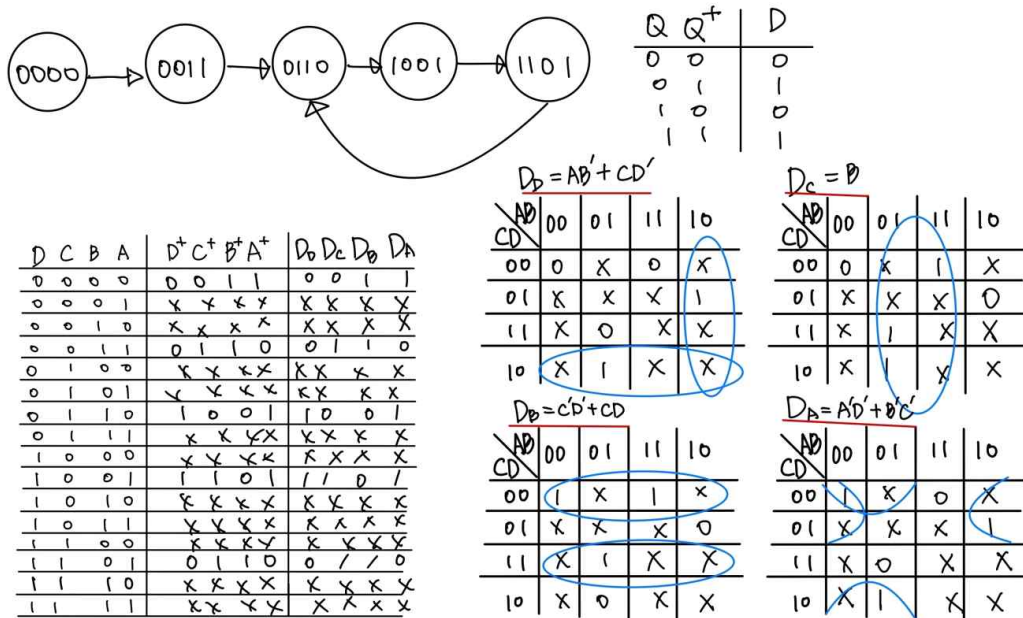
1) JK 플립플롭을 이용한 Synchronous decade BCD counter



2) JK 플립플롭을 이용한 두 자릿수 Decade BCD counter (0~99)

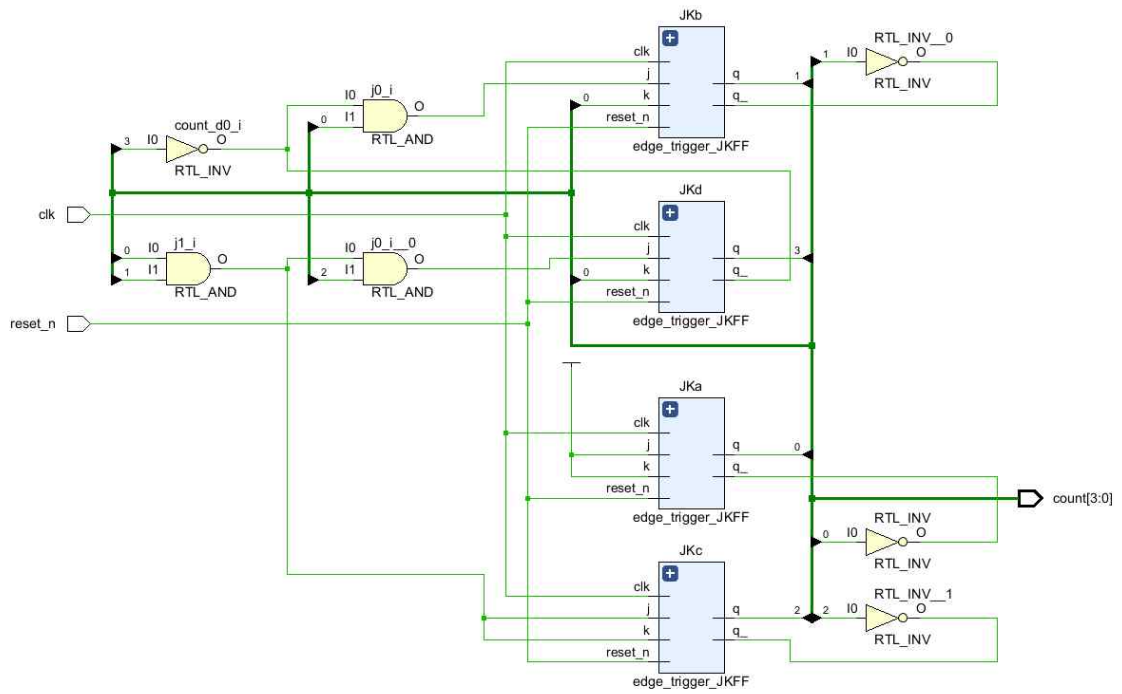
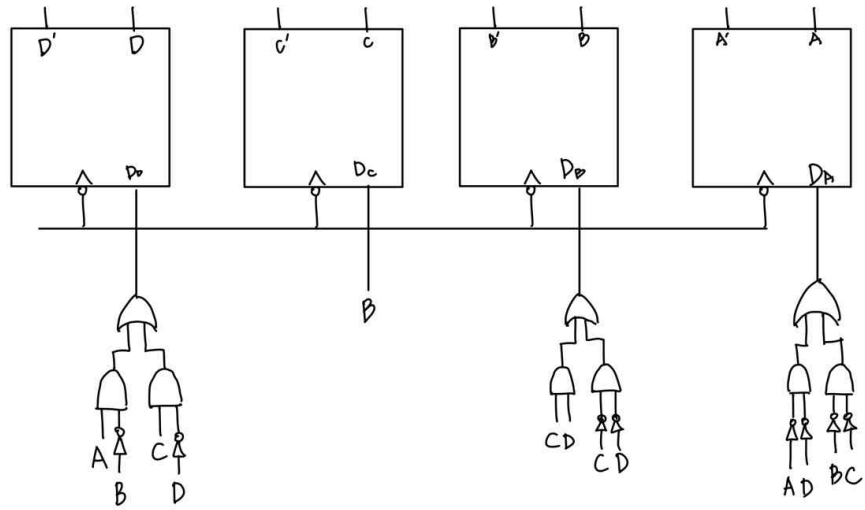


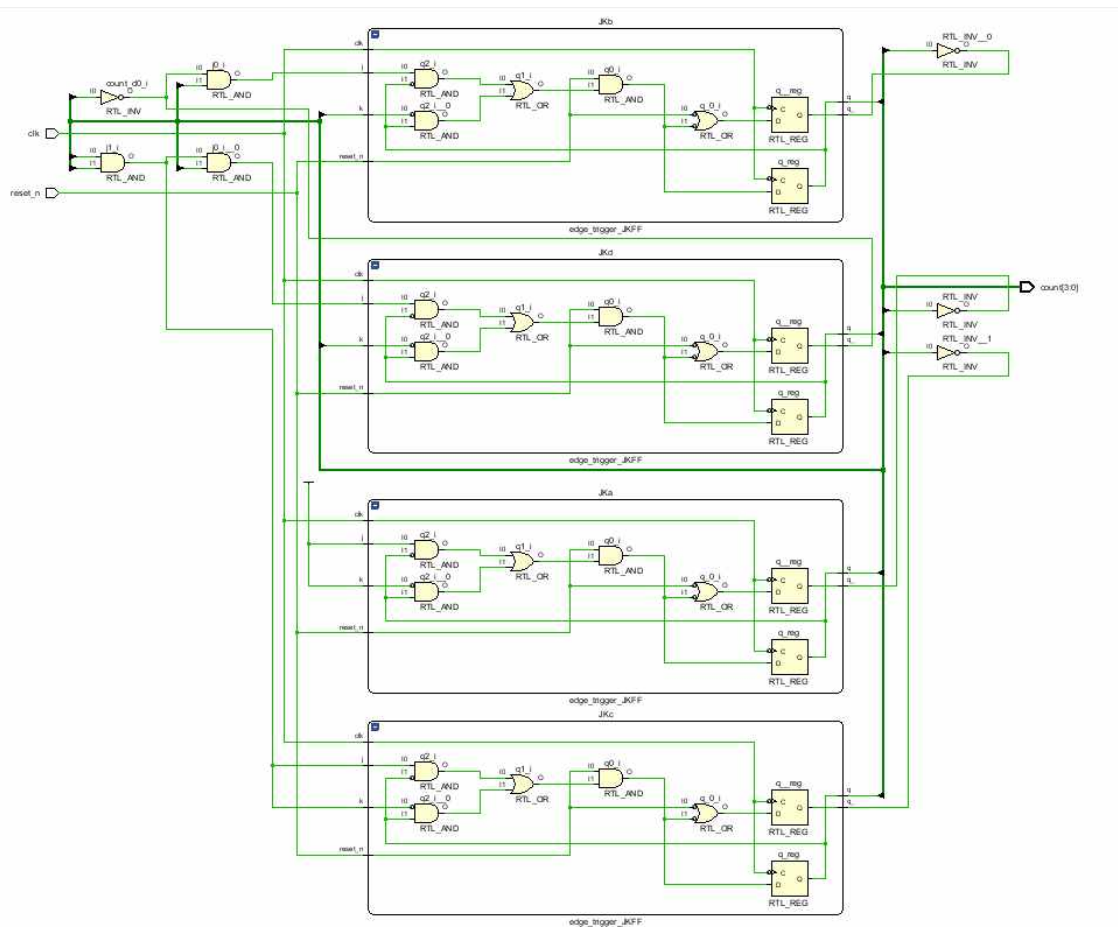
3) D 플립플롭을 이용한 3, 6, 9 계수기(0->3->6->9->13->6->9->13->...)



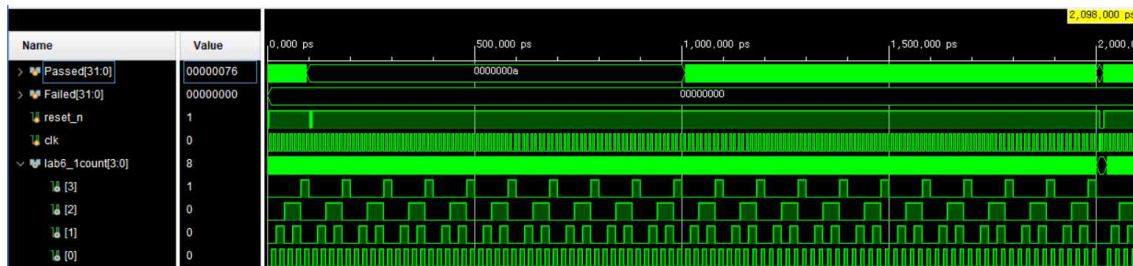
4. 실험

- JK 플립플롭을 이용한 Synchronous decade BCD counter
 - 회로도 구성은 아래와 같다.





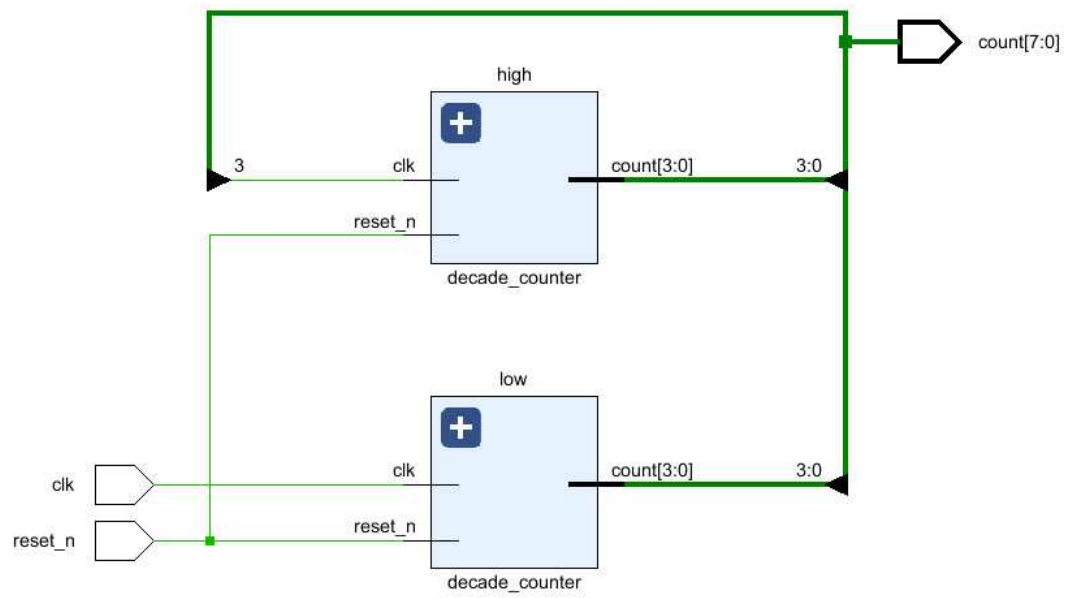
이에 따른 테스트벤치의 결과는 아래와 같다.

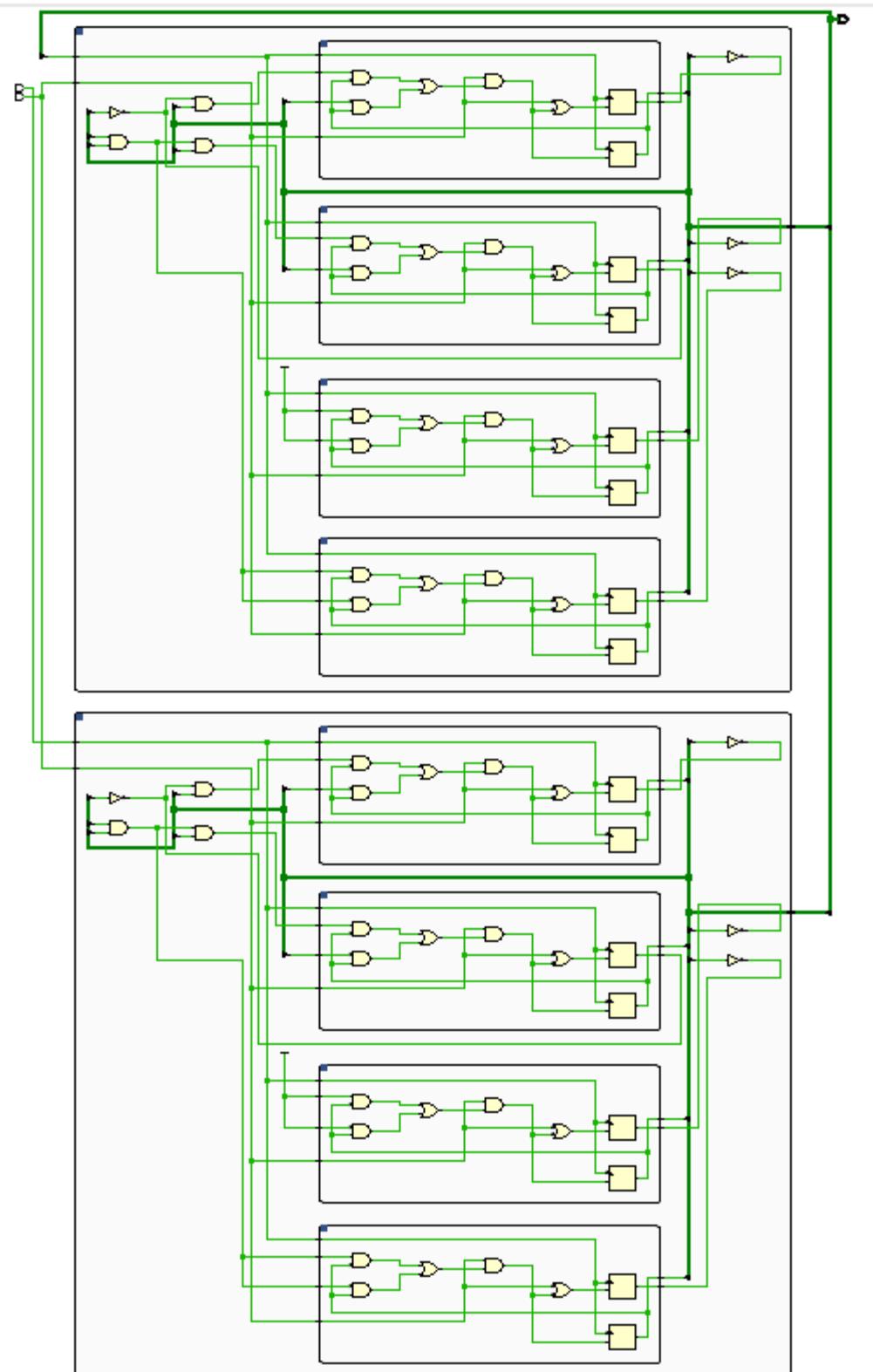


count에 값이 일정하게 변하며 나타나면서 오류표현이 나타나지 않는 것으로 보아 실행이 옳게 된 것으로 확인된다.

2) JK 플립플롭을 이용한 두 자릿수 Decade BCD counter (0~99)

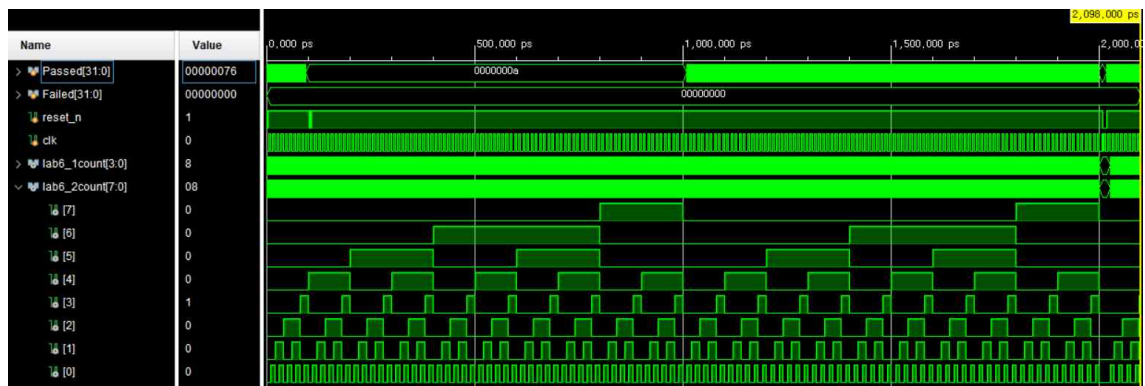
- 회로도





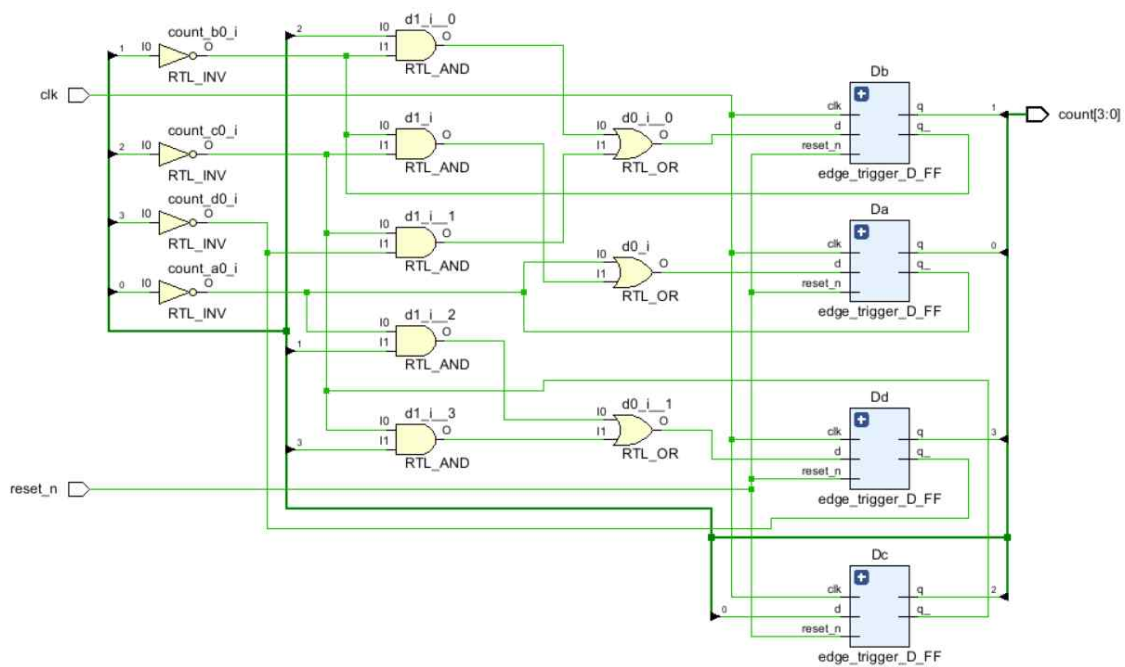
-테스트벤치 결과

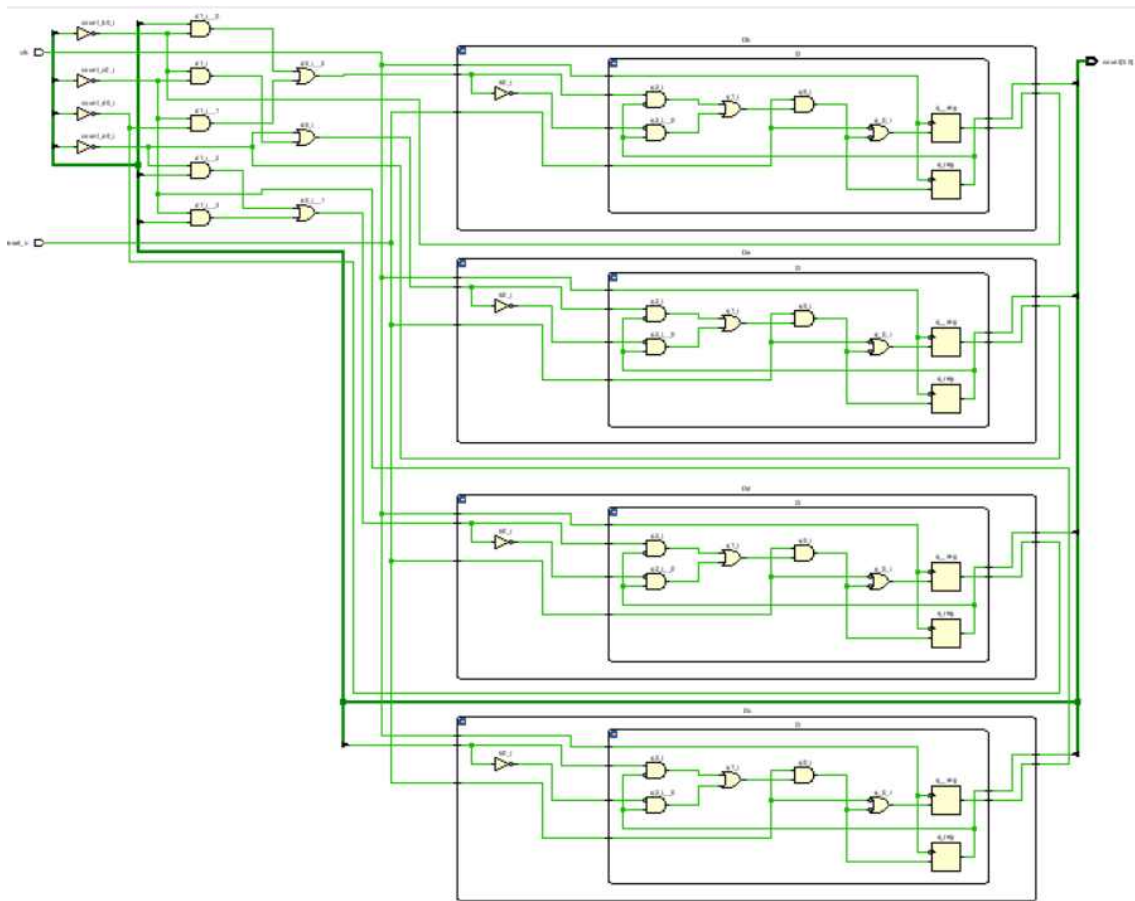
count에 값이 일정하게 변하며 나타나면서 오류표현이 나타나지 않는 것으로 보아 실행이 올바르게 된 것으로 확인된다.



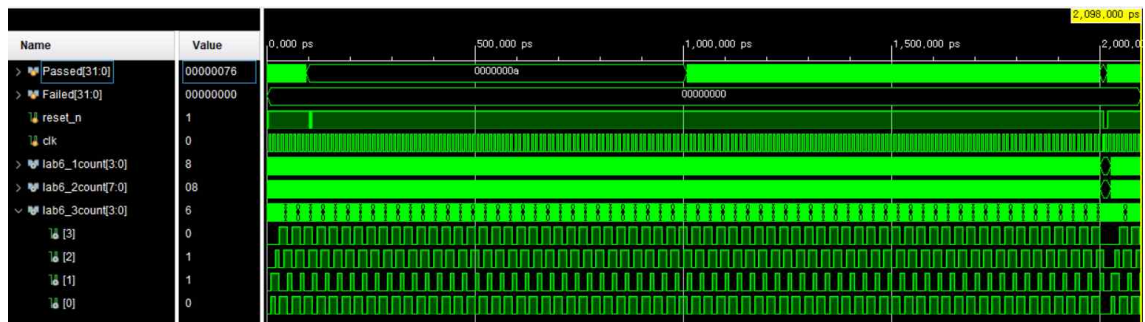
3) D 플립플롭을 이용한 3, 6, 9 계수기(0→3→6→9→13→6→9→13→...)

- 회로도





-테스트벤치 결과



count에 값이 일정하게 변하며 나타나면서 오류표현이 나타나지 않는 것으로 보아 실행이 옳게 된 것으로 확인된다.

5. 논의

- 이번 실험을 진행하며 Counter에 대한 정보를 얻을 수 있었다. Counter를 구현한 후 이의 값이 원하는 대로 순차적으로 변화하는 것을 확인하기 위한 테스트벤치를 작성하는데 많은 어려움을 겪었다. 테스트벤치 작성을 진행하며 베릴로그 언어에 더욱 친숙해질 수 있었다.