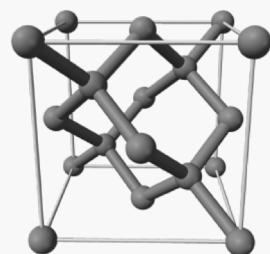
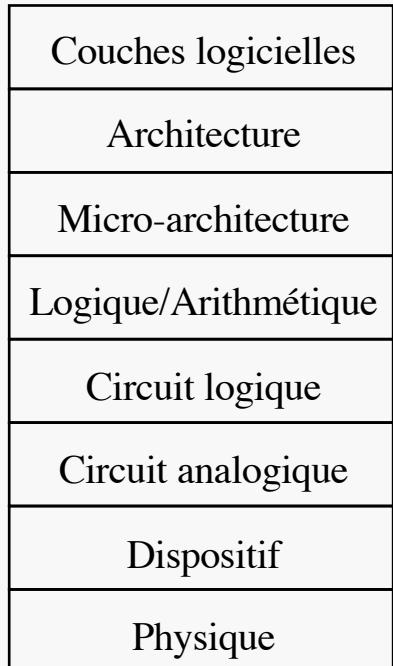


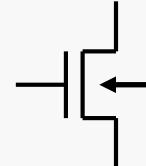
```

public class TcpClientSample
{
    public static void Main()
    {
        byte[] data = new Byte[1024];
        TcpClient server;
        try
        {
            server = new TcpClient("127.0.0.1", 9999);
        }
        catch (SocketException e)
        {
            Console.WriteLine("Unable to connect to server");
            return;
        }
        NetworkStream ns = server.GetStream();
        int bytesRead = ns.Read(data, 0, data.Length);
        string dataString = Encoding.ASCII.GetString(data, 0, bytesRead);
        ASCII.WriteLine(dataString);
        Console.WriteLine("Data received");
        while(true)
        {
            input = Console.ReadLine();
            if (input == "exit") break;
            newClient.PressEnter("\n");
            ("about to connect\n");
            ("about to connect\n");
            ("about to connect\n");
        }
    }
}

```

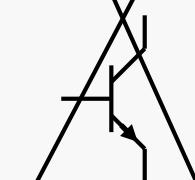


Transistor à  
effet de champ



(FET)

Transistor  
bipolaire



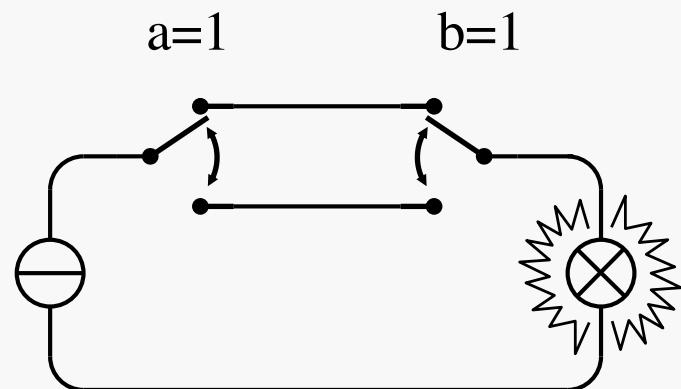
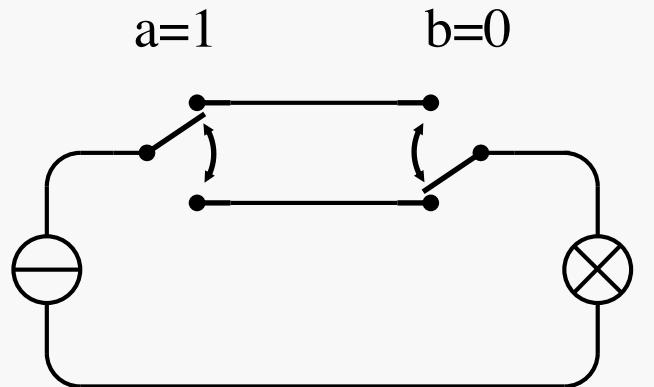
(BJT)

# LE TRANSISTOR MOS ET SON EXPLOITATION BINAIRE

ES102 / CM3



# PRÉAMBULE : LE VA ET VIENT

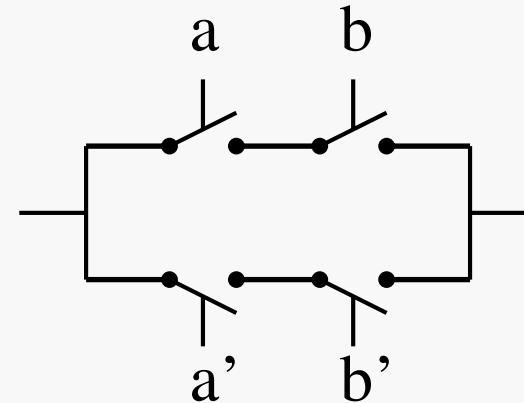
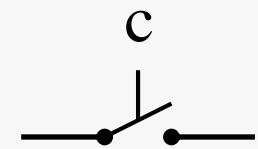


→ l'ampoule s'allume  
ssi  $a \oplus b = 0$

Vers une logique à base  
d'interrupteurs (*switch logic*)

interrupteurs simples :

- passant si  $c=1$
- non passant si  $c=0$



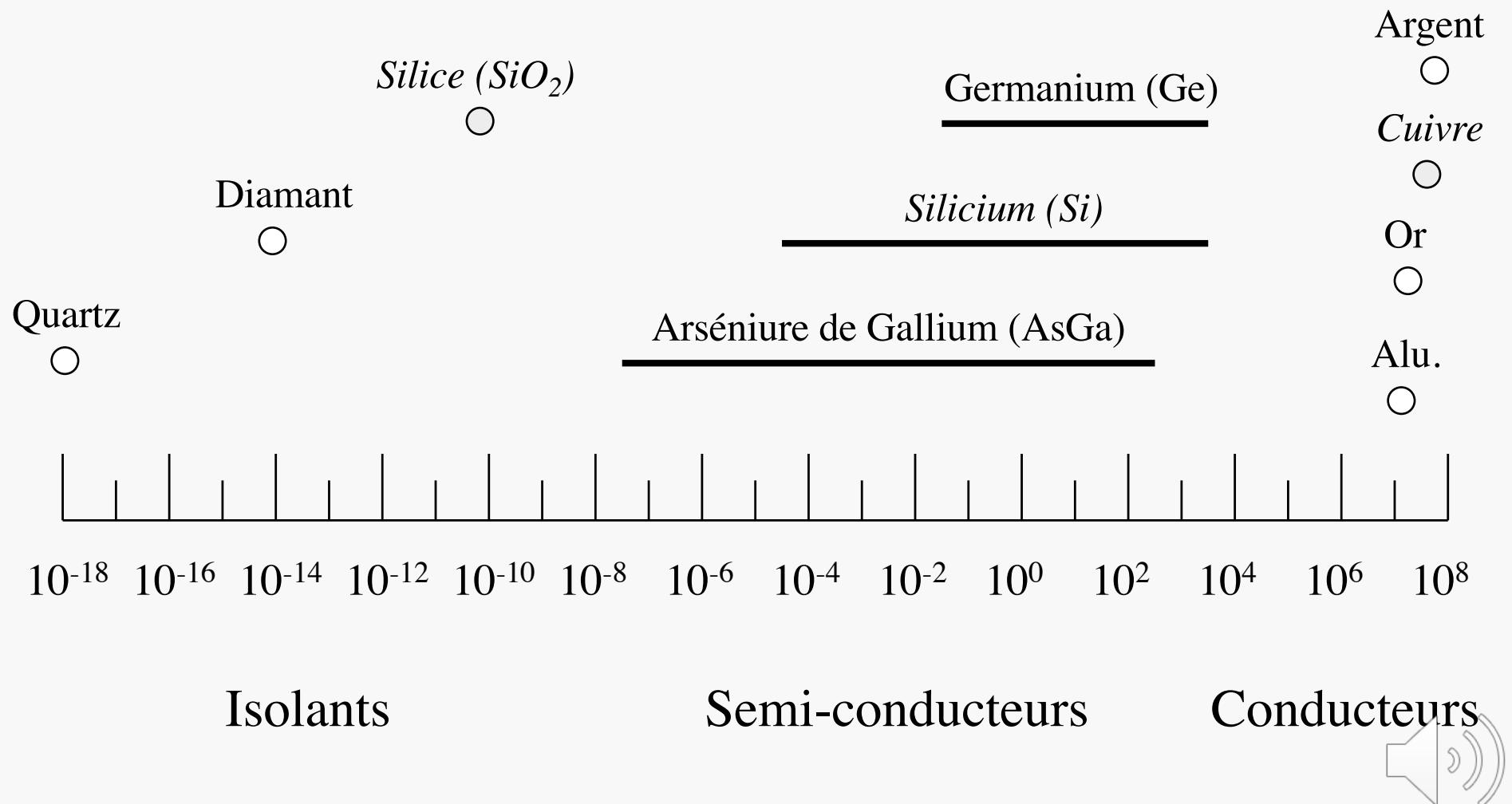
montage passant ssi  $a \oplus b = 0$

→ interrupteurs à base de transistors MOS...



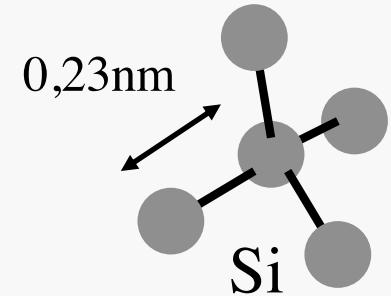
# CONDUCTIVITÉ DES MATERIAUX

en  $\Omega^{-1} \cdot \text{m}^{-1}$



# CRISTAL DE SILICIUM SOUMIS À $\vec{E}$

- Réseau de type diamant : chaque atome met en commun les 4 électrons de sa couche externe avec ses 4 voisins
- Densité  $n$  d'électrons libres et  $p$  de trous : équilibre entre génération thermique de paires électron-trou et recombinaisons
- Champ électrique  $E \Rightarrow$  mouvement des électrons libres *et* des trous
  - par deux mécanismes distincts, dont les effets s'ajoutent



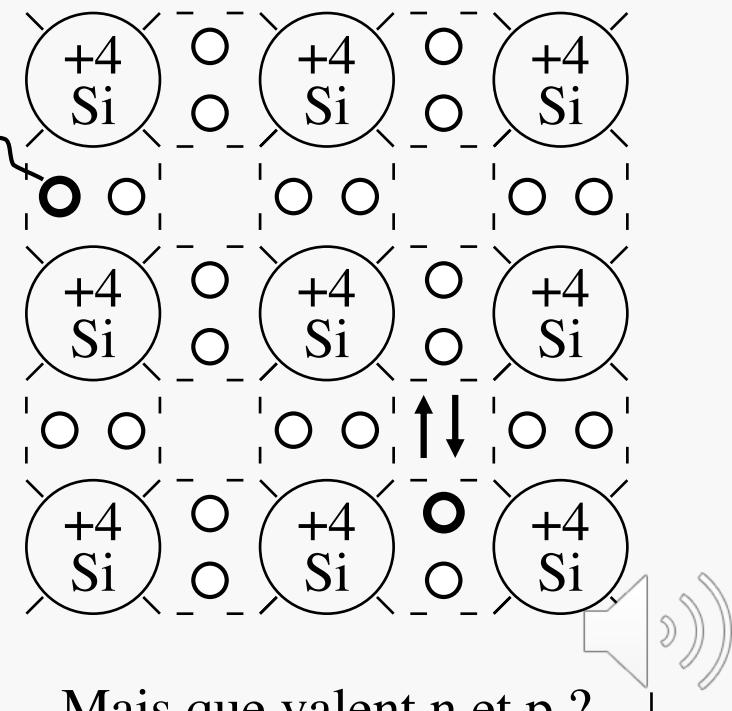
$n$  pour charge négative  
 $p$  pour charge positive

électron libre trou

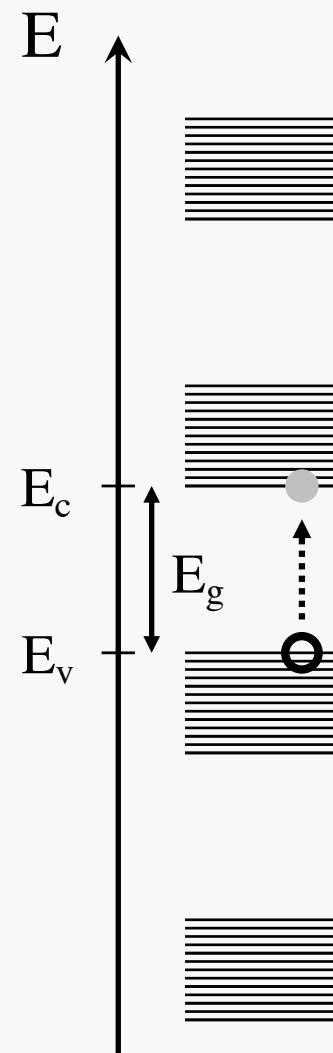
mobilité	$\mu_n$	$\mu_p$
vitesse	$v_n = \mu_n E$	$v_p = \mu_p E$
densité	$n$	$p$
courant	$ne \cdot v_n$	$pe \cdot v_p$

$\mu_n \approx 3\mu_p$   
trous ~ 3 fois plus lents que les électrons

$$\vec{j} = \vec{j}_n + \vec{j}_p = (\mu_n n + \mu_p p) e \vec{E}$$



# CRISTAL DE Si : STRUCTURE DE BANDES



- Niveaux d'énergie répartis en *bandes* quasi-continues
- à T=0K, niveaux remplis par le bas, jusqu'à la *bande de valence*, pleine, juste sous la *bande de conduction*, vide
- pour T>0K, des électrons peuvent « monter » de l'une à l'autre si  $E_g = E_c - E_v$  n'est pas trop grand par rapport à kT
- on considère T=300K, d'où  $kT = 25\text{meV}$

$$E_g \text{ Diamant} = 5,5 \text{ eV}$$

bande de conduction - vide à T=0K  
électrons libres (de circuler)

bande interdite (*gap*)

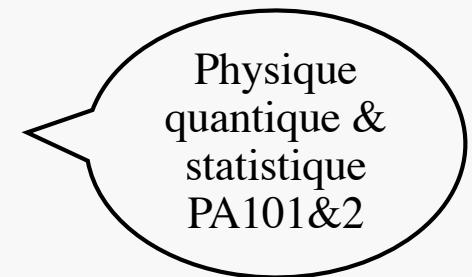
bande de valence - pleine à T=0K  
électrons liés (liaisons de co-valence entre atomes du cristal)

plus bas : électrons fortement liés  
(couches atomiques internes)

- $E_g \text{ Si} = 1,1\text{eV} \approx 45kT$
- *Statistique de Fermi-Dirac* : la probabilité que le niveau  $E_c$  soit occupé est  
 $\approx e^{-E_g/2kT} \approx 2 \cdot 10^{-10}$
- $5 \cdot 10^{10}$  atomes Si /  $\mu\text{m}^3$
- densité d'états moindre...
- mesure :  $n \approx 10^{-2}/\mu\text{m}^3$ 
  - valeur notée  $n_i$  ↗
  - Si très bon isolant

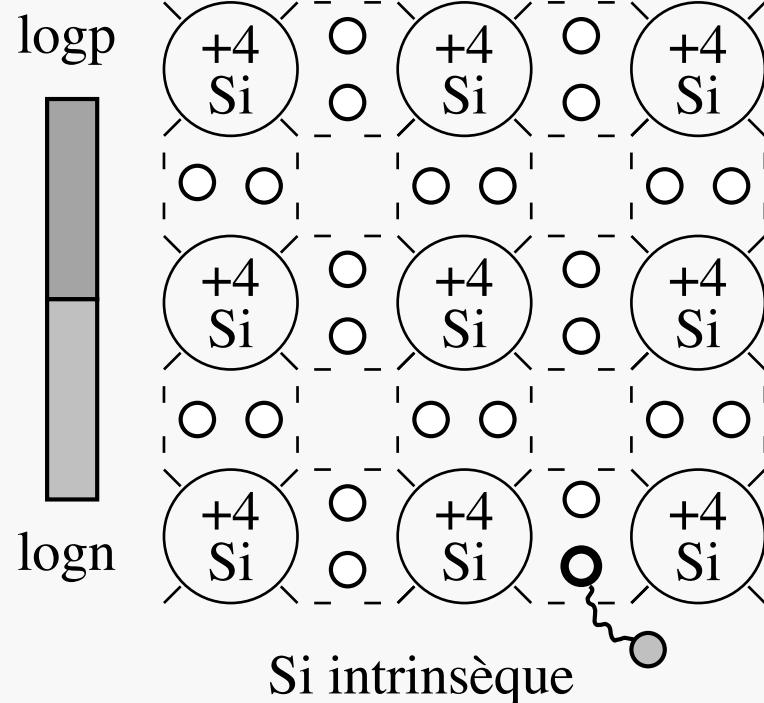
# DE L'ISOLANT AU CONDUCTEUR...

- $n=p=n_i$  pour du Si pur, alias *intrinsèque* (d'où l'indice  $i$  de  $n_i$ )
- Courants d'entraînement  $\propto \mu_n n + \mu_p p$ 
  - infimes dans un cristal de Si pur, donc inexploitables (sauf pour isoler)
  - possible cependant de « perturber » Si pour accroître  $n$  ou  $p$
  - pour aboutir à des valeurs significatives de  $\mu_n n + \mu_p p$   
et, finalement, *rendre Si suffisamment conducteur*
- Statistique de Fermi-Dirac  $\Rightarrow n \cdot p = \text{constante}$ 
  - « loi d'action de masse » :  $n \cdot p = n_i^2$ 
    - constante dépendant de  $T$  toutefois
      - augmenter  $n$  ou  $p$  rendra donc l'autre encore plus négligeable
- Pour disposer de valeurs de  $n$  ou  $p$  bien plus grandes (que  $n_i$ ) :
  - approche chimique, fixe : *dopage* ~~intrinsèque~~
  - approche électrostatique, réglable : *capacité MOS*



# DOPAGE

par diffusion  
d'impuretés dans  
le cristal Si

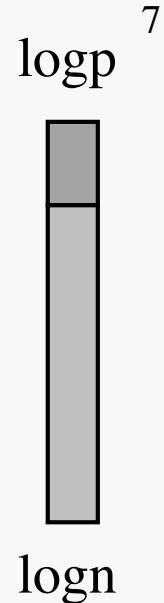
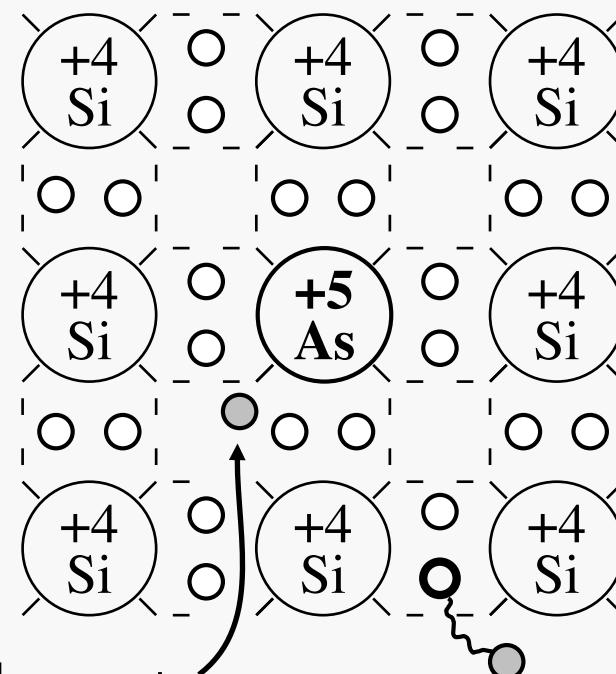


As « donneur  
d'électron »

« Si dopé n »  
« diffusion n »

dopage n

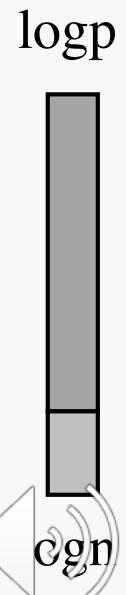
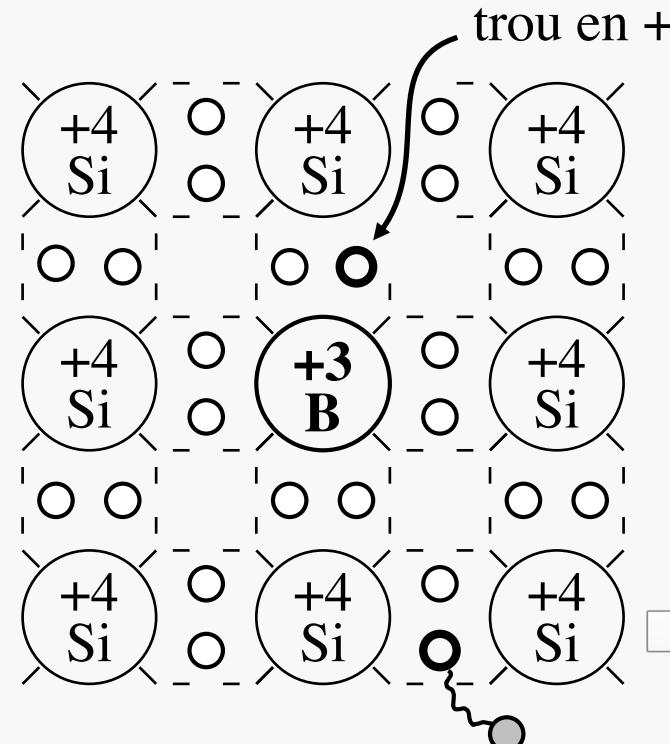
électron libre en +



dopage p

« Si dopé p »  
« diffusion p »

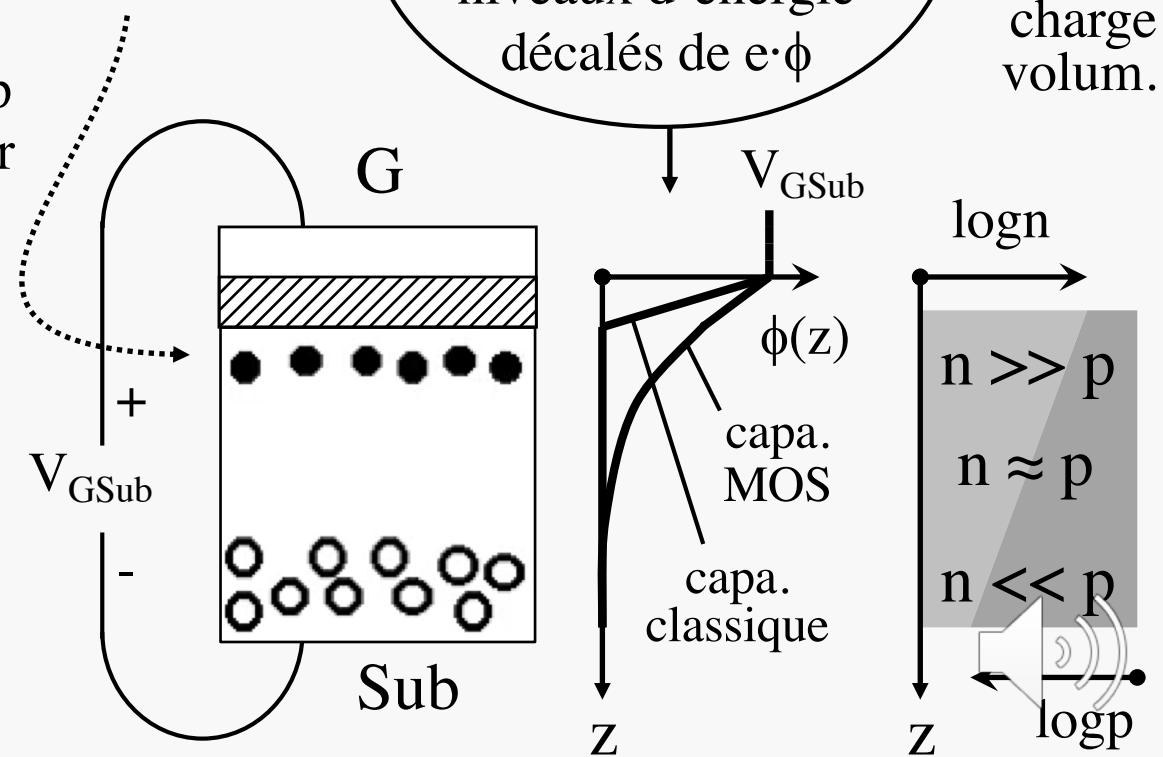
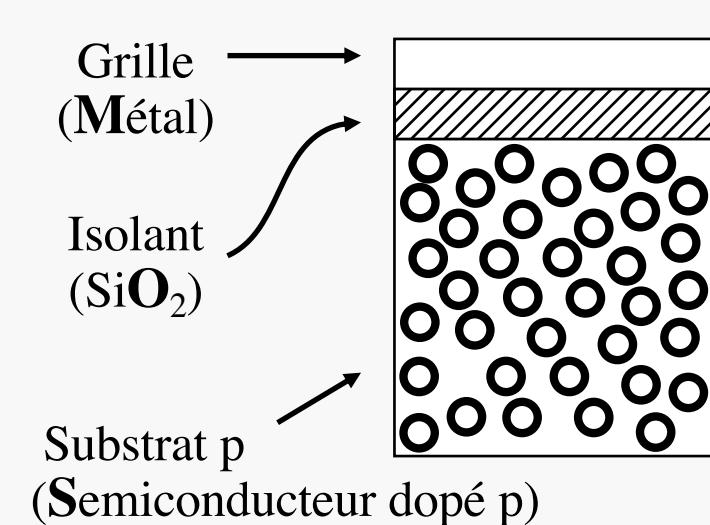
B « accepteur  
d'électrons »



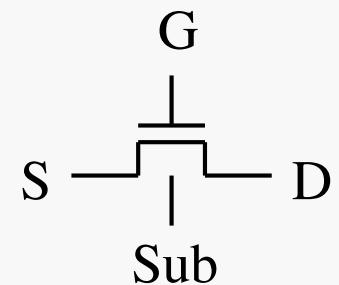
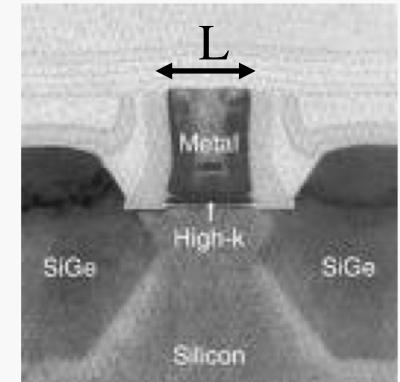
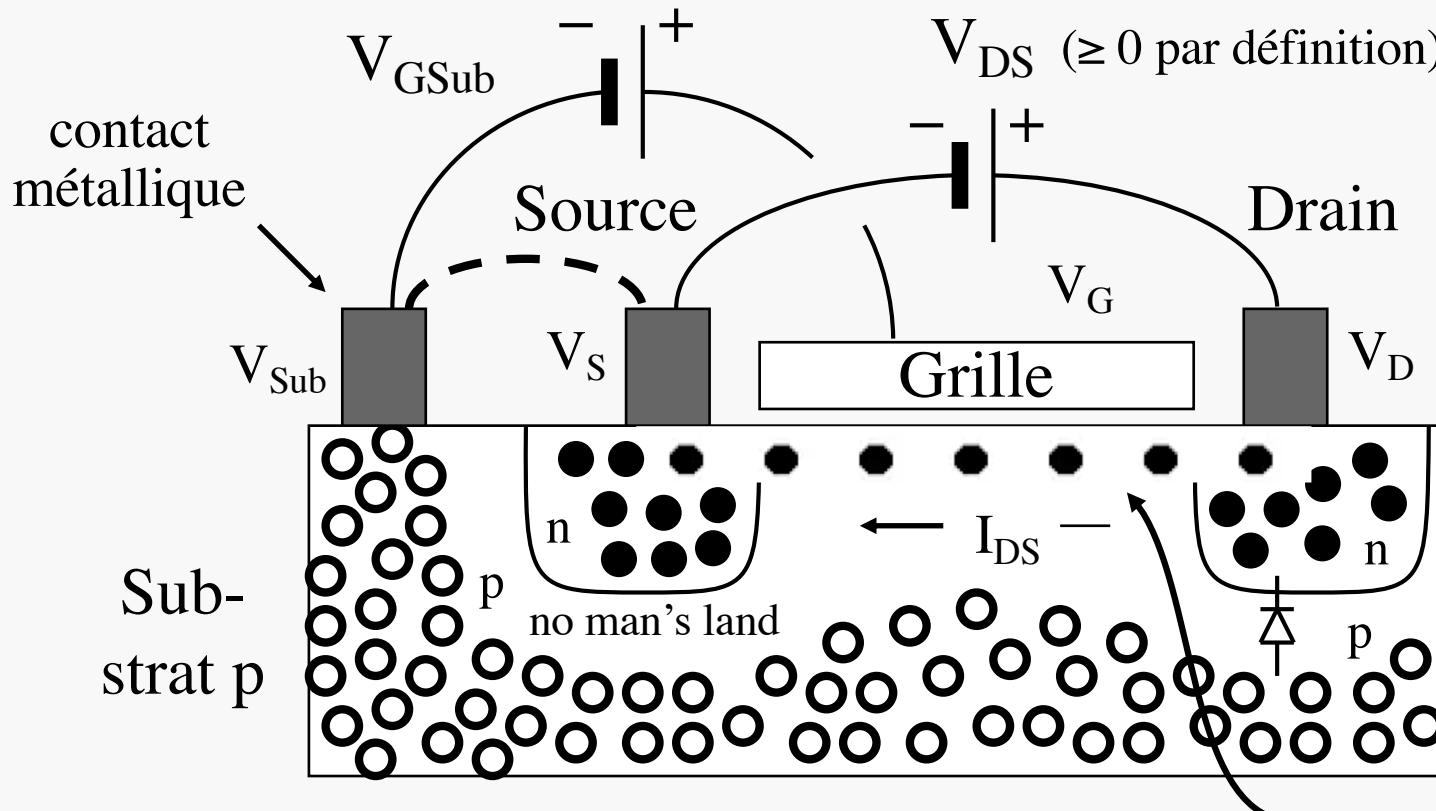
# CAPACITÉ MOS (Métal-Oxyde-Semiconducteur)

- Pour  $V_{GSub} > 0$  croissant :
- disparition progressive des trous situés en face de la grille dans le substrat *p*
- puis équilibre  $n \approx p$  pour  $V_{GSub} = V_{tn}$ 
  - $V_{tn}$  = tension de seuil (*t* : *threshold*)
- puis « bulle » d'électrons sous la surface
  - avec accroissement affine de  $n_{\text{surfacique}}$  par rapport à  $V_{GSub}$
- Sous la bulle, on retrouve  $n \approx p$   
 $\Rightarrow$  zone isolante, comme Si pur

ici de type *p* (trous)  
(*n* aurait aussi été possible  
 $\rightarrow$  structure duale)



# TRANSISTOR MOS de type n (nMOS)



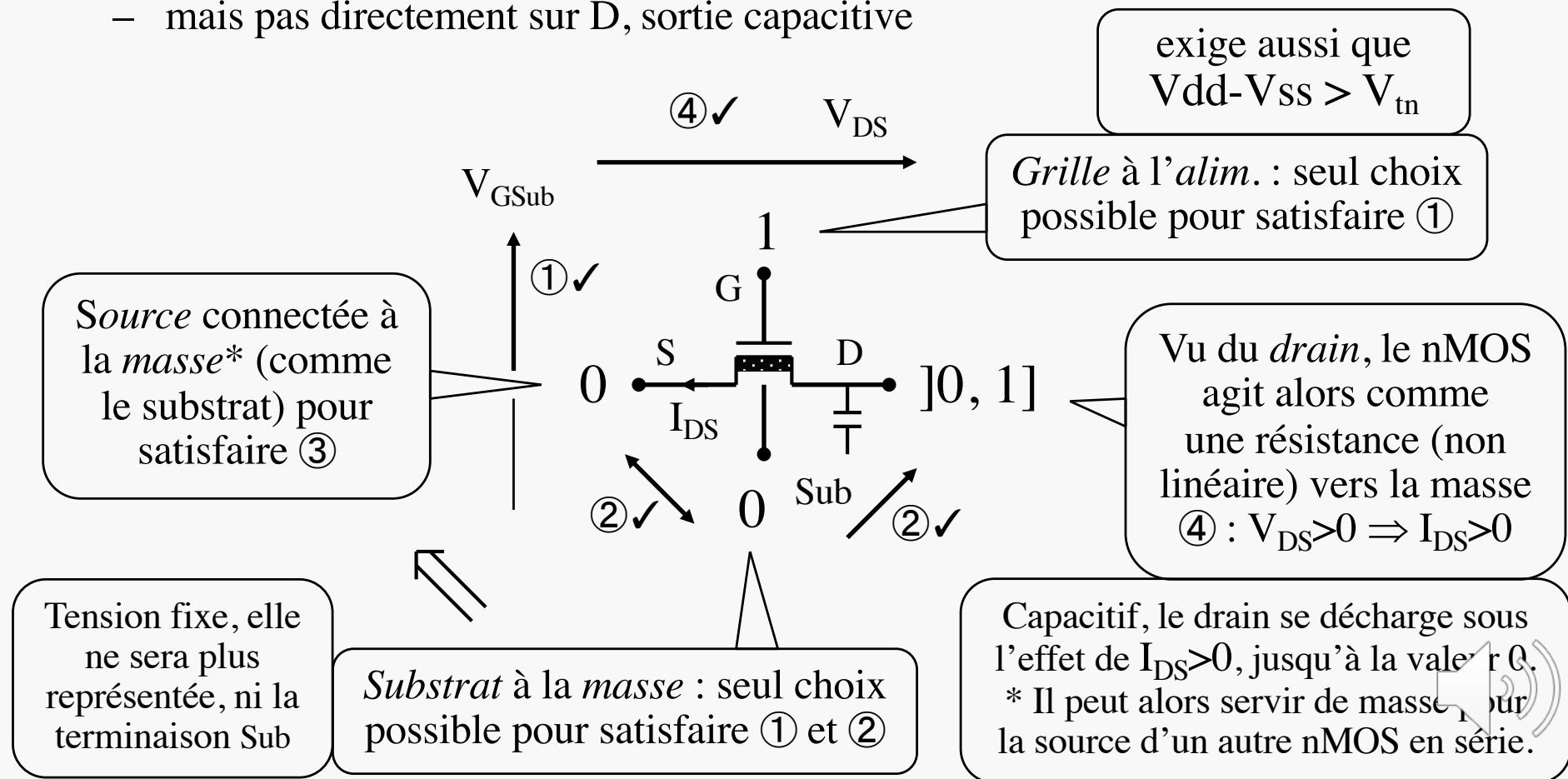
- $I_{DS} > 0 \text{ si}$
- ①  $V_{GSub} > V_{tn}$  : pour faire apparaître le « canal n »
  - ②  $V_S \& V_D \geq V_{Sub}$  : pour isoler source et drain du substrat  
⇒ jonctions substrat-source et substrat-drain = diodes non passantes
  - ③  $V_{SSub}$  petit : pour que la source ne dépeuple pas son bout du canal  
⇒ elle pourra lui fournir des électrons ; en pratique  $V_S = V_{Sub}$
  - ④  $V_{DS} > 0$  : pour créer un champ électrique horizontal d'entraînement

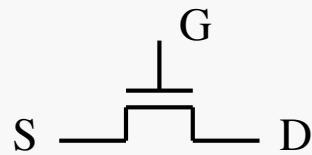
N.B. : il existe une version *duale* sur substrat *n*, à base de canal *p* : le transistor pMOS.



# OBTENIR $I_{DS} > 0$ EN SITUATION BINAIRE

- Seulement 2 sources de tension disponibles :
  - 0 logique : tension de masse Gnd/Vss = 0V
  - 1 logique : tension d'alimentation Vdd  $\lesssim 1V$
 appliquées sur 3 terminaisons : Sub, G et S
  - mais pas directement sur D, sortie capacitive

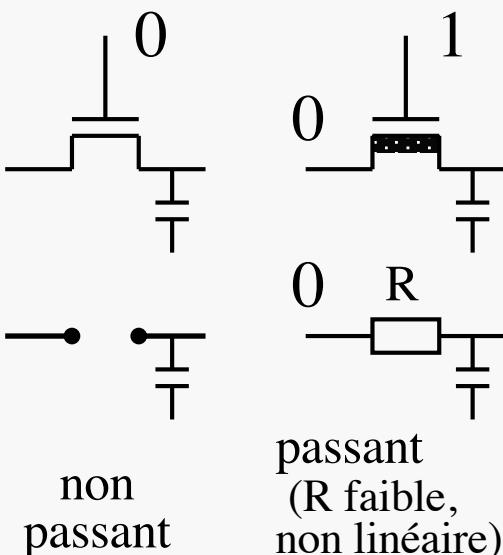
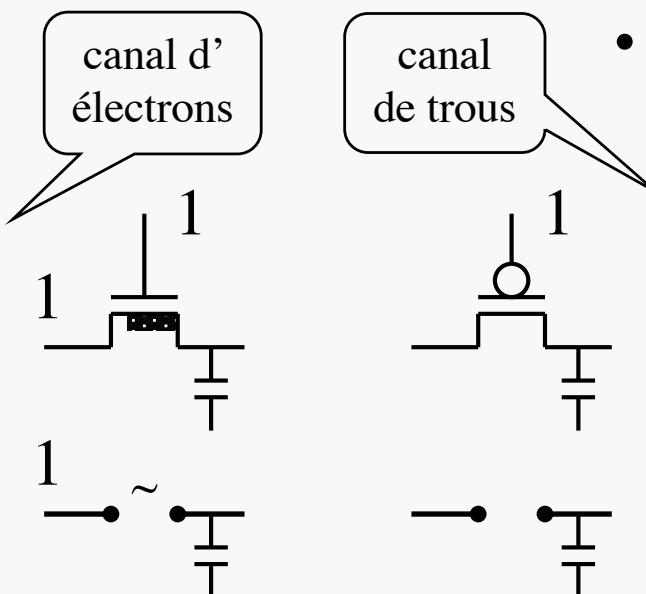
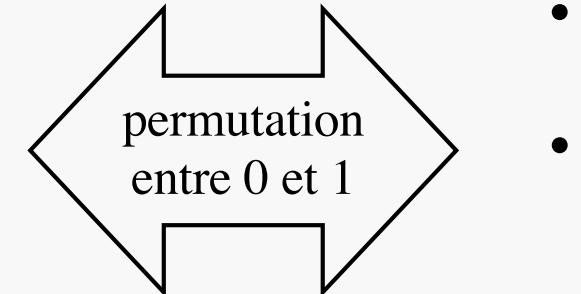




# TRANSISTOR MOS : ABSTRACTION BINAIRE

nMOS (substrat à 0) :

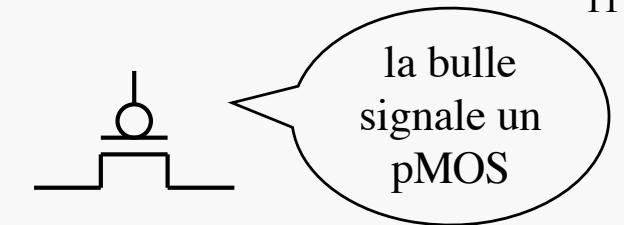
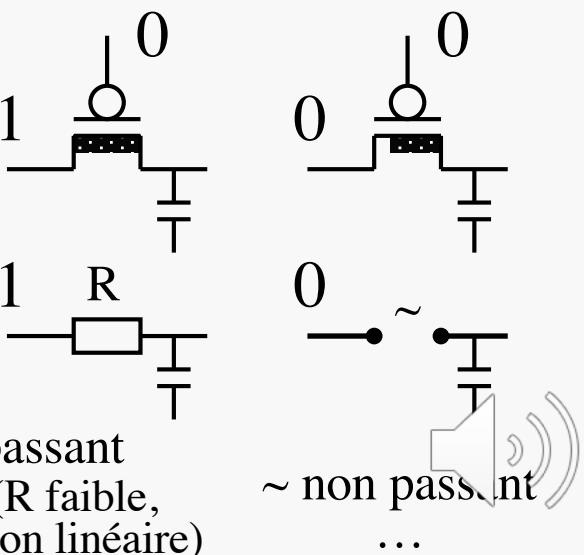
- si sa grille est à 0, il est non passant
- si sa grille est à 1, il transmet le niveau 0 de sa source vers son drain (courant de *décharge*)
- si sa source est à 1, il est ~ non passant



...  
~ non passant

pMOS (substrat propre à 1) :

- si sa grille est à 1, il est non passant
- si sa grille est à 0, il transmet le niveau 1 de sa source vers son drain (courant de *charge*)
- si sa source est à 0, il est ~ non passant



# LE TRANSISTOR MOS COMME DEMI-INTERRUPEUR

- Un transistor MOS, utilisé de façon binaire, est un interrupteur *hémiplégique* :

- le nMOS ne laisse passer que du 0
  - le pMOS ne laisse passer que du 1
    - de leur source vers leur drain
    - avec une faible résistance électrique
      - aboutissant à des délais RC en picosecondes

Un transistor est symétrique par construction entre ses 2 terminaisons *source* et *drain*. La source est celle au potentiel le plus bas pour un nMOS, et le plus haut pour un pMOS.

- La commande d'un tel *demi*-interrupteur
  - c'est-à-dire la grille du transistor

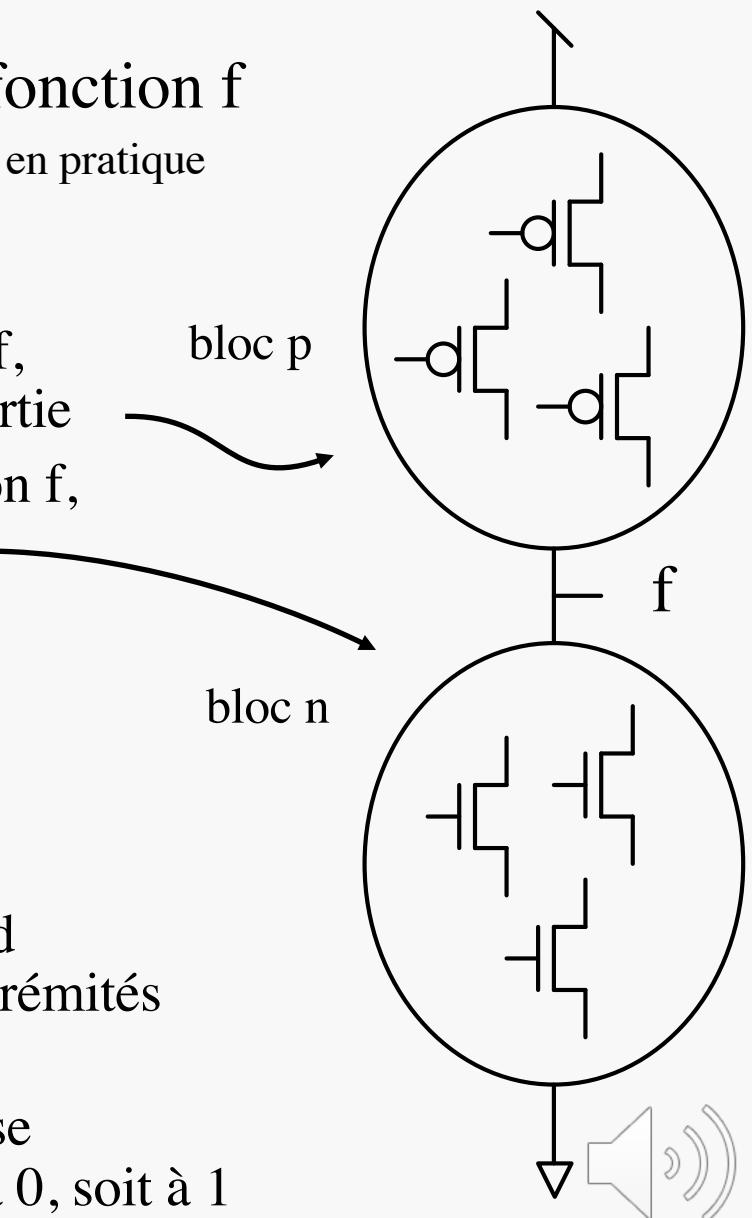
doit prendre la valeur *opposée* à l'effet recherché :

- 1 pour obtenir du 0, avec un nMOS
  - 0 pour obtenir du 1, avec un pMOS
  - d'où un caractère nativement décroissant des fonctions réalisées par les montages en transistors → PC3

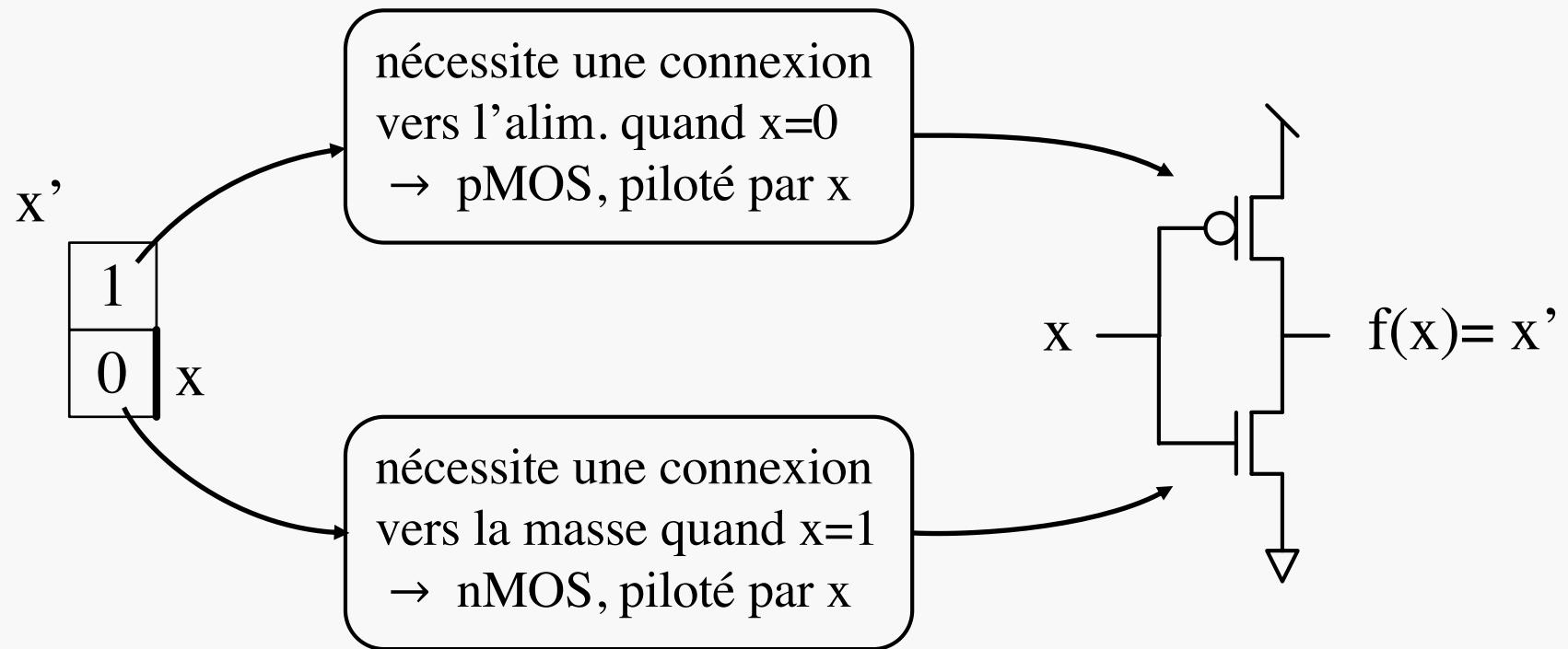
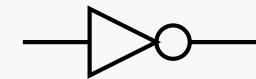


# PORTE CMOS ...

- Implantation en transistors MOS d'une fonction  $f$ 
  - pouvant compter jusqu'à 4 ou 5 variables d'entrée en pratique
- 'C' pour utilisation « complémentaire »
  - des pMOS pour réaliser les 1 de la fonction  $f$ , au sein d'un bloc  $p$  reliant alimentation et sortie
  - et des nMOS pour réaliser les 0 de la fonction  $f$ , au sein d'un bloc  $n$  reliant masse et sortie
- Entrées binaires sur grilles de transistor
  - uniquement  $\Rightarrow$  aucune liaison directe entre entrées et sortie
  - la structure interne d'un bloc et ses entrées déterminent quand il est passant, c-à-d quand il présente un *chemin passant* entre ses 2 extrémités
  - l'un des 2 blocs passant, l'autre non  
 $\Rightarrow$  jamais de court-circuit alimentation-masse  
 $\Rightarrow$  sortie toujours robustement établie, soit à 0, soit à 1



# INVERSEUR CMOS

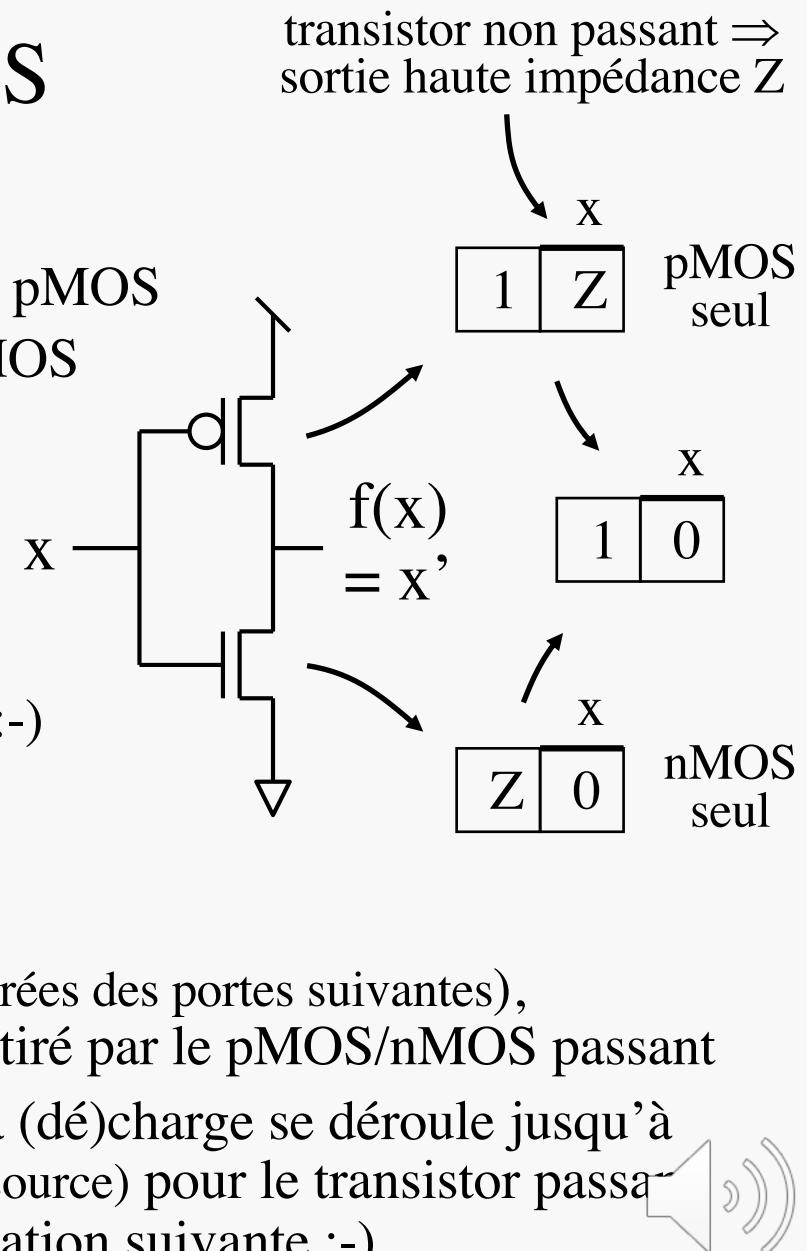


Bientôt des portes CMOS plus complexes : PC3, CM4, PC4 ...



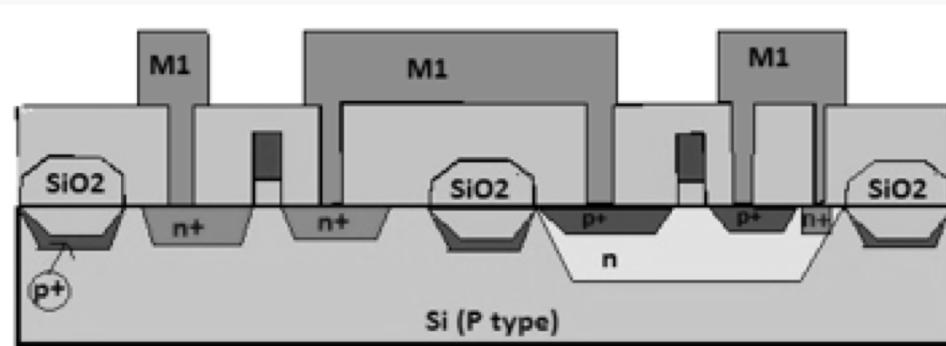
# FONCTIONNEMENT DE L'INVERSEUR CMOS

- Sources et drains :
  - Alimentation = source (de trous) pour le pMOS
  - Masse = source (d'électrons) pour le nMOS
  - Drains côté sortie
- Comportement statique :
  - cf. tables de vérité ci-contre
  - pas de court-circuit alimentation-masse :-)
- Comportement dynamique
  - origine du délai combinatoire
  - capacité en sortie (la sienne + celle des entrées des portes suivantes), chargée/déchargée par le courant fourni/tiré par le pMOS/nMOS passant
  - suite à une commutation de l'entrée  $x$ , la (dé)charge se déroule jusqu'à convergence vers 0 de  $V_{DS}$  et  $I_{DS}$  (drain-source) pour le transistor passant (ensuite, courant nul, jusqu'à la commutation suivante :-))

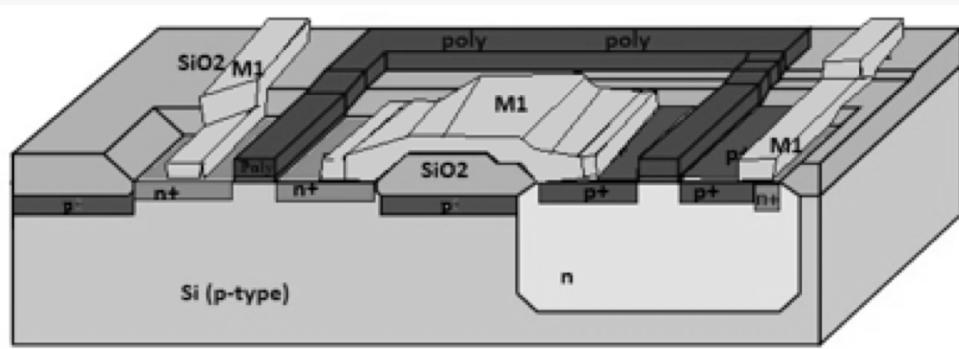


# INVERSEUR CMOS INTÉGRÉ

coupe

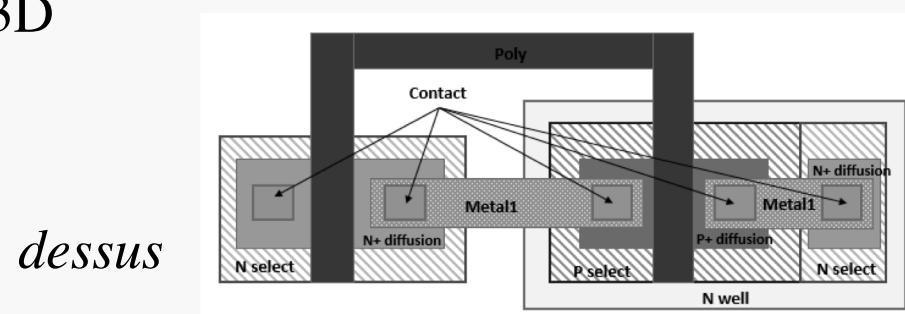


Inverseur CMOS :  
transistors + connexions  
locales en « métal 1 »

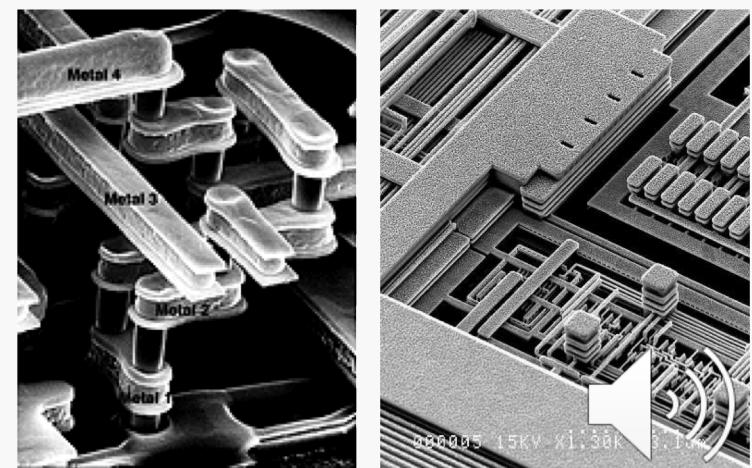


multiples couches métalliques  
empilées au-dessus, pour  
connexions à plus grande  
distance (microphotographies)

3D

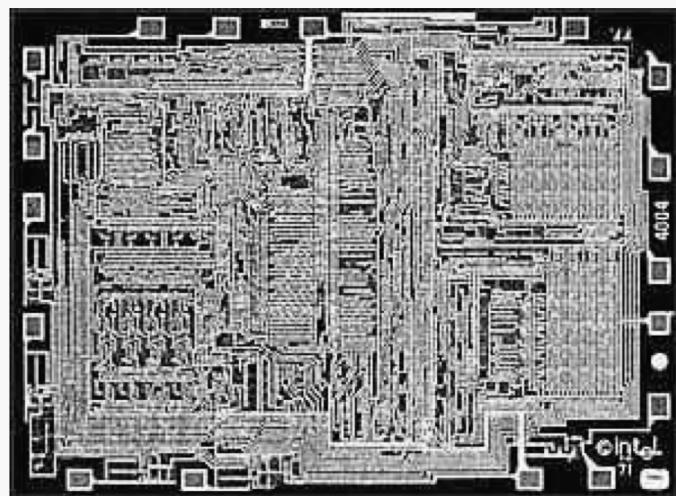


dessus

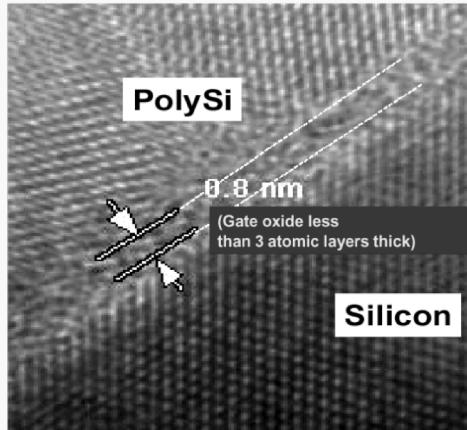


# « LOI » DE MOORE :

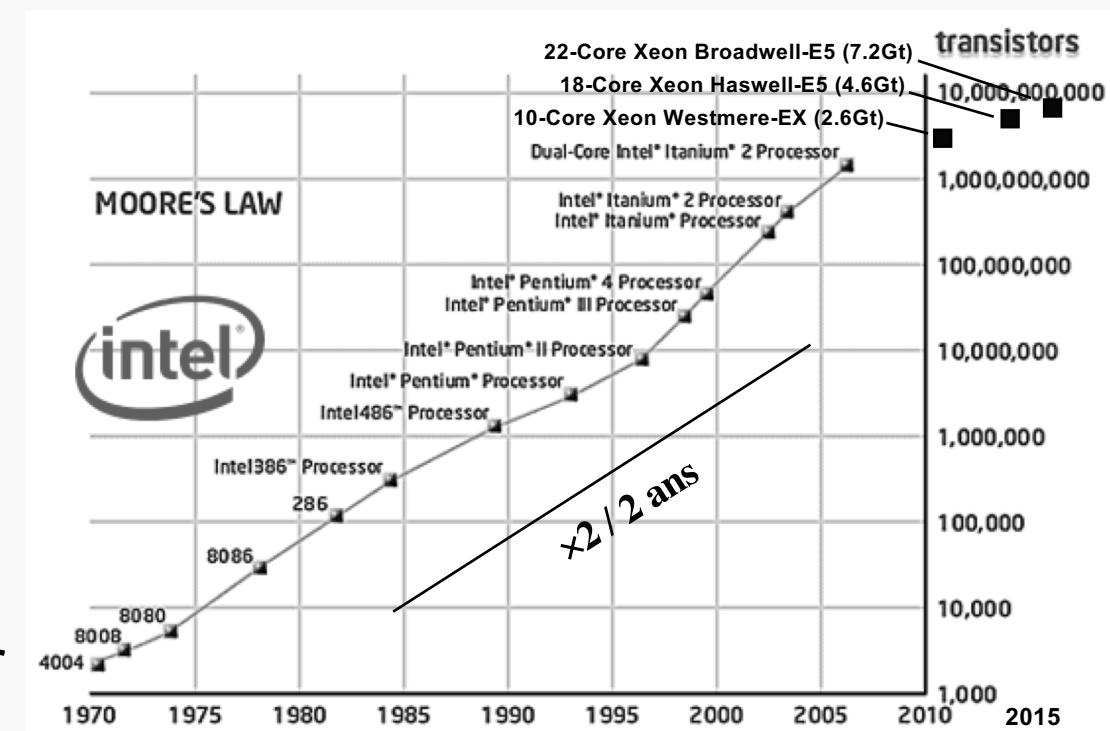
2 × + de transistors tous les 2 ans



1971 : Intel 4004, 3kt



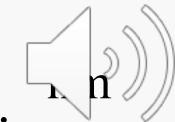
~2007 : abandon de la silice comme diélectrique



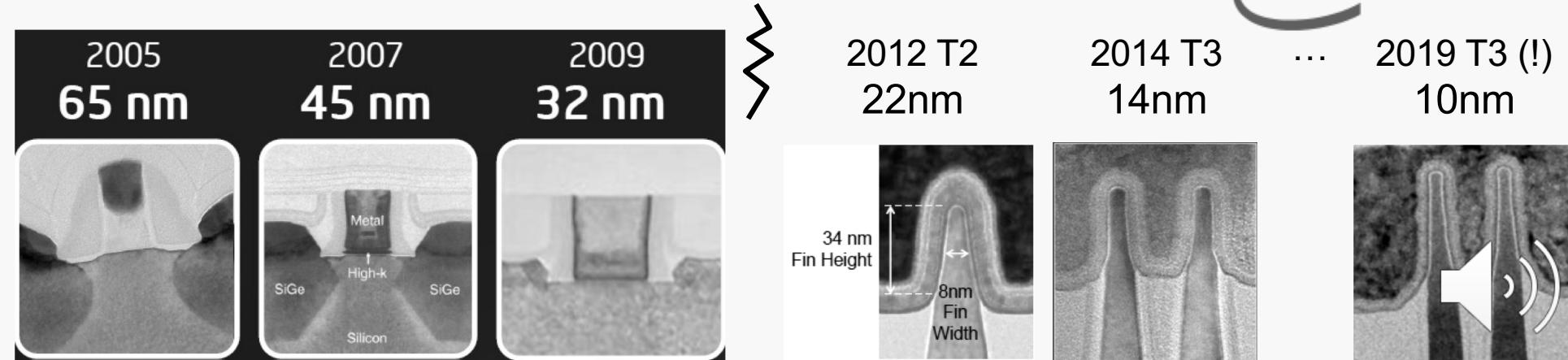
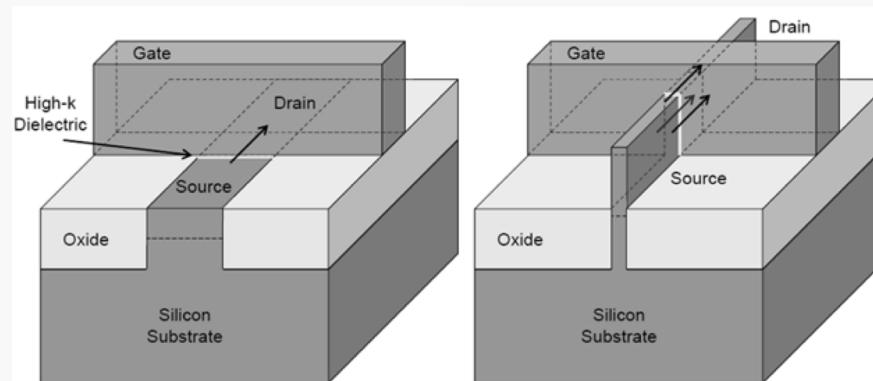
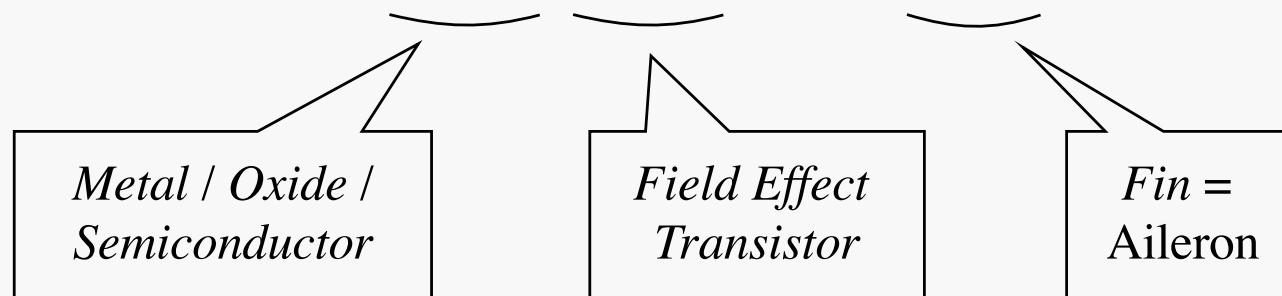
dimension caractéristique : la longueur minimale de canal

rythme longtemps tenu : nouvelle génération tous les 2 ans avec réduction de taille d'un facteur  $\sqrt{2}$  - ralentissement en cours

nœuds technologiques :     … 250 130 65 32 **14** 7 …  
                                   … 350 180 90 45 22 **10** 5 …

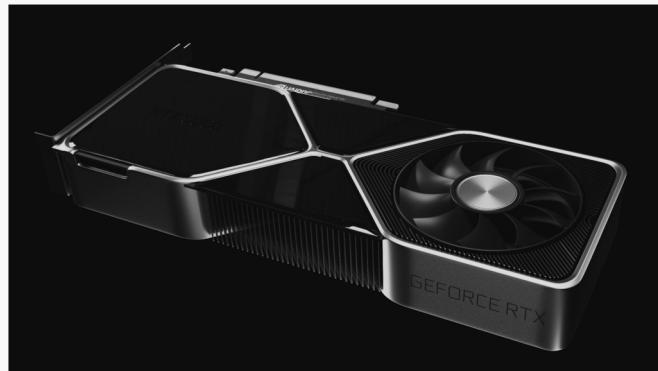


# DU MOSFET AU FINFET

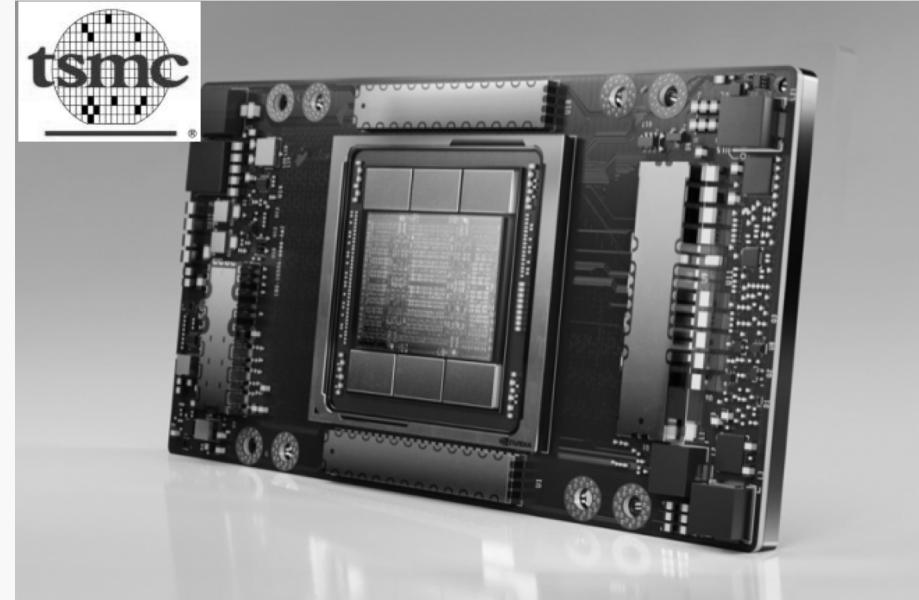
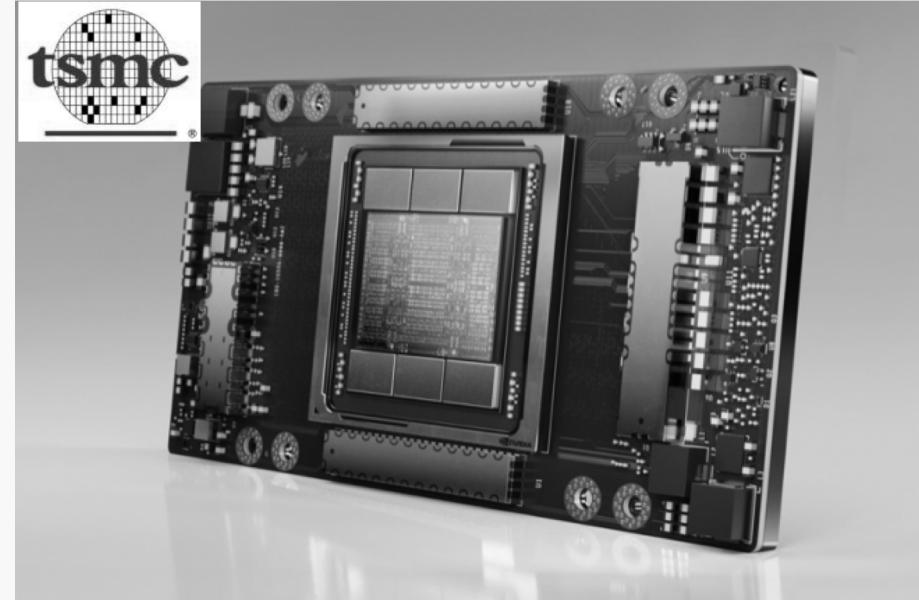


# GPU

Carte graphique  
Geforce RTX 3080 719€



A100  
Q4 2020  
**54Gt**  
7nm  
826mm<sup>2</sup>



# LES PLUS GROS CIRCUITS

Field  
Programmable  
Gate Arrays



EN NOMBRE DE  
TRANSISTORS

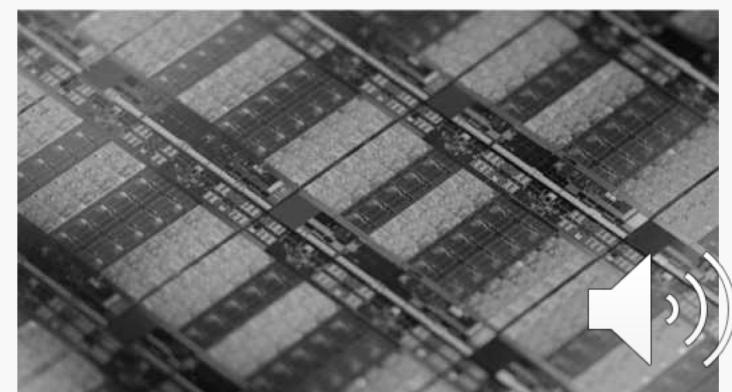
FPGA  
→ PC3

**43Gt** 14nm  
1400mm<sup>2</sup> 2019

Processeurs  
multi-cœurs  
pour serveurs



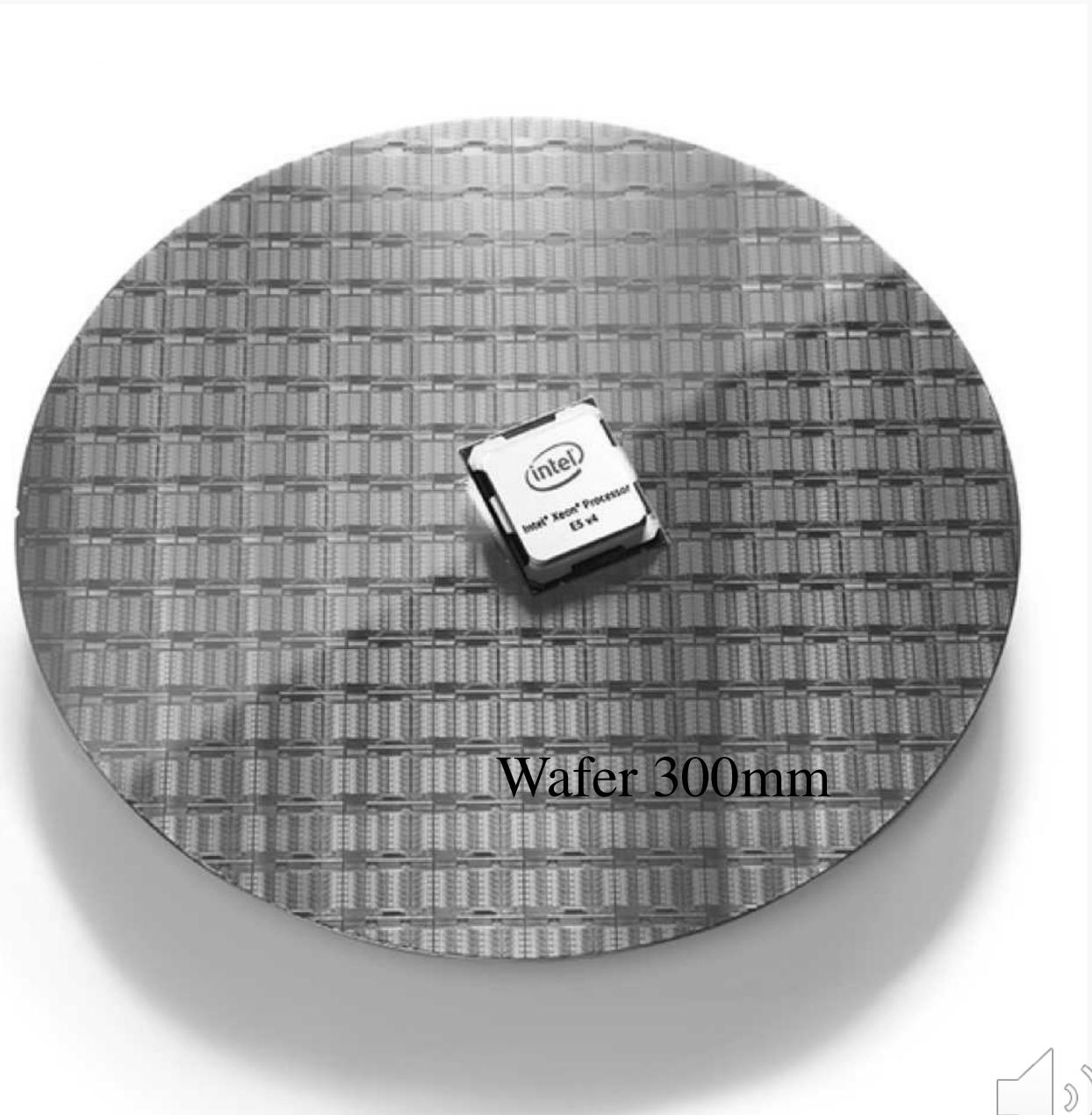
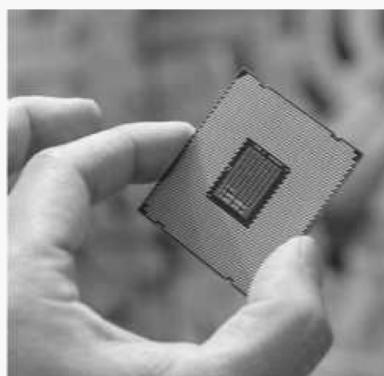
Xeon E5-2699 v4 22-core Broadwell  
**7,2Gt** 14nm 456mm<sup>2</sup> 145W 03/2016



Marché  
des serveurs

Processeurs  
multi-cœurs

Xeon E5-2699 v4  
22(/24)-core  
Broadwell  
**7,2Gt** 14nm 456mm<sup>2</sup>  
2,2GHz 145W  
Q1' 2016 \$4k+



Wafer 300mm

