

Analyse énergétique et conception optimisée RISC-V pour l'IA

École Nationale Supérieure des Techniques Avancées de Paris

Bastien HUBERT

Agenda de la présentation 19/7/2022

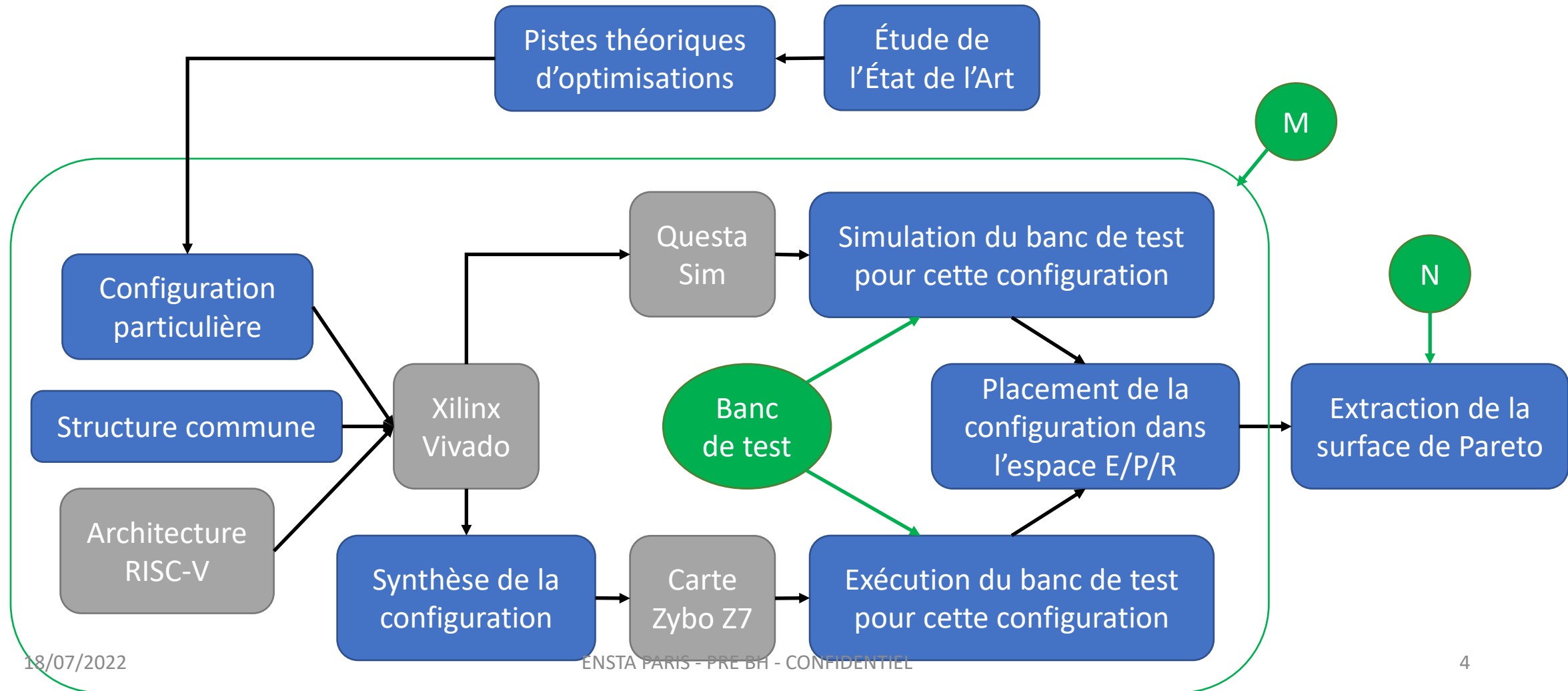
1. Calendrier
2. Méthodologie de résolution du stage v1
3. Flot de conception de test et validation du stage v1
4. Identification des points d'optimisation du stage v1
5. Résultats
6. Conclusion

Calendrier Prévisionnel

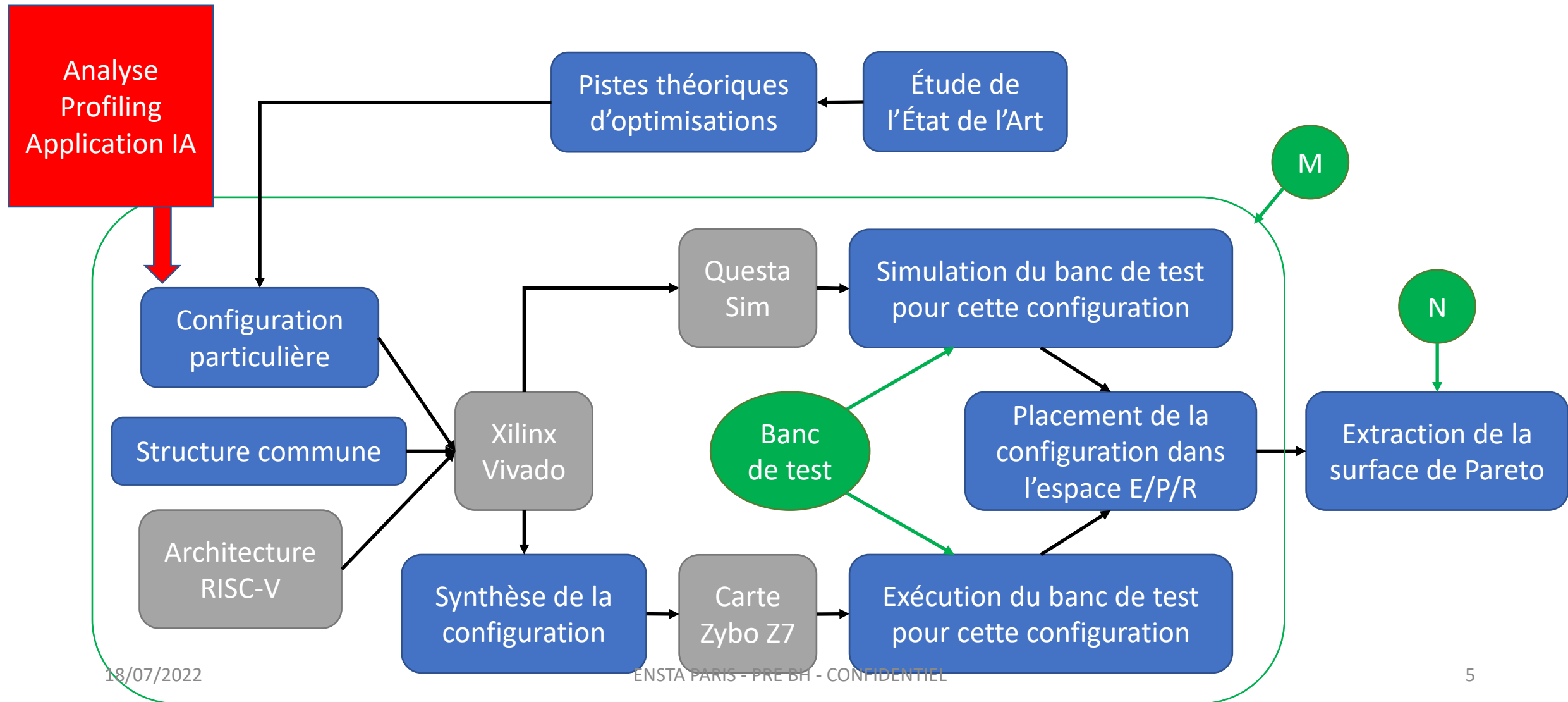
Jalons du stage, v1

Activité	début	fin
<i>Étude de l'État de l'Art</i>	11/05/2022	31/07/2022
<i>Prise en main de SystemVerilog</i>	16/05/2022	12/06/2022
<i>Étude des Low Power Design</i>	13/06/2022	31/07/2022
<i>Simulations avec Mentor Questa</i>	13/06/2022	26/06/2022
<i>Prise en main de la carte électronique Zybo</i>	27/06/2022	03/07/2022
<i>Synthèse sur Zybo avec Vivado</i>	04/07/2022	10/07/2022
<i>Mesure des performances énergétiques</i>		
<i>Recherche d'optimisations énergétiques</i>	11/07/2022	17/07/2022
<i>Mise en pratique des optimisations</i>	18/07/2022	24/07/2022
<i>Mesure des performances énergétiques</i>		
<i>Rapport et potentielle publication</i>	25/07/2022	31/07/2022

Flot de conception et de validation du stage v1



Flot de conception et de validation du stage v2

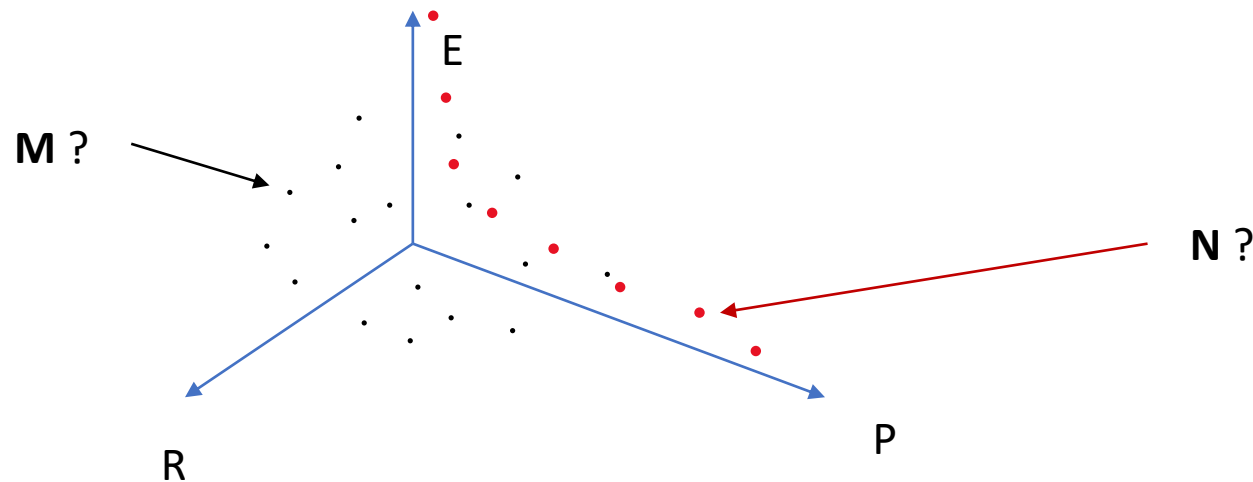


Analyse application IA – profiling description, résultats et statistiques *(Processeur PC)* *reference sim-profile /simplescalar*

Identification des points d'optimisation

Forme des résultats attendus (*sous contraintes de ressources et de temps du stage*)

- Espace performance (P)/énergie (E)/ressources FPGA (R)
- Pb mathématique d'optimisation multiobjectif: $\langle \max P, \min E, \min R \rangle$
- Surface de Pareto $\langle \max P, \min E, \min R \rangle \neq \min w_1/P + w_2 E + w_3 R$
- Mais relations non linéaires entre les fonctions objectifs



Forme des résultats attendus (sous contraintes de ressources et de temps du stage)

- Espace de recherche potentiellement très grand :
 - **D1:** Dimensionnement architectural
 - **D2:** Dimensionnement de l'implémentation (organisation sur FPGA)
 - **D3:** Dimensionnement de l'outil (Vivado, QuestaSim)
 - **D4:** Dimensionnement des techniques d'optimisation
- Il faudra faire une **analyse en composantes principales** sur un premier ensemble afin d'éliminer les paramètres qui influencent le moins les résultats
- Il faudra déterminer le pas de variation de chaque paramètre

D3: Dimensionnement de l'outil (Vivado, QuestaSim): options et résultats

D2: Dimensionnement de l'implémentation (organisation sur FPGA) *(1/2): options et résultats* *résultats ressources*

Table 1: Zynq-7000 and Zynq-7000S SoCs (Cont'd)

Device Name	Z-7007S	Z-7012S	Z-7014S	Z-7010	Z-7015	Z-7020	Z-7030	Z-7035	Z-7045	Z-7100
Part Number	XC7Z007S	XC7Z012S	XC7Z014S	XC7Z010	XC7Z015	XC7Z020	XC7Z030	XC7Z035	XC7Z045	XC7Z100
Xilinx 7 Series Programmable Logic Equivalent	Artix®-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Kintex®-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA
Programmable Logic Cells	23K	55K	65K	28K	74K	85K	125K	275K	350K	444K
Look-Up Tables (LUTs)	14,400	34,400	40,600	17,600	46,200	53,200	78,600	171,900	218,600	277,400
Flip-Flops	28,800	68,800	81,200	35,200	92,400	106,400	157,200	343,800	437,200	554,800
Block RAM (# 36 Kb Blocks)	1.8 Mb (50)	2.5 Mb (72)	3.8 Mb (107)	2.1 Mb (60)	3.3 Mb (95)	4.9 Mb (140)	9.3 Mb (265)	17.6 Mb (500)	19.2 Mb (545)	26.5 Mb (755)
DSP Slices (18x25 MACCs)	66	120	170	80	160	220	400	900	900	2,020
Peak DSP Performance (Symmetric FIR)	73 GMACs	131 GMACs	187 GMACs	100 GMACs	200 GMACs	276 GMACs	593 GMACs	1,334 GMACs	1,334 GMACs	2,622 GMACs
PCI Express (Root Complex or Endpoint) ⁽³⁾		Gen2 x4			Gen2 x4		Gen2 x4	Gen2 x8	Gen2 x8	Gen2 x8
Analog Mixed Signal (AMS) / XADC	2x 12 bit, MSPS ADCs with up to 17 Differential Inputs									
Security ⁽²⁾	AES and SHA 256b for Boot Code and Programmable Logic Configuration, Decryption, and Authentication									

Notes:

1. Restrictions apply for CLG225 package. Refer to the [UG585](#), Zynq-7000 SoC Technical Reference Manual (TRM) for details.
2. Security is shared by the Processing System and the Programmable Logic.
3. Refer to [PG054](#), 7 Series FPGAs Integrated Block for PCI Express for PCI Express support in specific devices.

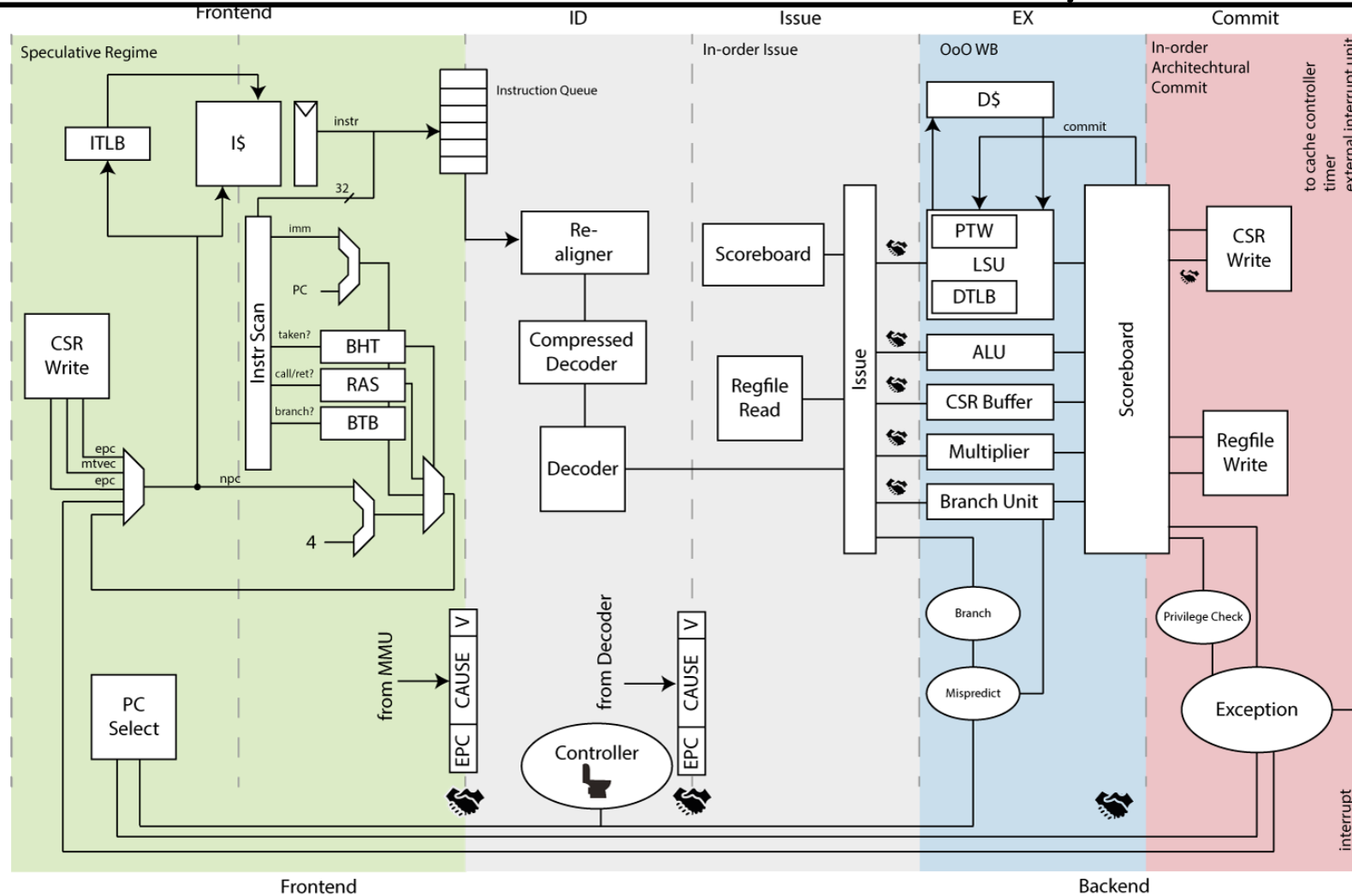
D2: Dimensionnement de l'implémentation (organisation sur FPGA) (2/2): options et résultats

- Figures Placement routage

D4: Dimensionnement des techniques d'optimisation: options et résultats

D1: Dimensionnement architectural: options et résultats

D1: Dimensionnement architectural: *options* et résultats Structure de ARIANE/CV32A6



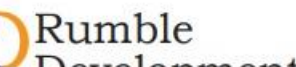
Processeurs RISC V commerciaux

Etat de l'art



OPENHWTM
— PROVEN PROCESSOR IP —

Industry Members
84+ Members & Partners



aws cadence®



OpenUK ♦ ORCRO



Accounting, Legal, Banking



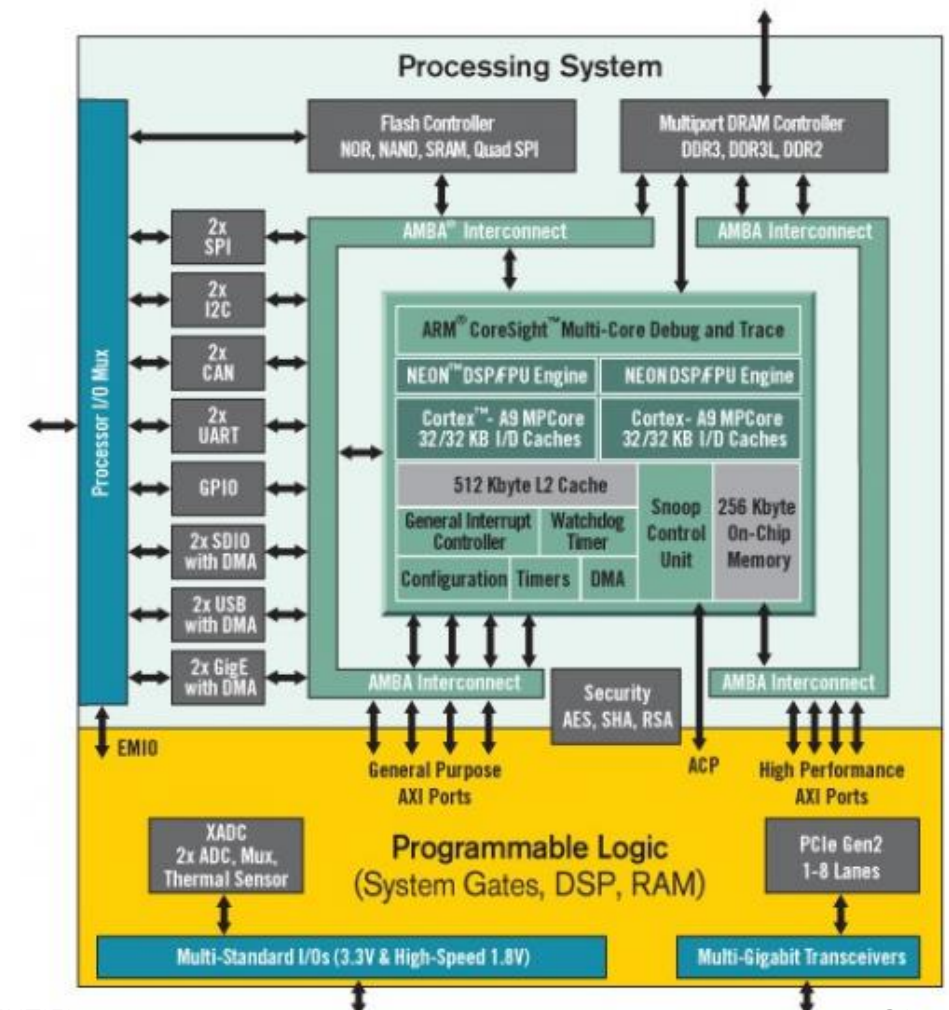
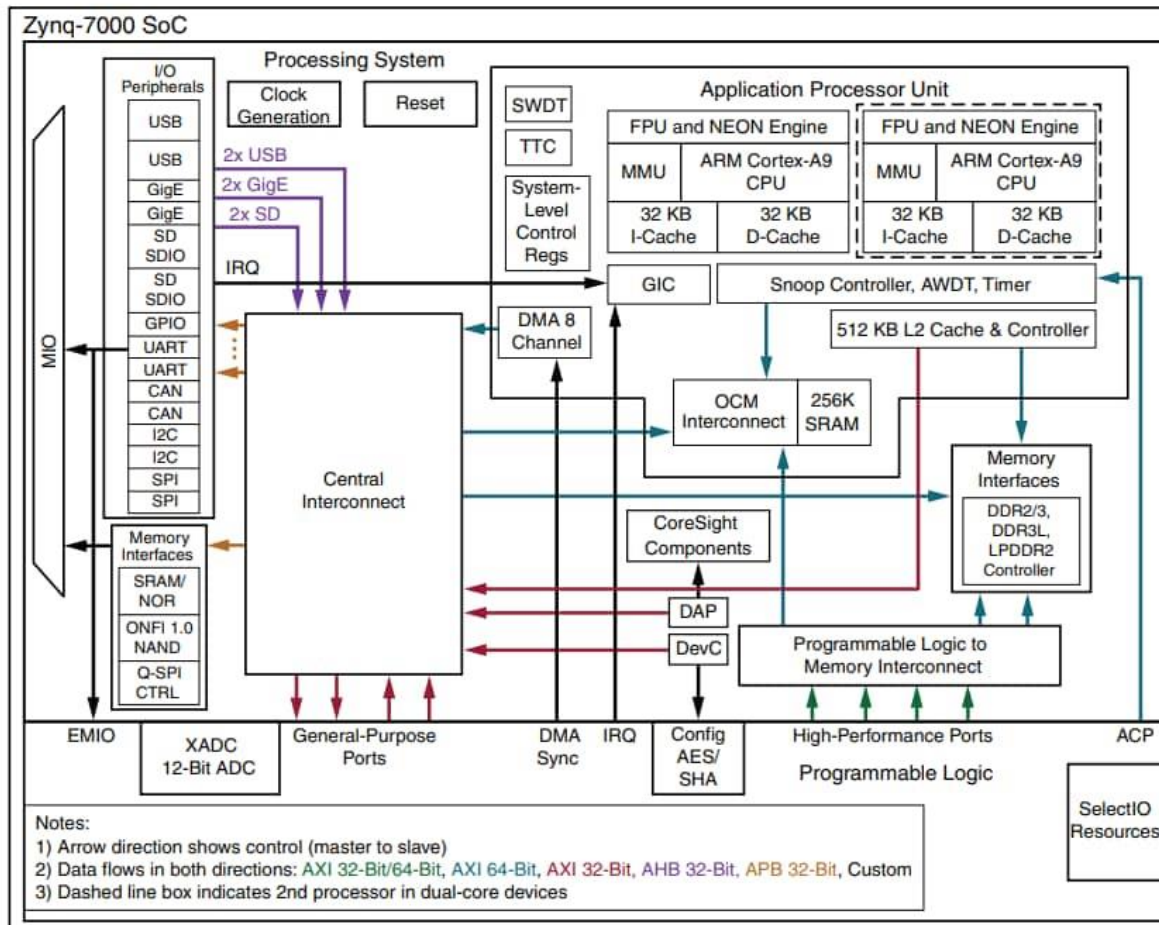
NORTON ROSE FULBRIGHT



Conclusion

BACKUP SLIDES

Structure du circuit Zynq 7020



Structure du circuit Zynq 7020

Feature Summary

Table 1: Zynq-7000 and Zynq-7000S SoCs

	Device Name	Z-7007S	Z-7012S	Z-7014S	Z-7010	Z-7015	Z-7020	Z-7030	Z-7035	Z-7045	Z-7100
	Part Number	XC7Z007S	XC7Z012S	XC7Z014S	XC7Z010	XC7Z015	XC7Z020	XC7Z030	XC7Z035	XC7Z045	XC7Z100
Processing System	Processor Core	Single-core ARM Cortex-A9 MPCore™ with CoreSight™			Dual-core ARM Cortex-A9 MPCore™ with CoreSight™						
	Processor Extensions	NEON™ & Single / Double Precision Floating Point for each processor									
	Maximum Frequency	667 MHz (-1); 766 MHz (-2)			667 MHz (-1); 766 MHz (-2); 866 MHz (-3)			667 MHz (-1); 800 MHz (-2); 1 GHz (-3)			667 MHz (-1) 800 MHz (-2)
	L1 Cache	32 KB Instruction, 32 KB data per processor									
	L2 Cache	512 KB									
	On-Chip Memory	256 KB									
	External Memory Support ⁽¹⁾	DDR3, DDR3L, DDR2, LPDDR2									
	External Static Memory Support ⁽¹⁾	2x Quad-SPI, NAND, NOR									
	DMA Channels	8 (4 dedicated to Programmable Logic)									
	Peripherals ⁽¹⁾	2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO									
	Peripherals w/ built-in DMA ⁽¹⁾	2x USB 2.0 (OTG), 2x Tri-mode Gigabit Ethernet, 2x SD/SDIO									
	Security ⁽²⁾	RSA Authentication, and AES and SHA 256-bit Decryption and Authentication for Secure Boot									
Processing System to Programmable Logic Interface Ports (Primary Interfaces & Interrupts Only)		2x AXI 32b Master 2x AXI 32-bit Slave 4x AXI 64-bit/32-bit Memory AXI 64-bit ACP 16 Interrupts									

Structure du circuit Zynq 7020

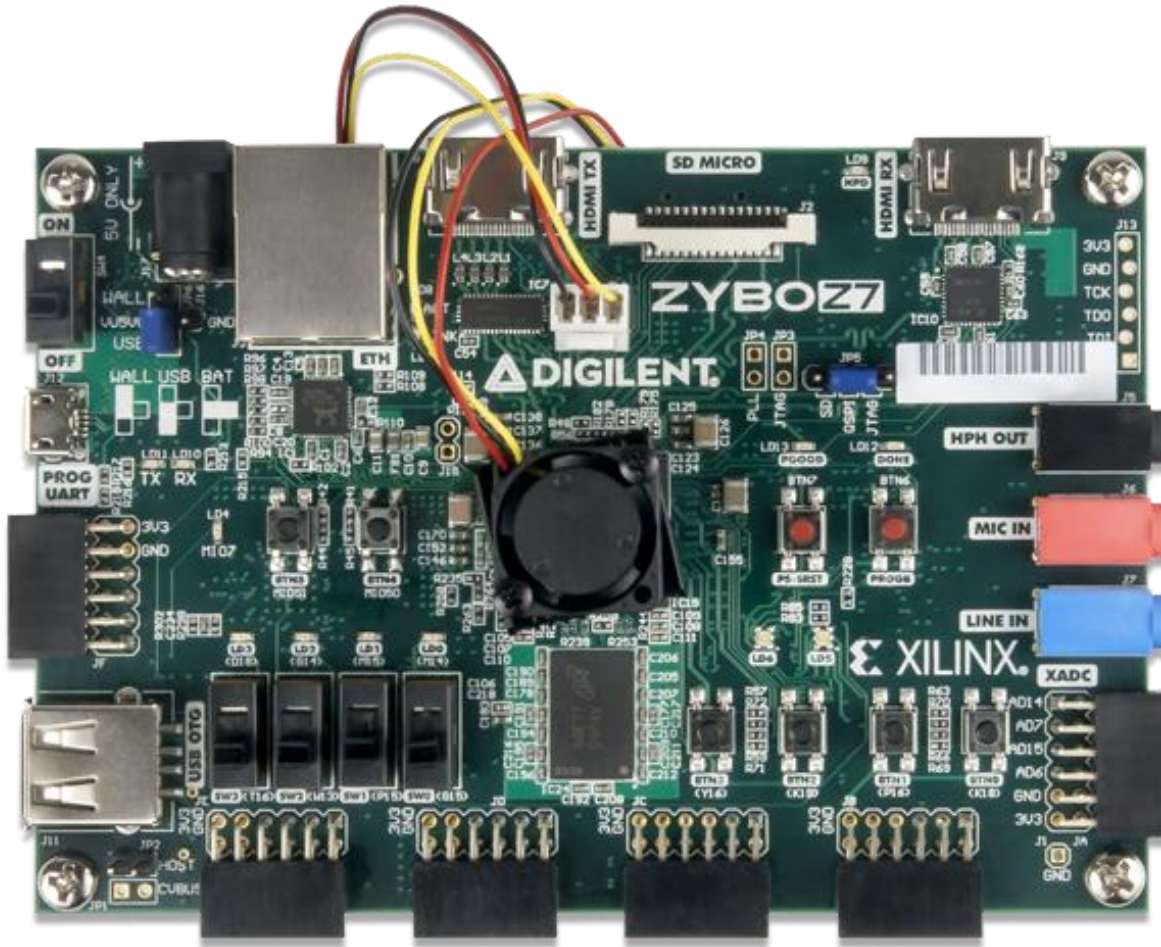
Table 1: Zynq-7000 and Zynq-7000S SoCs (Cont'd)

	Device Name	Z-7007S	Z-7012S	Z-7014S	Z-7010	Z-7015	Z-7020	Z-7030	Z-7035	Z-7045	Z-7100
	Part Number	XC7Z007S	XC7Z012S	XC7Z014S	XC7Z010	XC7Z015	XC7Z020	XC7Z030	XC7Z035	XC7Z045	XC7Z100
Programmable Logic	Xilinx 7 Series Programmable Logic Equivalent	Artix®-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Kintex®-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA
	Programmable Logic Cells	23K	55K	65K	28K	74K	85K	125K	275K	350K	444K
	Look-Up Tables (LUTs)	14,400	34,400	40,600	17,600	46,200	53,200	78,600	171,900	218,600	277,400
	Flip-Flops	28,800	68,800	81,200	35,200	92,400	106,400	157,200	343,800	437,200	554,800
	Block RAM (# 36 Kb Blocks)	1.8 Mb (50)	2.5 Mb (72)	3.8 Mb (107)	2.1 Mb (60)	3.3 Mb (95)	4.9 Mb (140)	9.3 Mb (265)	17.6 Mb (500)	19.2 Mb (545)	26.5 Mb (755)
	DSP Slices (18x25 MACCs)	66	120	170	80	160	220	400	900	900	2,020
	Peak DSP Performance (Symmetric FIR)	73 GMACs	131 GMACs	187 GMACs	100 GMACs	200 GMACs	276 GMACs	593 GMACs	1,334 GMACs	1,334 GMACs	2,622 GMACs
	PCI Express (Root Complex or Endpoint) ⁽³⁾		Gen2 x4			Gen2 x4		Gen2 x4	Gen2 x8	Gen2 x8	Gen2 x8
	Analog Mixed Signal (AMS) / XADC	2x 12 bit, MSPS ADCs with up to 17 Differential Inputs									
	Security ⁽²⁾	AES and SHA 256b for Boot Code and Programmable Logic Configuration, Decryption, and Authentication									

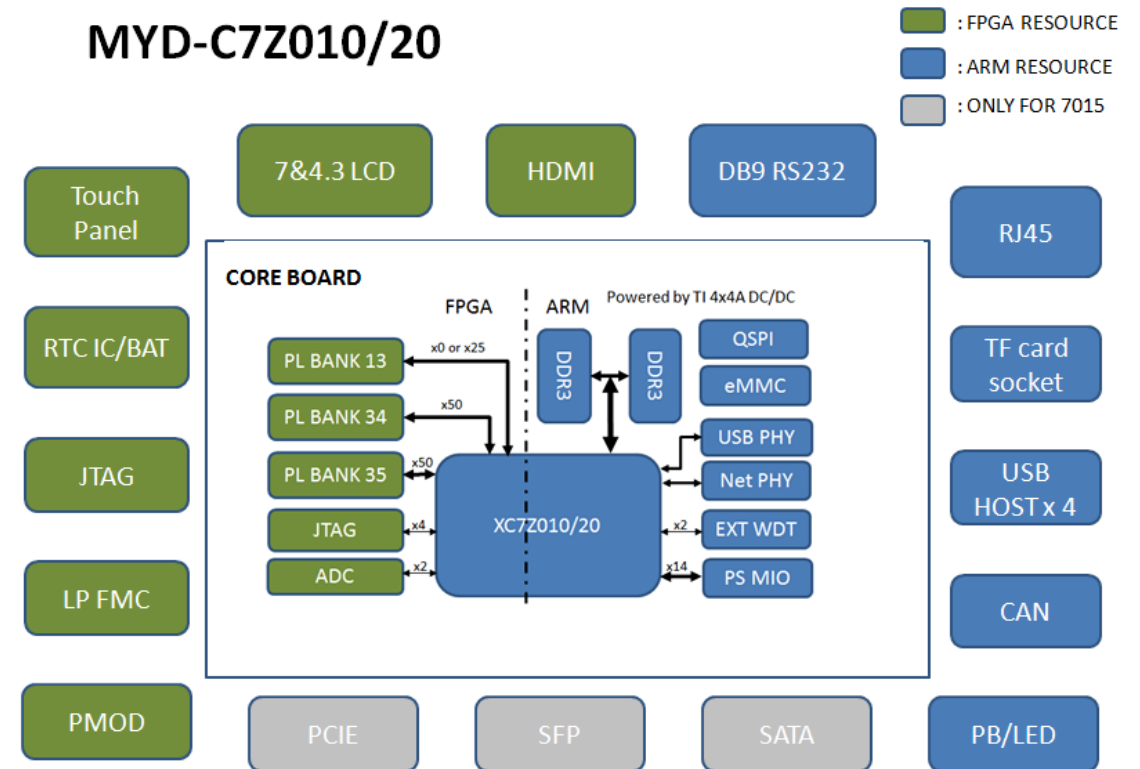
Notes:

1. Restrictions apply for CLG225 package. Refer to the [UG585](#), *Zynq-7000 SoC Technical Reference Manual* (TRM) for details.
2. Security is shared by the Processing System and the Programmable Logic.
3. Refer to [PG054](#), *7 Series FPGAs Integrated Block for PCI Express* for PCI Express support in specific devices.

Structure de la carte électronique Zybo Z7

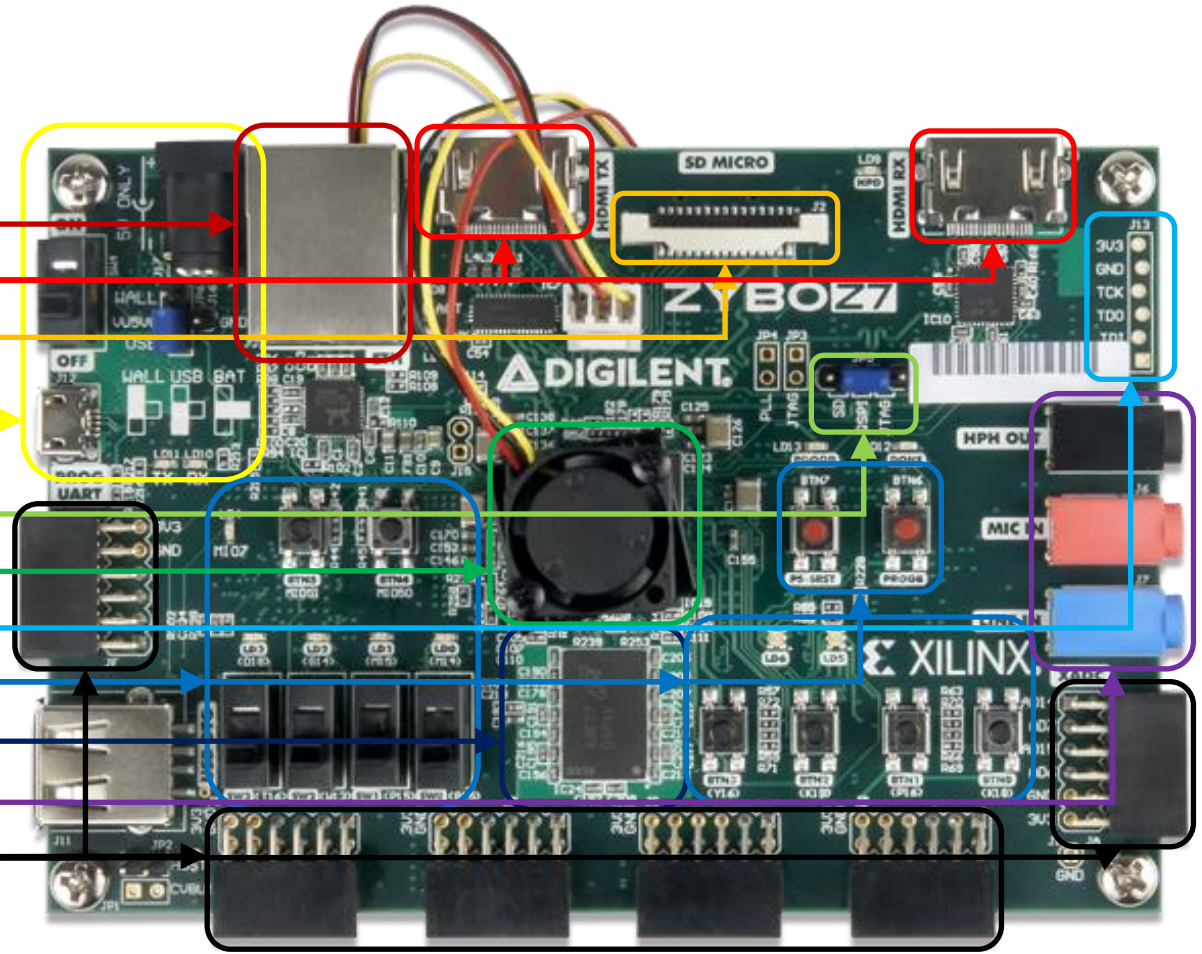


MYD-C7Z010/20



Structure de la carte électronique Zybo Z7

- Port Ethernet
- Entrée et sortie HDMI
- Lecteur micro-SD
- Alimenté par Jack ou micro USB
- Programmable par micro USB (1 câble)
- Sélecteur de mode de programmation
- Processeur Zynq-7000
- Port JTAG
- Boutons/DELs/interrupteurs utilisateur
- Mémoire DDR3L SDRAM
- Ports audio
- Ports d'expansion



Structure de la carte électronique Zybo Z7

Alimentation :

- Connecteur Jack
- micro USB
- sous 5V

Programmation :

- micro USB 2.0 - JTAG
- mémoire flash Quad-SPI
- carte micro SD

Processeur Zynq-7000 :

- Cortex A9 à 2 cœurs
- 667 MHz

Configuration :

- 0) BootROM et mode de programmation
- 1) First Stage Boot Loader, configuration du PS et potentiellement du PL
- 2) Application utilisateur

Horloges :

- PS_CLK à 33,333 MHz (permet Zynq @667 et DDR3 @533 MHz)
- Horloge externe à 125 MHz, connectée à K17 pour la PL
- 2 Mixed-Mode Clock Manager et 2 Phase-Locked Loop pour la PL

Mémoire DDR3L SDRAM :

- 1 GB
- Bus sur 32 bits
- 1066 MHz

Entrées/sorties :

- Port Ethernet
- Entrée et sortie HDMI
- Boutons/DEls/interrupteurs utilisateur
- Ports audio
- Ports d'expansion

Références :

- Zynq 7020 : <https://docs.xilinx.com/v/u/en-US/ds190-Zynq-7000-Overview>
- Zybo Z7 : https://digilent.com/reference/media/reference/programmable-logic/zybo-z7/zybo-z7_rm.pdf
- Questa Sim : <https://eda.sw.siemens.com/en-US/ic/questa/simulation/advanced-simulator/>
- Vivado : <https://www.xilinx.com/products/design-tools/vivado.html>

