

Segundo Parcial Arqui

1 Cuatrimestre 2018

1) Procesador Intel 32b con páginas de 4KB. Dir de páginas con 256 entradas. PC con 2GB RAM. Inicia en modo flat, en memoria física 2 programas, uno de 15kb y otro de 30kb. El primero ubicado a partir de 1G de memoria física y el segundo al final de la memoria física.

Dir de páginas donde parezca más adecuado. Page table arranca en 11999000h de la memoria física. Dir lineal de los programas debe ser contigua, ubicando primero al primer programa y después al segundo sin memoria libre en el medio. Dir lineal de inicio A7880000h.

A. Dibujar mapa de memoria e indicar todo lo necesario para que funcione correctamente.

2^{32} direcciones lógicas

4KB páginas

2GB RAM

1º programa 15KB \leftarrow 1G mem física
2º programa 30KB \leftarrow final mem física

TP = 1199 9000h mem física arranca.

dir = cont. \rightarrow 1199 A 0000h dir.

mem virtual programa 1 A788 0000h

15KB \rightarrow necesita 4 páginas

30KB \rightarrow necesita 8 páginas.

programa 1 va en física 1G arranca
 \hookrightarrow 4000 0000h

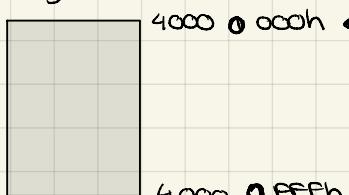
como son 4 \rightarrow 4000 1 000h

4000 2 000h

4000 3 000h \rightarrow 4000 3 FFFFh

virtual desde A788 0 000h hasta A788 3 FFFFh

Página inicio



tablero de página

	1199 9 000h
4000 0	1199 9 880h
4000 1	+ page
4000 2	
4000 3	1199 9 883h
	1199 9 FFFFh

directorio

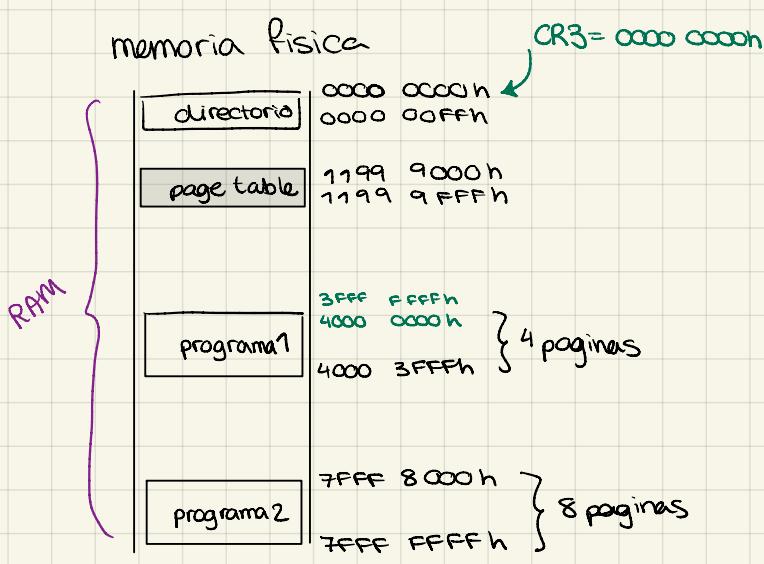
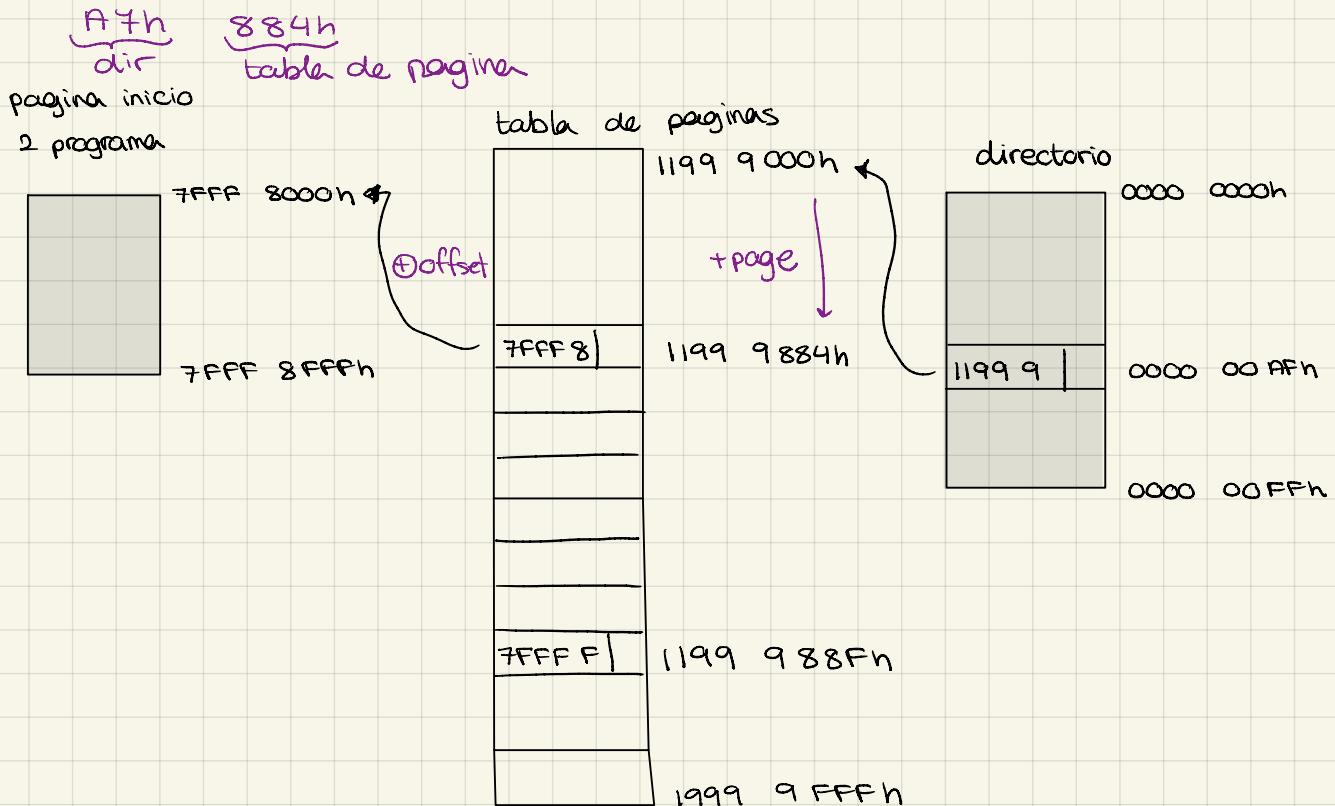
0000 0000h	1199 9 000h
0 AFh	1199 9 880h
0000 00FFh	1199 9 883h

programa 2 va ubicado al final de la mem. física \rightarrow 7FFF FFFFh

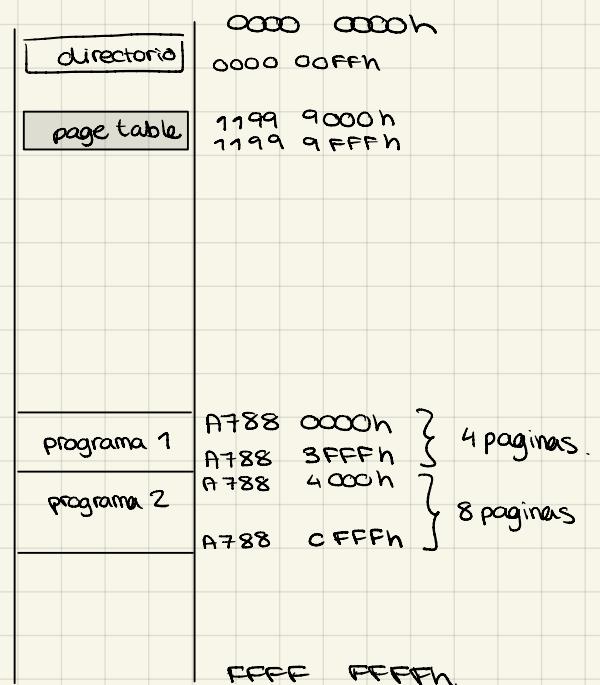
sumo 8 páginas para ver inicio 7FFF 8000h \rightarrow 7FFF FFFFh

mem virtual de 1er programa termina en A788 3FFFh \Rightarrow A788 4000h

1º \rightarrow A788 4000h



memoria virtual



$$40B = 2^2 \cdot 2^0$$

2) Procesador Intel 32b. Memoria cache de 8kb solo para los bloques, que son de 32bytes, en una PC de 2MB de memoria física.

A. Calcular la cache extra necesaria para guardar las etiquetas.

B. Calcular la cantidad de etiquetas.

C. Dibujar la memoria cache.

D. Explique como y cuando se guardara en la cache lo siguiente: mov AH,[1234AABB]h

$$2^{32} = 2^2 \cdot 2^{30} = 4G \text{ procesador}$$

$$2^3 \cdot 2^{10} = 2^{13} \text{ cache} \quad \text{bloques} = 2^5$$

$$2 \cdot 2^{20} = 2^{21} \text{ mem física}$$

a)

$$\frac{\text{mem física}}{2^5} = 2^{16} \rightarrow 16 \text{ bits. los punteros de etiquetas.}$$

↑
tamaño
bloques

$$8\text{kb para bloques} \rightarrow \frac{2^{13}}{2^5} = 2^8 \text{ bloques en cache.}$$

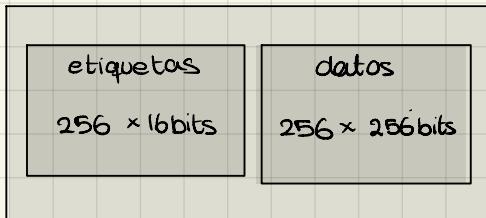
256 × 16bits extra para las etiquetas

b)

$$\frac{2^{13}}{2^5} = 2^8 = 256 \text{ etiquetas}$$

$$\frac{2^{21}}{2^5} = 2^{16} \rightarrow 16 \text{ bits son las etiquetas.}$$

c)



d) mov AH, [1234 AABBh]

① el procesador se fija si tiene la etiqueta del bloque que contiene a la dirección 1234 AABBh

② en el chequeo de las etiquetas

Ⓐ Hit osea pertenece se lo entrega al procesador

Ⓑ miss osea no esta se busca en la memoria física se carga a la cache, si esta llena elimina un bloque y lo reemplaza, luego ahí se mandan al procesador

③ el procesador ejecutara la instrucción

3) Dado

1.

Mov bh,[100]h

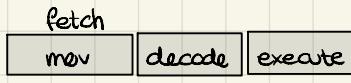
2. Add ah,bh

3. mov bh,[101]h

A. Describir el problema entre las instrucciones 1 y 3 con un Pipeline de 3 estados(Fetch, decode, execute)

B. Como lo solucionaría?

1) ① mov bh, [100]h



② addl ah, bh



③ mov bh, [101]h



→
time

cuando I₁ busca ejecutarse al mismo tiempo quiere pasar el fetch de I₃ pero en este caso no se pueden hacer en simultaneo pq I₁ es un mov osea usa el bus de datos tambien y por la arquitectura von newmann no se pueden hacer los dos en simultaneo ya que primero se ejecuta el mov y luego el fetch

2) cambiando la arquitectura a harvard.