

Ejercicio 1 (4 puntos)

$$\underbrace{2^4}_{2} \cdot \underbrace{2^{10}}_{2} = 16 EB$$

Ud. participa del diseño de un nuevo procesador de 64 bits de tipo Intel, es decir, que el contenido de cada dirección de memoria es de 1 byte. Le piden que diseñe un sistema de paginación similar al de Intel.

Las condiciones son que:

- Pueda manejar solo páginas de $\boxed{4\text{ GB}}$
- Que posea dos niveles de indexación (Directorio y Tablas de Páginas)
- Que el Directorio tenga 65536 entradas.
- Los elementos del Directorio son iguales a los de las Tablas de páginas.
- Que la Dirección lógica de 64 bits FEDECEBA00001234h luego de pasar por su sistema de paginación se ubique en la dirección física 0000FAAA00001234h

Se pide:

- Explique cómo sería según su criterio la estructura de datos que tendrá cada uno de las entradas del Directorio y de las tablas de páginas. Especifique los campos que tendría y el tamaño de cada uno de ellos. Justifique.
- Dibuje con valores el sistema de paginación en base al ejemplo de acceso a memoria solicitado.

Ejercicio 2 (3 puntos)

El siguiente código en C se compila en el siguiente código en ASM de ARM

```
If( a==b ) {
    a++;
} else {
    a--;
}
```

Cmp	R1,R2
Addeq	R1,#1
Subne	R1,#1

Explique con este ejemplo como las instrucciones condicionales mejoran el rendimiento del pipeline.

Ejercicio 3 (3 puntos)

Ud. tiene un procesador Intel de 32 bits y participa del desarrollo de un sistema operativo. Su equipo le informa que tiene que diseñar la rutina de atención de interrupción de una placa de red que se sabe está conectada a la IRQ6 del PIC.

Por lo tanto su equipo le pide que en base al diagrama de llamada a rutina de interrupción en modo protegido Ud. debe:

- Indicar en qué posición de memoria ubicaría la IDT. ¿Cómo lo haría? Justifique.
- Indicar en el diagrama la posición en la IDT donde ubicar el Interrupt Gate.
- Contenido del Interrupt Gate. ¿Qué datos necesita? Justifique.

Ejercicio 1 (4 puntos)

$$\frac{2^4}{2} \times 2^{10} = 16 \text{ EB}$$

Ud. participa del diseño de un nuevo procesador de 64 bits de tipo Intel, es decir, que el contenido de cada dirección de memoria es de 1 byte. Le piden que diseñe un sistema de paginación similar al de Intel.

Las condiciones son que:

- Pueda manejar solo páginas de $\frac{1}{4}$ GB.
- Que posea dos niveles de indexación (Directorio y Tablas de Páginas).
- Que el Directorio tenga 65536 entradas.
- Los elementos del Directorio son iguales a los de las Tablas de páginas.
- Que la Dirección lógica de 64 bits FEDECCEBA00001234h luego de pasar por su sistema de paginación se ubique en la dirección física 0000FAAA00001234h.

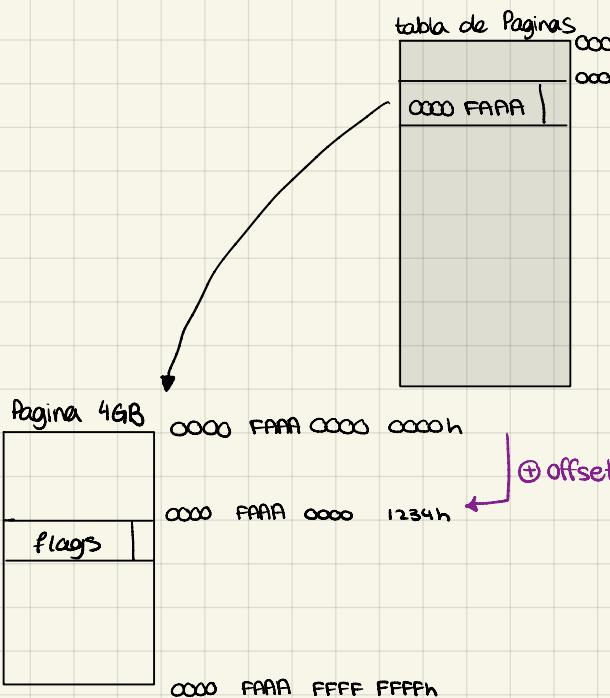
Se pide:

- Explique cómo sería según su criterio la estructura de datos que tendrá cada uno de las entradas del Directorio y de las tablas de páginas. Especifique los campos que tendría y el tamaño de cada uno de ellos. Justifique.
- Dibuje con valores el sistema de paginación en base al ejemplo de acceso a memoria solicitado.

$$\begin{array}{l} \text{procesador } 2^{64} = 16 \text{ EB} \\ \text{páginas de } 4 \text{ GB} = 2^{30} \end{array}$$

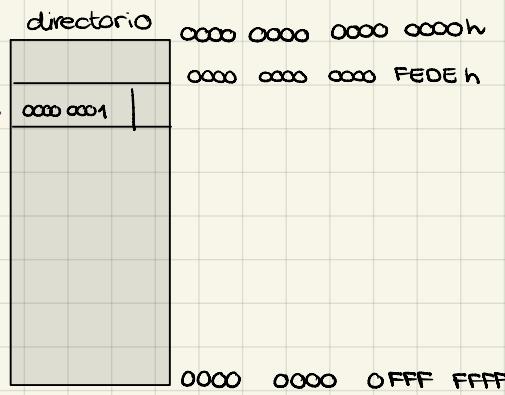
$$65536 \rightarrow 2^6 \cdot 2^{10} = 2^{16} \rightarrow 16 \text{ bits directorio.}$$

16 bits tabla de página.



dirección virtual FEDECCEBA00001234h
 ↳ D ↳ L ↳ TP ↳ offset ↳

dirección física 0000 FAAA 0000 1234h
 ↳ en tabla pagi ↳ offset ↳



Memoria física

directorio	0000 0000 0000 0000h
tabla pag	0000 0000 0FFF FFFFh
	0000 0000 1000 0000h
	0000 0000 1FFF FFFFh
página física	0000 FAAA 0000 0000h
	0000 FAAA FFFF FFFFh
	FFFF FFFF FFFF FFFFh

Memoria Virtual

directorio	0000 0000 0000 0000h
tabla pag	0000 0000 0FFF FFFFh
	0000 0000 1000 0000h
	0000 0000 1FFF FFFFh
Página virt.	FEDECCEBA00001234h
	FEDECCEBA FFFF FFFFh
	FFFF FFFF FFFF FFFFh

Ejercicio 2 (3 puntos)

El siguiente código en C se compila en el siguiente código en ASM de ARM

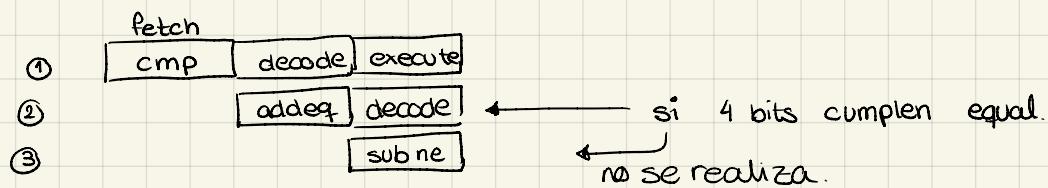
```
If ( a==b )  
a++;  
} else {  
a--;  
}
```

Cmp	R1,R2
Addeq	R1,#1
Subne	R1,#1

Explique con este ejemplo como las instrucciones condicionales mejoran el rendimiento del pipeline.

Las instrucciones condicionales mejoran el rendimiento de pipeline porque busca evitar buscar instrucciones demás no funcionales o los datos o sea economizar la ejecución de instrucciones.

Las instrucciones condicionales tiene sus 4 bits más significativos que indican si se cumple o no la instrucción.



en el decode se fija los primeros 4 bits si cumple

↳ si cumple termina de analizar bits.

↳ si no cumple no se analizan más los bits. y va a la siguiente instrucción.

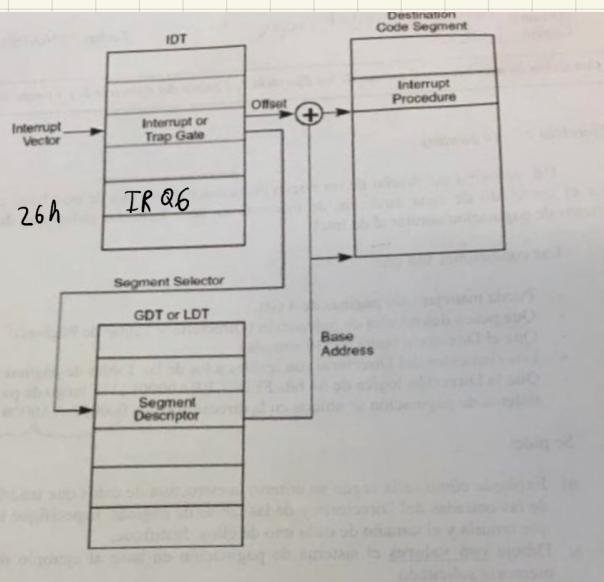
Ejercicio 3 (3 puntos)

Ud. tiene un procesador Intel de 32 bits y participa del desarrollo de un sistema operativo. Su equipo le informa que tiene que diseñar la rutina de atención de interrupción de una placa de red que se sabe está conectada a la IRQ6 del PIC.

Por lo tanto su equipo le pide que en base al diagrama de llamada a rutina de interrupción en modo protegido Ud. debe:

- Indicar en qué posición de memoria ubicaría la IDT. ¿Cómo lo haría? Justifique.
- Indicar en el diagrama la posición en la IDT donde ubicar el Interrupt Gate.
- Contenido del Interrupt Gate. ¿Qué datos necesita? Justifique.

31
7



Interrupt Gate

