

### Ejercicio 1 (4 puntos)

Se dispone de un microprocesador de tipo Intel de 8 bits de bus de datos y  $2^8 = 256$  bits de bus de direcciones. El cual ya tiene conectado un módulo de ROM de  $256\text{MB} \times 8$  se encuentra al final del mapa de memoria. Este módulo ya se encuentra decodificado. Ud. no tiene que hacer nada con este módulo de memoria.

Por una cuestión de crecimiento del proyecto nos dicen que se necesita agregar:

- a) Un módulo de RAM de  $1\text{G}\times 8$
- b) Un módulo de RAM de  $256\text{M} \times 8$
- c) Un módulo de ROM de  $256\text{M} \times 8$

Por una cuestión de espacio y economía Ud. debe usar la mínima cantidad de decodificadores posibles para que el proyecto sea un éxito. Solo puede usar decodificadores.

Se pide en este orden que:

- 1) Dibuje el mapa de memoria con el módulo de ROM pre-existente.
- 2) Dibuje un diagrama esquemático de los integrados utilizados para la RAM y ROM nuevas (líneas de datos, direcciones, etc) Debe colocar nombres a todas las líneas de circuito utilizadas.
- 3) Resuelva la decodificación con estas condiciones y dibuje el circuito obtenido.

### Ejercicio 2 (3 puntos)

Ud. participa del diseño y cálculo de un sistema de paginación para un procesador de 32 bits de tipo Intel, donde el tamaño de la página es de 4KBytes en un sistema que tiene 1 GB de memoria física.

Las condiciones son que:

- Se quiere ubicar en memoria física dos programas, los cuales tienen un tamaño de 9 KBytes (Programa A) y 15 KB (Programa B).
- Los primeros 2MB (dos megabytes) de memoria física están ocupados por otra información del sistema operativo y Ud. no los puede usar.
- La dirección lineal de inicio del programa A es FEDEB000h.
- La dirección lineal de inicio del programa B es BABEF000h
- El Programa A tiene que ubicarse donde comienzan los 256 MBytes de memoria física.
- Los programas A y B tienen que estar contiguos en memoria física. Es decir, primero deben encontrarse las páginas del programa A y luego a continuación las páginas del programa B

Se pide:

- a) Dibuje el mapa de memoria virtual mostrando donde se ubican todos los objetos que intervienen en el mapeo.
- b) Dibuje el mapa de memoria física mostrando donde se ubican todos los objetos que intervienen en el mapeo.

### Ejercicio 3 (3 puntos)

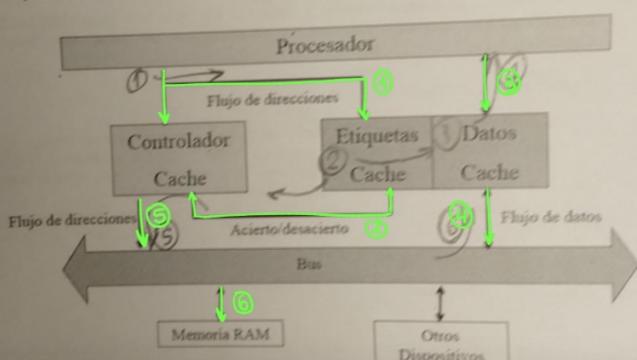
En un procesador Intel de 32 bits con 4MB de memoria caché (sólo para bloques) y que no tiene habilitada la paginación por lo tanto no hay traducción de direcciones a memoria. Se sabe que el tamaño de las etiquetas es de 20 bits y que la memoria física de la PC es de 2 GB ( $2^{31} = 2^{30}$ ).

Un programador corre la siguiente instrucción:

- mov [CAFE0000h], EAX

Responda en base al siguiente gráfico las siguientes preguntas:

- a) Cuál debería ser el tamaño de los bloques en base al tamaño de etiqueta informado.
- b) En cuantos bloques se puede dividir la memoria física dada.
- c) Cuantos bloques entran en la memoria caché
- d) Dibuje sobre el gráfico lo que sucede al correr la instrucción.



Ejercicio 1 (4 puntos)

Se dispone de un microprocesador de tipo Intel de 8 bits de bus de datos y 2<sup>10</sup> bits de bus de direcciones. El cual ya tiene conectado un módulo de ROM de 256MB x 8 se encuentra al final del mapa de memoria. Este módulo ya se encuentra decodificado. Ud. no tiene que hacer nada con este módulo de memoria.

Por una cuestión de crecimiento del proyecto nos dicen que se necesita agregar:

- a) Un módulo de RAM de 1G x 8
- b) Un módulo de RAM de 256M x 8
- c) Un módulo de ROM de 256M x 8

Por una cuestión de espacio y economía Ud. debe usar la mínima cantidad de decodificadores posibles para que el proyecto sea un éxito. Solo puede usar decodificadores.

Se pide en este orden que:

- 1) Dibuje el mapa de memoria con el módulo de ROM pre-existente.
- 2) Dibuje un diagrama esquemático de los integrados utilizados para la RAM y ROM nuevas (líneas de datos, direcciones, etc) Debe colocar nombres a todas las líneas de circuito utilizadas.
- 3) Resuelva la decodificación con estas condiciones y dibuje el circuito obtenido.

<sup>32</sup>

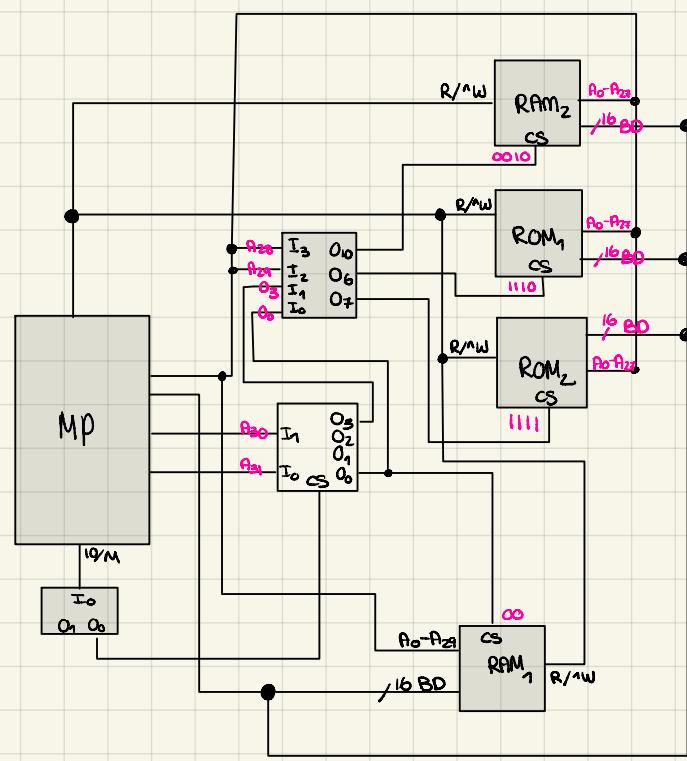
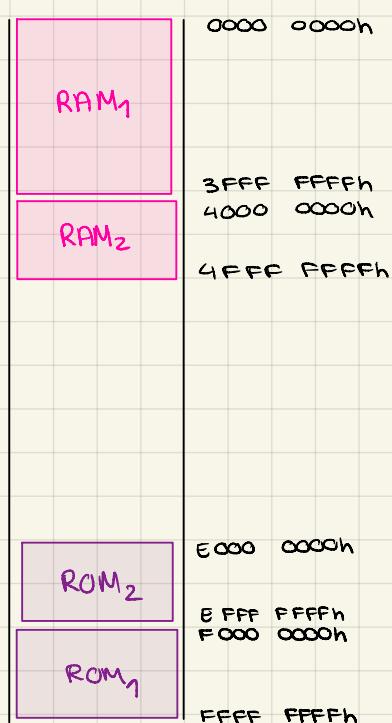
ROM<sub>1</sub> → 256M x 8 en final de mapa mem  
F 000 000 h → FFFF FFFF h

deco → 1111

RAM<sub>1</sub> → 1GB → 2<sup>30</sup>  
0000 0000 h → 3FFF FFFF h  
deco → 00

RAM<sub>2</sub> → 256MB  
4000 0000 h → 4FFF FFFF h  
deco → 0010

ROM<sub>2</sub> → 256 MB  
E 000 0000 h → EFFF FFFF h  
deco → 1110



Ejercicio 2 (3 puntos)

Ud. participa del diseño y cálculo de un sistema de paginación para un procesador de 32 bits de tipo Intel, donde el tamaño de la página es de 4KBytes en un sistema que tiene 1 GB de memoria física.

Las condiciones son que:

- Se quiere ubicar en memoria física dos programas, los cuales tienen un tamaño de 9 KBytes (Programa A) y 15 KB (Programa B).
- Los primeros 2MB (dos megabytes) de memoria física están ocupados por otra información del sistema operativo y Ud. no los puede usar.
- La dirección lineal de inicio del programa A es FEDEB000h.
- La dirección lineal de inicio del programa B es BABEF000h.
- El Programa A tiene que ubicarse donde comienzan los 256 MBytes de memoria física.
- Los programas A y B tienen que estar contiguos en memoria física. Es decir, primero deben encontrarse las páginas del programa A y luego a continuación las páginas del programa B.

Se pide:

- Dibuje el mapa de memoria virtual mostrando donde se ubican todos los objetos que intervienen en el mapeo.
- Dibuje el mapa de memoria física mostrando donde se ubican todos los objetos que intervienen en el mapeo.

$$\text{mem virtual} \rightarrow 2^{32}$$

$$\text{mem física} \rightarrow 2^{30}$$

$$\text{tam. pag} \rightarrow 4K \rightarrow 2^{12}$$

$$\text{programa A} = 9\text{KB} \rightarrow 3 \text{ páginas}$$

↳ inicio virt. FEDE B000h

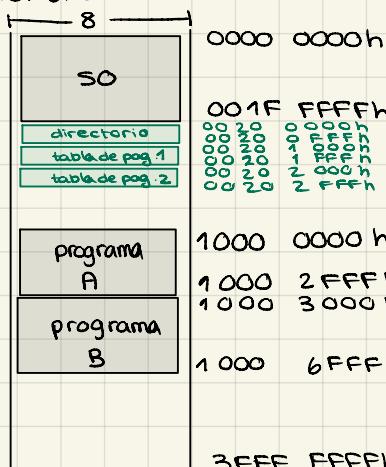
↳ 256 MB mem física

$$\text{programa B} = 15\text{KB} \rightarrow 4 \text{ páginas}$$

↳ inicio virt. BABE F000h

↳ continuación de A

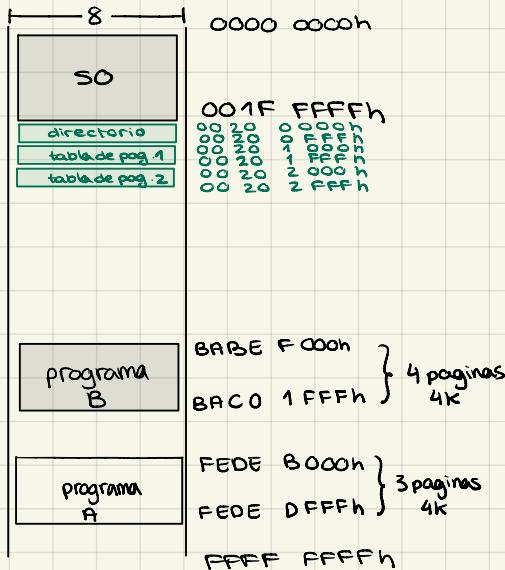
memoria física



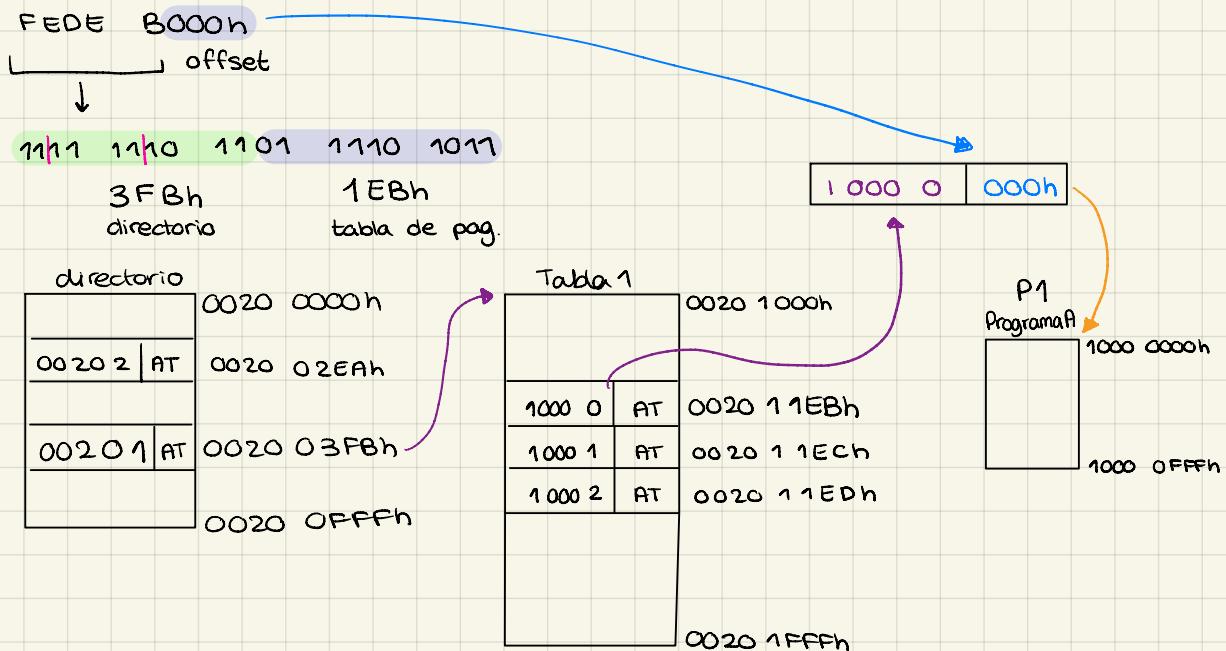
1000 0000h ] P1
1000 0FFFh ]
1000 1 000h ] P2
1000 1 FFFFh ]
1000 2 000h ]
1000 2 FFFh ] P3

1000 3000h ] P1
1000 3FFFh ]
1000 4000h ] P2
1000 4 FFFFh ]
1000 5000h ] P3
1000 5FFFh ]
1000 6000h ] P4
1000 6 FFFFh ]

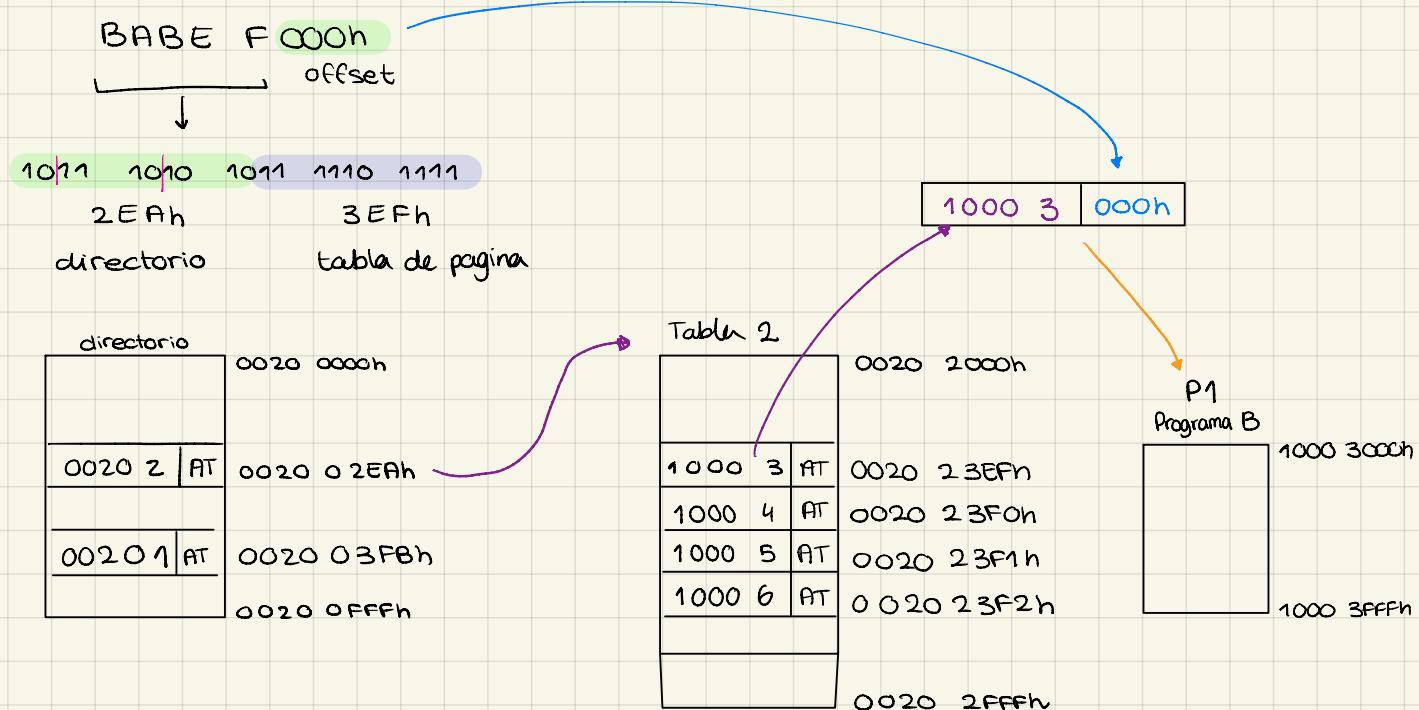
memoria virtual



① pagina 1 de programa A



② pagina 1 de programa B



Ejercicio 3 (3 puntos)

En un procesador Intel de 32 bits con 4MB de memoria caché (sólo para bloques) y que no tiene habilitada la paginación por lo tanto no hay traducción de direcciones a memoria. Se sabe que el tamaño de las etiquetas es de 10 bits y que la memoria física de la PC es de 2 GB.

Un programador corre la siguiente instrucción:

- mov [CAFE0000h], EAX

Responda en base al siguiente gráfico las siguientes preguntas:

- Cual debería ser el tamaño de los bloques en base al tamaño de etiqueta informado.
- En cuantos bloques se puede dividir la memoria física dada.
- Cuantos bloques entran en la memoria caché
- Dibuje sobre el gráfico lo que sucede al correr la instrucción.

Cache 4 MB      procesador 32 bits

mem Física = 2 GB

etiquetas 20 bits

- a) etiquetas 20 bits

$$2 \text{ GB} \rightarrow \frac{2^{31}}{2^{\alpha}} = 2^{20} \rightarrow \alpha = 11$$

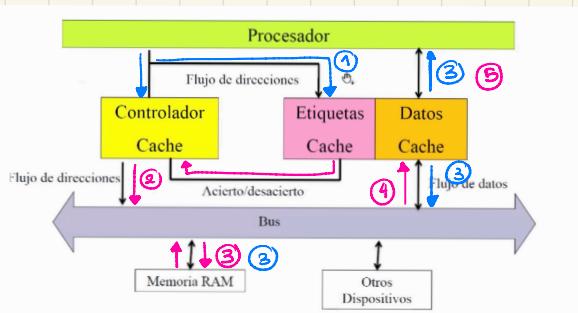
$$2^{11} = 2 \text{ K} \quad \text{tamaño de bloques.}$$

- b)  $2^{20}$  bloques.

$$c) 4 \text{ MB} \rightarrow 2^{2+20} = 2^{22}$$

$$\frac{2^{22}}{2^{11}} = 2^{11} \quad \text{bloques entran en el cache}$$

- d)



mov [CAFE 0000h], EAX

- ① va al cache y se fija si tiene la etiqueta a cual pertenece CAFE 0000h
- ② si pertenece actualiza el valor
- ③ puede pasar si es write-through modifica la física tanto como cache

Si no se marca como dirty y se modifica en cache solo.

Ahora si hubiera sido un miss hubiera hecho ② osea iba a memoria buscaba el bloque ③ y lo llevaba a cache ④ donde se le asigna una etiqueta y luego se actualiza el valor tal como caso hit depende como fue seteada la cache si se modifica solo ahí o no

Luego de la actualización ambos vuelven al procesador para ejecutar la próxima instrucción. ⑤ ⑥