

Interrupciones

Comunicación básica con dispositivos

Polling (sondeo)

Interrupciones

“Cuando tengas un dato me avisas”

Ventajas y Desventajas?

Sistema de Entrada y Salida en PC

Interrupción

Una señal externa interrumpe al micro para requerir un servicio de atención.

E/S aislada

Una señal especial del micro indica la ejecución de una operación de E/S.

Acceso directo a memoria (DMA)

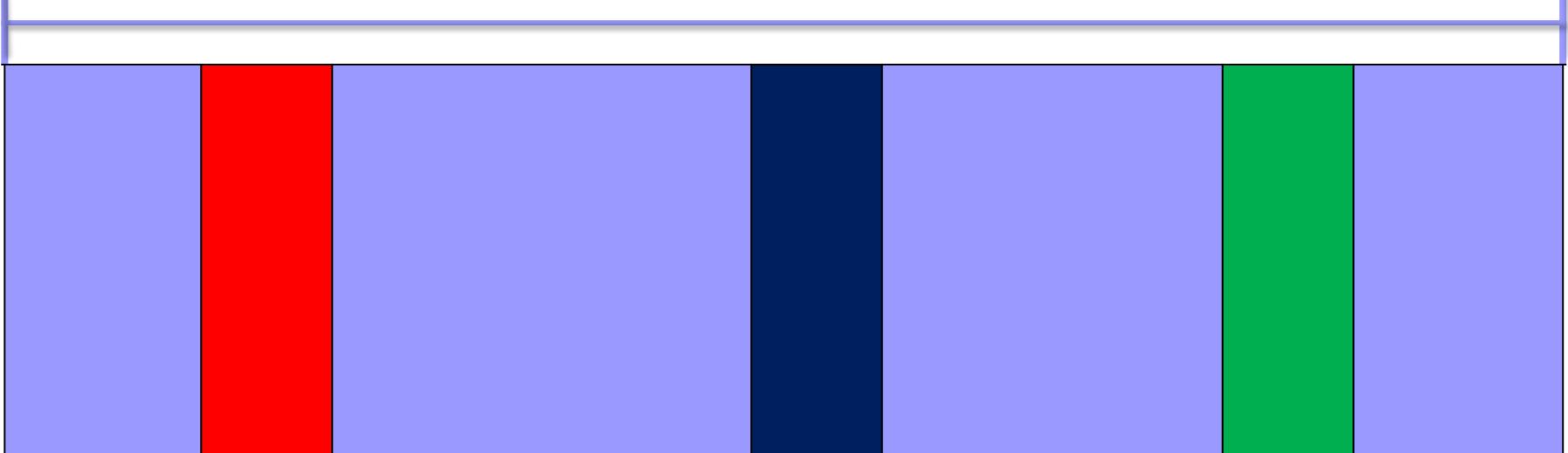
La información se transfiere directamente a la memoria, no requiere de intervención del CPU

Mapeo en memoria

Se le otorga un sector de memoria principal al dispositivo

Interrupciones

Programa Principal

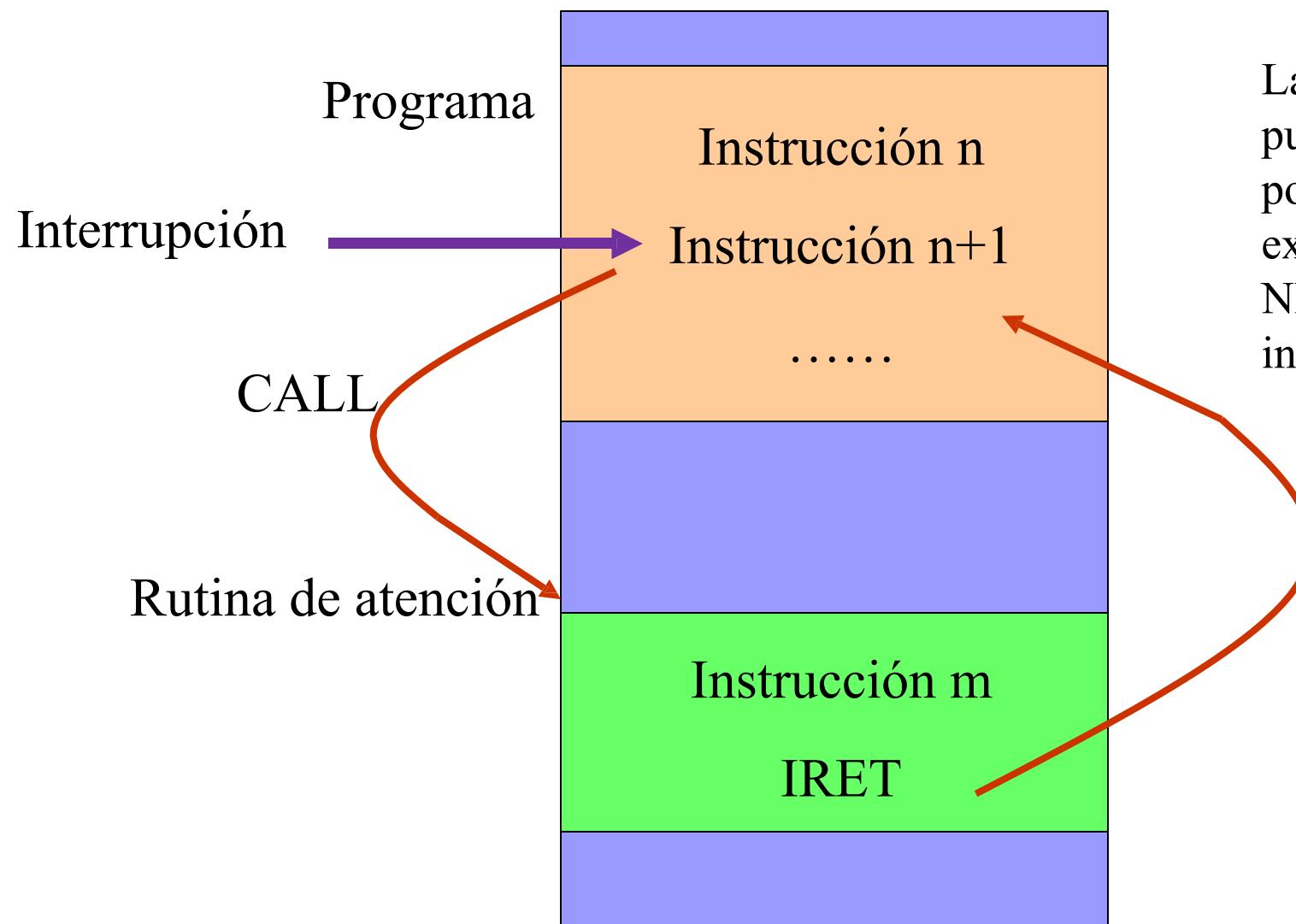


Interrupción
de teclado

Interrupción
de Mouse

Interrupción
X

Rutina de atención de interrupción



La interrupción puede ser generada por un evento externo (INTR o NMI) o por la instrucción INT.

Interrupciones

❖ **Interrupciones de Hardware**

Se interrumpe la ejecución del programa activando alguna de las dos entradas que tiene el microprocesador (INTR y NMI). Es un evento externo al procesador.

❖ **Interrupciones de Software**

Se interrumpe la ejecución del programa al ejecutar la instrucción de assembler INT. Por ejemplo INT 44h (donde 44h es el número de rutina de interrupción a ejecutar)

Interrupciones de Hardware

- ❖ El flag IF indica si se debe atender a las interrupciones externas. Si IF=1 (habilitado) si IF=0 (deshabilitado)

❖ **Interrupción enmascarable**

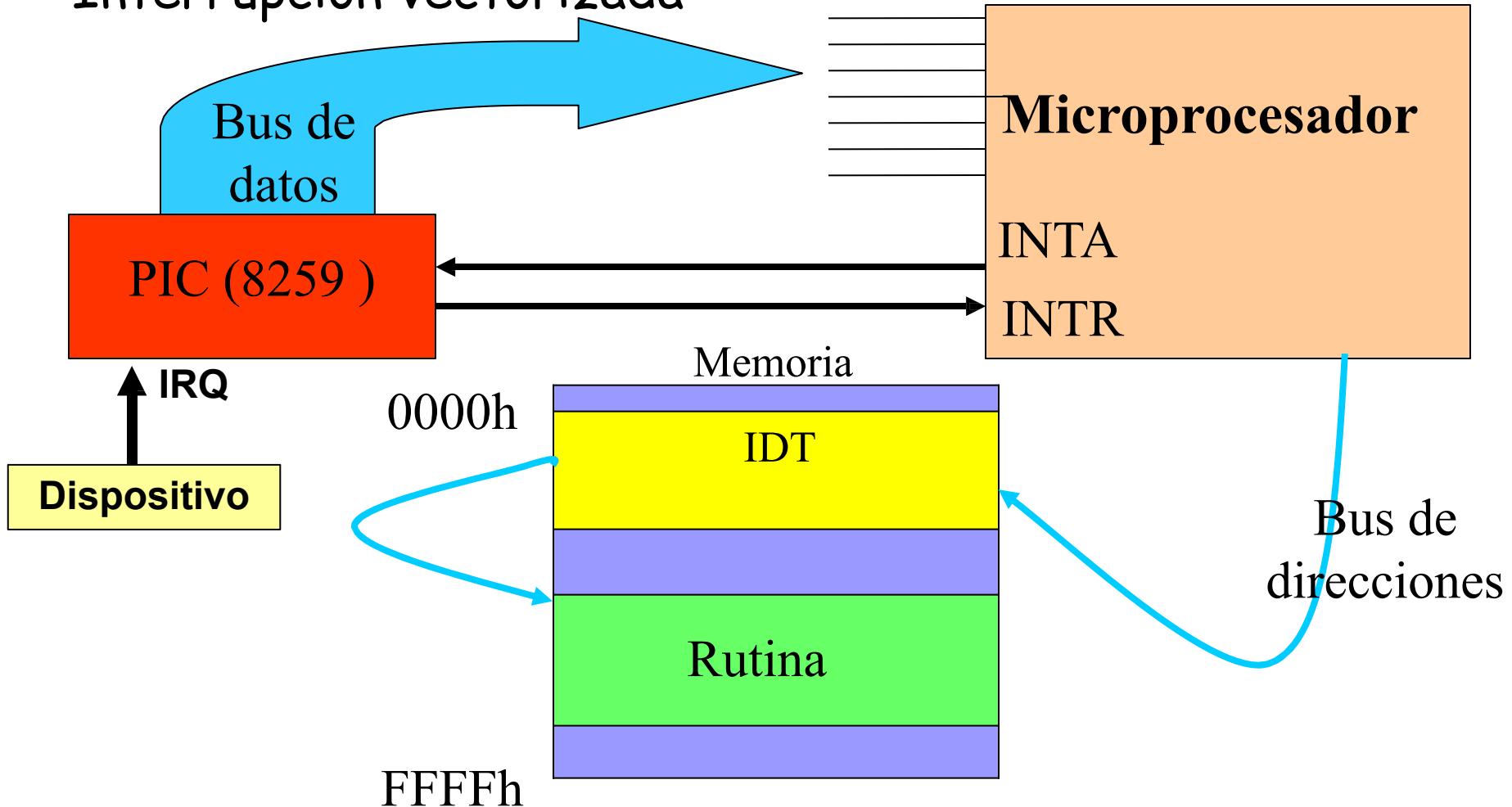
El flag IF se controla con las instrucciones *sti (set interrupts)* y *cli (clear interrupts)*.

❖ **Interrupción NO enmascarable**

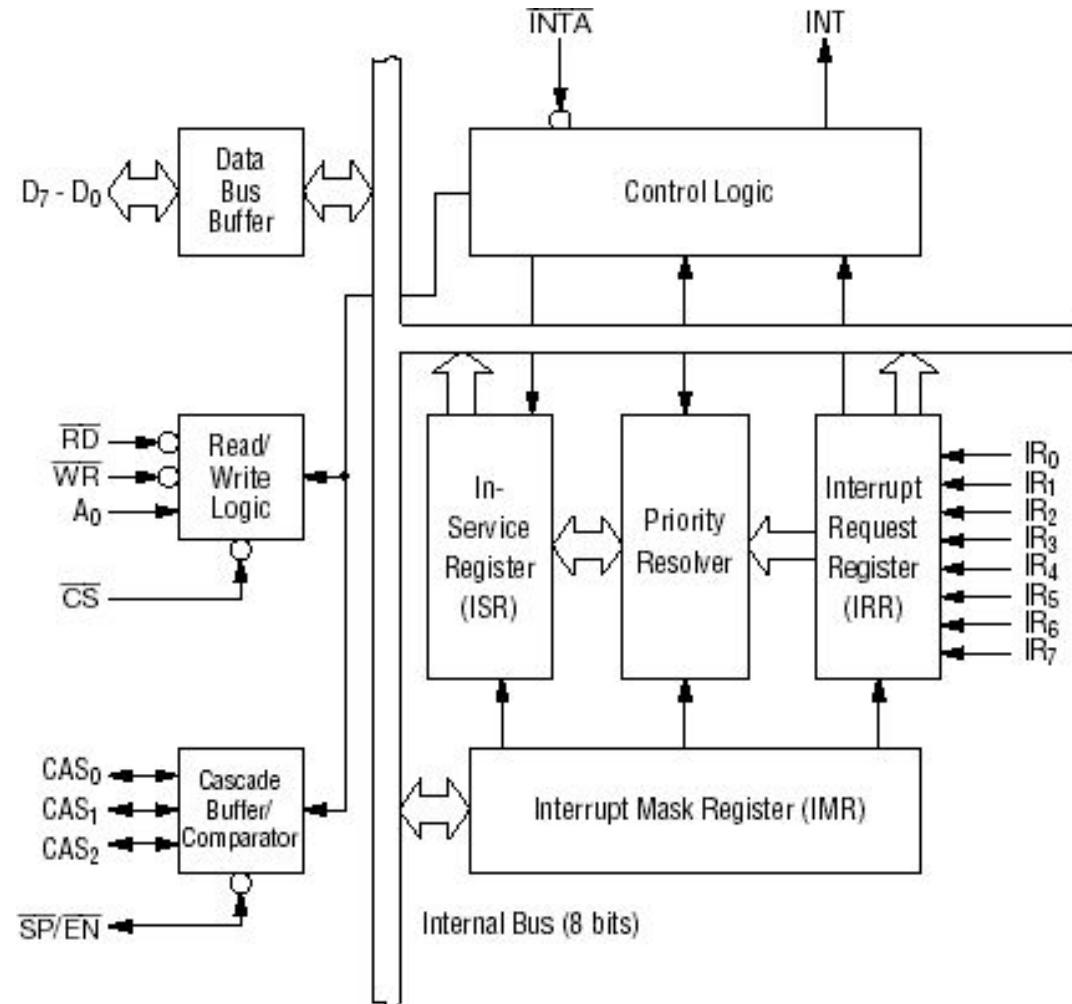
Las interrupciones que ingresan por la patita NMI no pueden ser enmascaradas. Y siempre ejecutan la rutina que se encuentra en la posición 2h del vector de interrupciones. (INT 2h)

PIC (Controlador programable de interrupciones)

Interrupción vectorizada



PIC – Diagrama lógico



MSM82C59A-2 Internal Block Diagram

PIC - IMR

Los puertos de entrada y salida en la PC son el 20h y el 21h.

El 20h se utiliza para programar el PIC (lo utiliza el BIOS al arrancar el sistema)

En el puerto 21hs podemos acceder al registro IMR (Interrupt Mask Register) del 8259, donde podemos setear que interrupciones llegan al microprocesador y cuales no.

OCW1	A ₀	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
	1	M7	M6	M5	M4	M3	M2	M1	M0

Interrupt Mask
1: Mask set
0: Mask reset

Acceso al PIC

In al, 21h ; leo mascara del PIC

; 0 = mascara deshabilitada, por lo

; tanto pasa la señal al microprocesador

Mov al,0FEh ; por ej. Solo habilito la interrupción de teclado

Out 21h, al

EOI (End of interrupt)

Cada rutina de atención de interrupción, luego de correr, debe avisar al PIC que terminó su ejecución.

Se puede especificar la IRQ que terminó o enviar un código que indica que finalizó la atención de la última interrupción que llegó.

Esa palabra se envía al puerto 20h y el valor que se envía para indicar que finalizó la atención de la interrupción es el valor 20h.

PIC en cascada

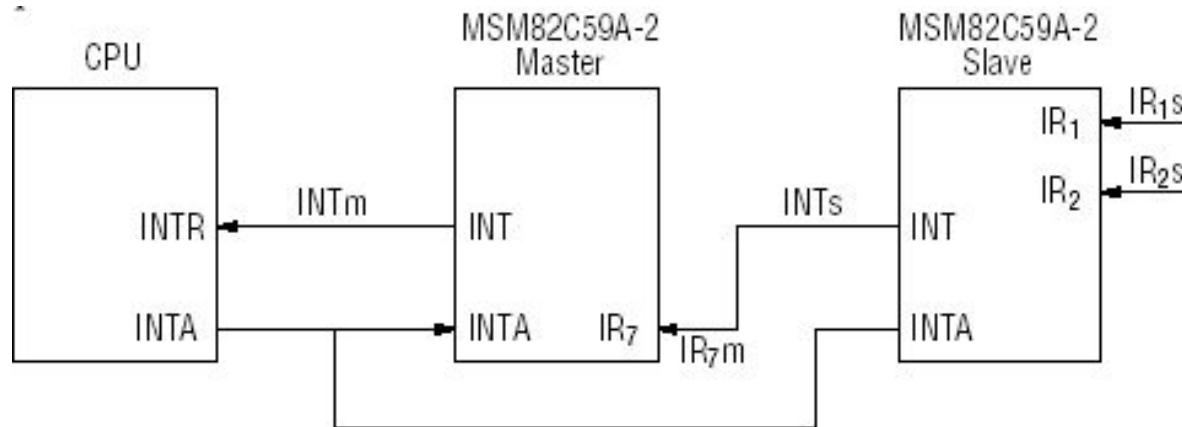


Fig. 1 System Configuration

Colocando 2 PICs en cascada se amplia la cantidad de interrupciones de hardware en la PC.

En la PC, se utiliza el IRQ2 del Master para conectar el Slave.

Interrupciones de Software

Dentro de un código puedo realizar una interrupción con la instrucción INT

```
mov Ax,0  
cmp Ax,Bx  
INT 22h  
Add Cx,Bx  
Mov [Cx],Bx
```

El micro accede al descriptor ubicado en la posición 22h de la IDT.

Servicios de BIOS

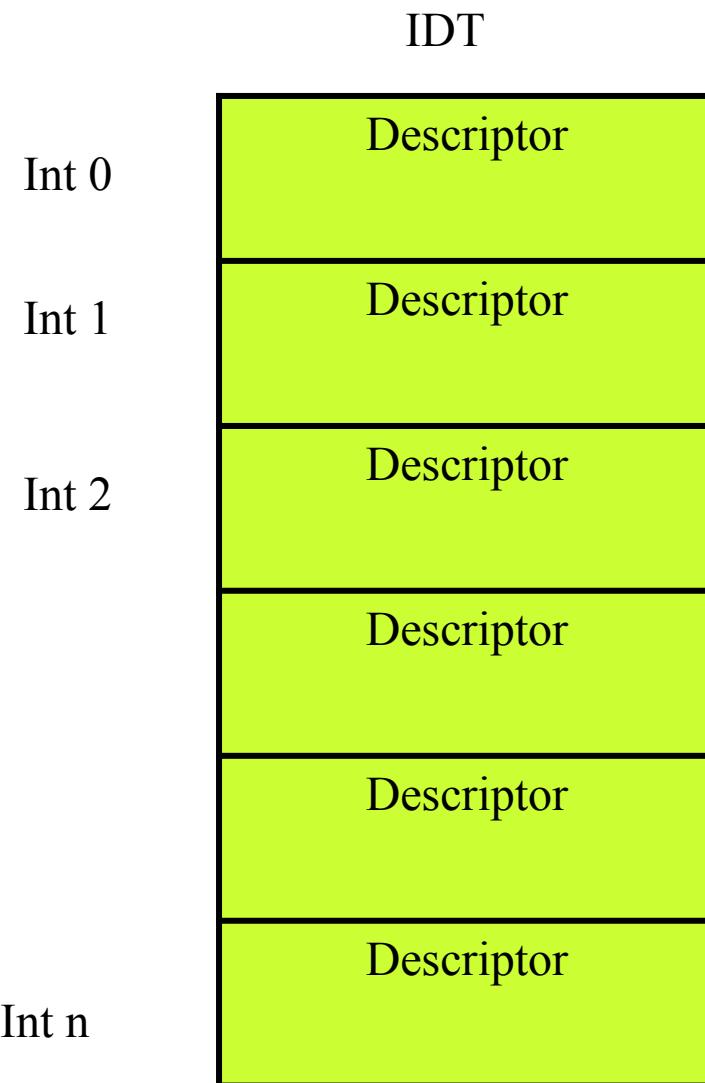
El BIOS al iniciar la PC guarda en memoria rutinas básicas para poder a empezar a operar.

INT 10h	Rutinas de video (BIOS)
INT 13h	Rutinas de disco (BIOS)
INT 14h	Rutinas para puerto Serie (BIOS)
INT 19h	Rutina para bootloader (BIOS)
INT 1Ah	Rutinas para el RTC (BIOS)

Interrupciones de hardware por Default

Línea IRQ	INT Tipo	Descripción
IRQ0	08h	Timmer tick (18,2 veces por seg.)
IRQ1	09h	Teclado
IRQ2	0Ah	INT desde 8259A esclavo
IRQ8	70h	Servicio de reloj en tiempo real.
IRQ9	71h	Redireccionamiento por soft. a IRQ2
IRQ10	72h	Reservada
IRQ11	73h	Reservada
IRQ12	74h	Reservada.
IRQ13	75h	Coprocesador numérico.
IRQ14	76h	Controlador de disco rígido.
IRQ15	77h	Reservada.
IRQ3	0Bh	COM2
IRQ4	0Ch	COM1
IRQ5	0Dh	LPT2
IRQ6	0Eh	FLOPPY
IRQ7	0Fh	LPT1

Interrupciones en Modo Protegido



En modo protegido cada entrada de la IDT es un descriptor de Interrupción, contiene además de las dirección de la rutina de atención de interrupción otros datos como los permisos.

Los primeros 32 descriptores son las Excepciones

Excepciones

Una Excepción es un evento **generado por el procesador** cuando detecta una o más condiciones predefinidas al ejecutar una instrucción.

Existen 3 tipos de excepciones:

- Faults : Excepción que puede corregirse. El procesador guarda en la pila la dirección de la instrucción que produjo la falla.
- Trap : Se utilizan para realizar accesos al sistema operativo.
- Abort: No siempre se puede obtener la instrucción que causó la excepción. Reporta errores severos.

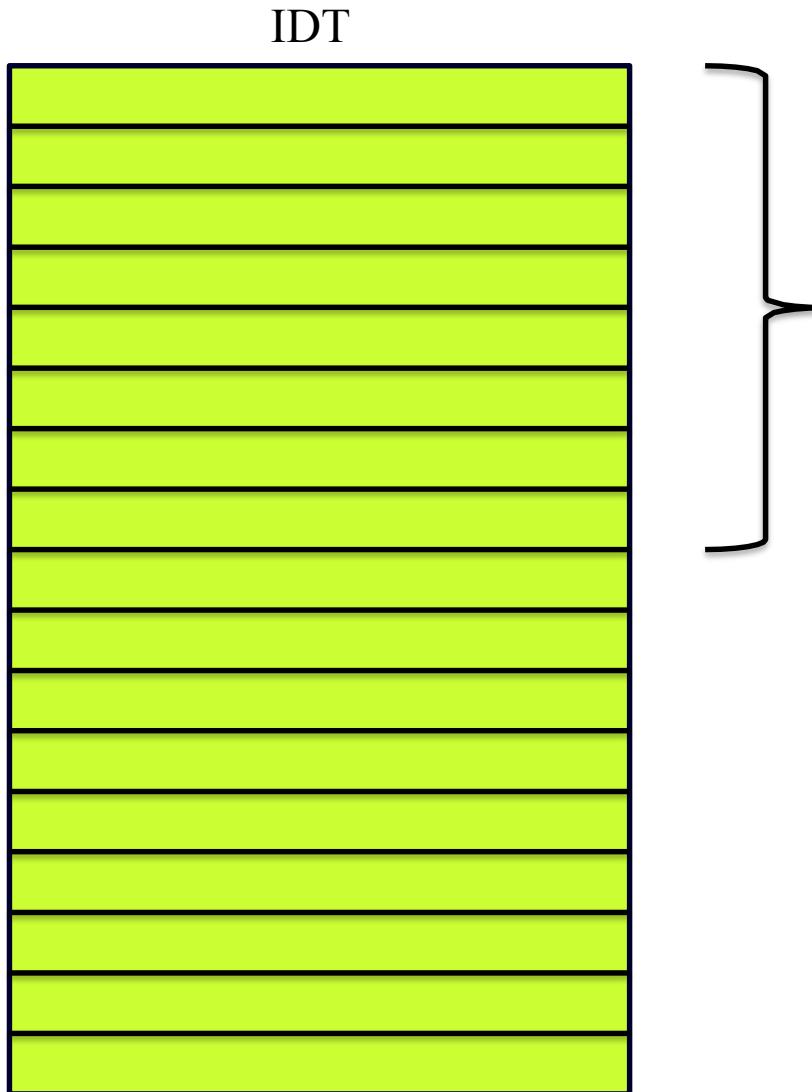
De la tabla de interrupciones (IDT) las primeras 32, son las excepciones.

Actualmente se están utilizando 20 de ellas y el resto quedan disponibles para uso futuro.

Excepciones

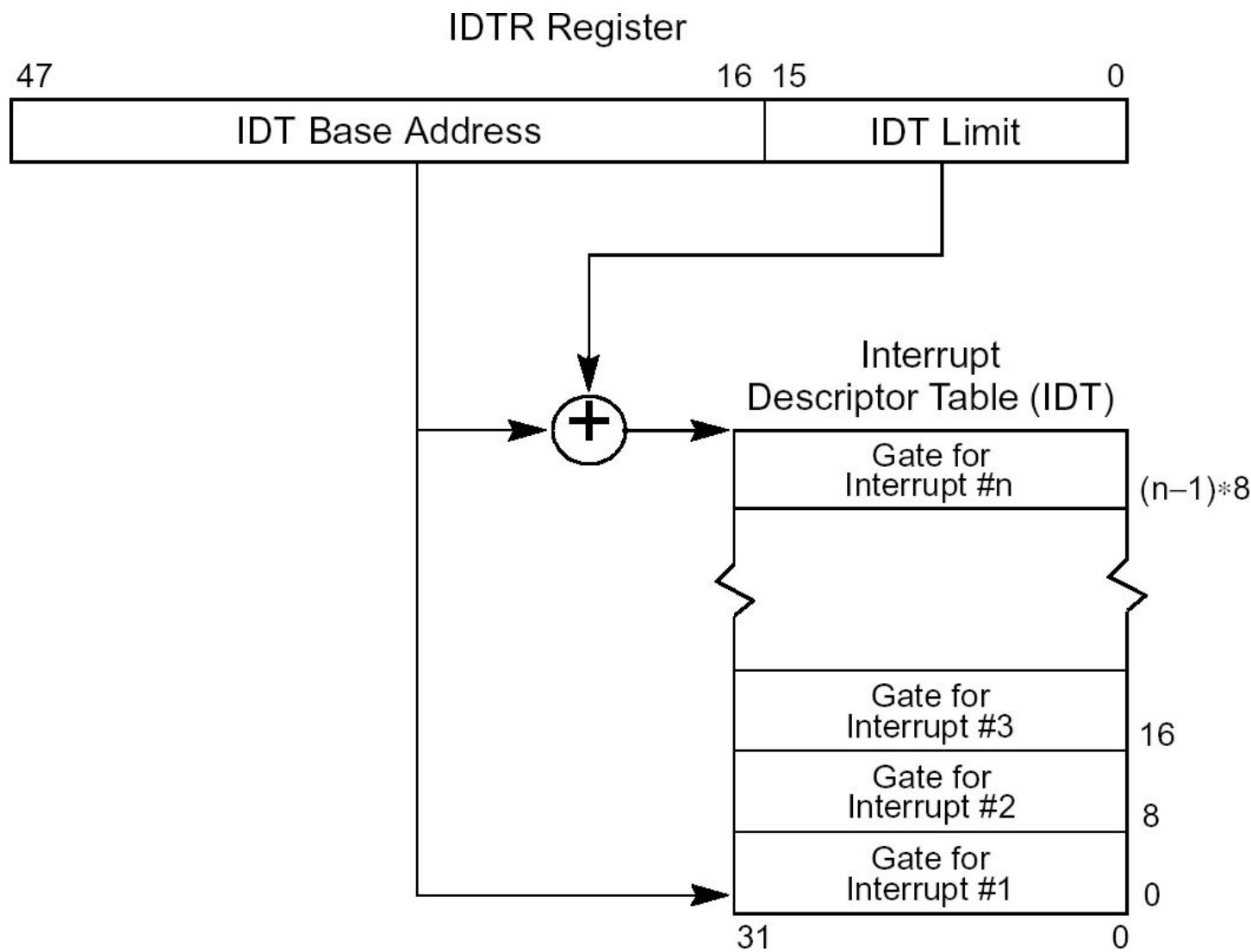
Id	Description
1	Divide error
2	Debug exceptions
3	Nonmaskable interrupt
4	Breakpoint (one-byte INT 3 instruction)
5	Overflow (INTO instruction)
6	Bounds check (BOUND instruction)
7	Invalid opcode
8	Coprocessor not available
9	Double fault
10	(reserved)
11	Invalid TSS
12	Segment not present
13	Stack exception
14	General protection
15	Page fault
16	(reserved)
17	Coprocessor error
17-31	(reserved)
32-255	Available for external interrupts via INTR pin

IDT - Excepciones

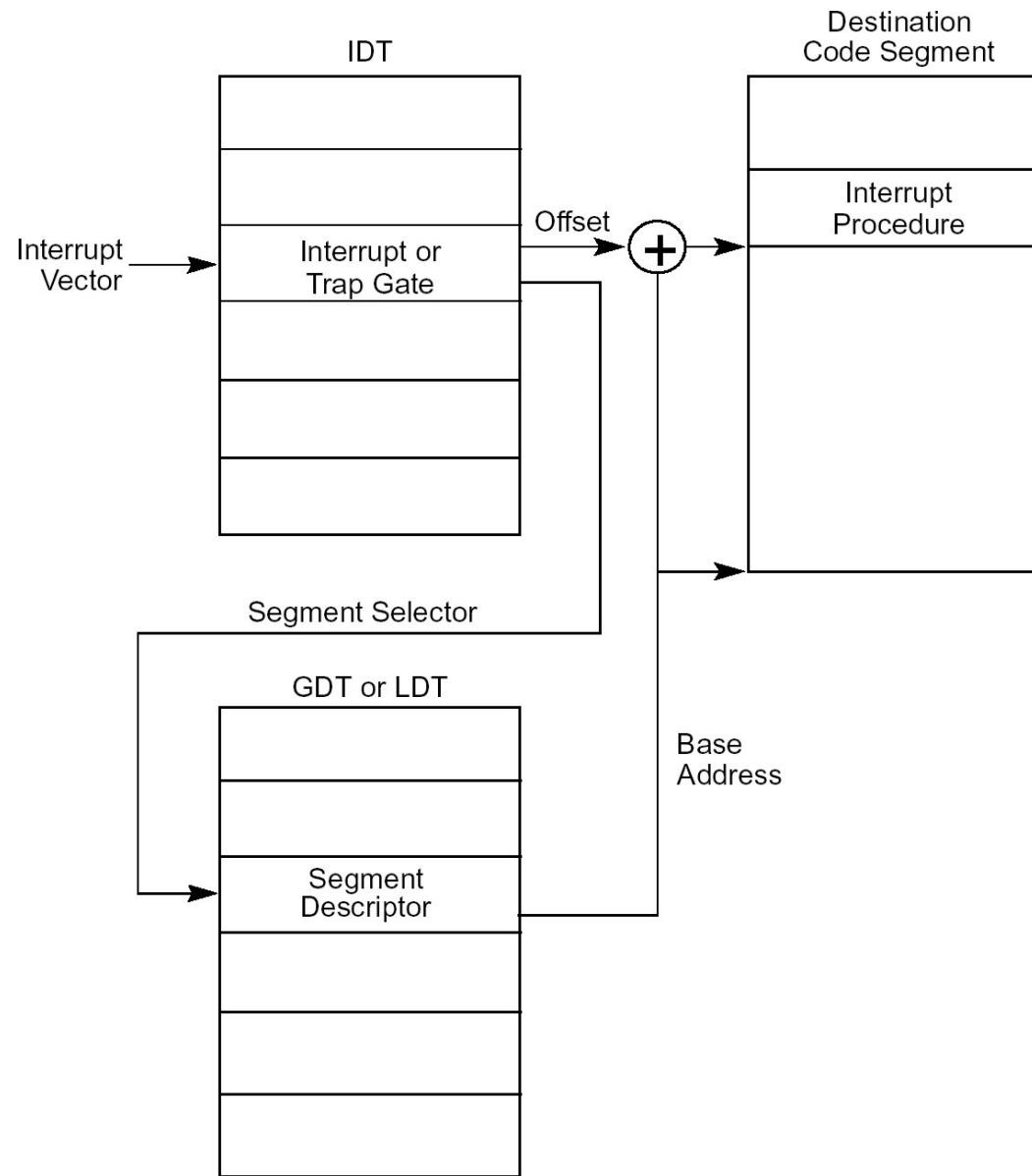


Las primeras 32 son excepciones

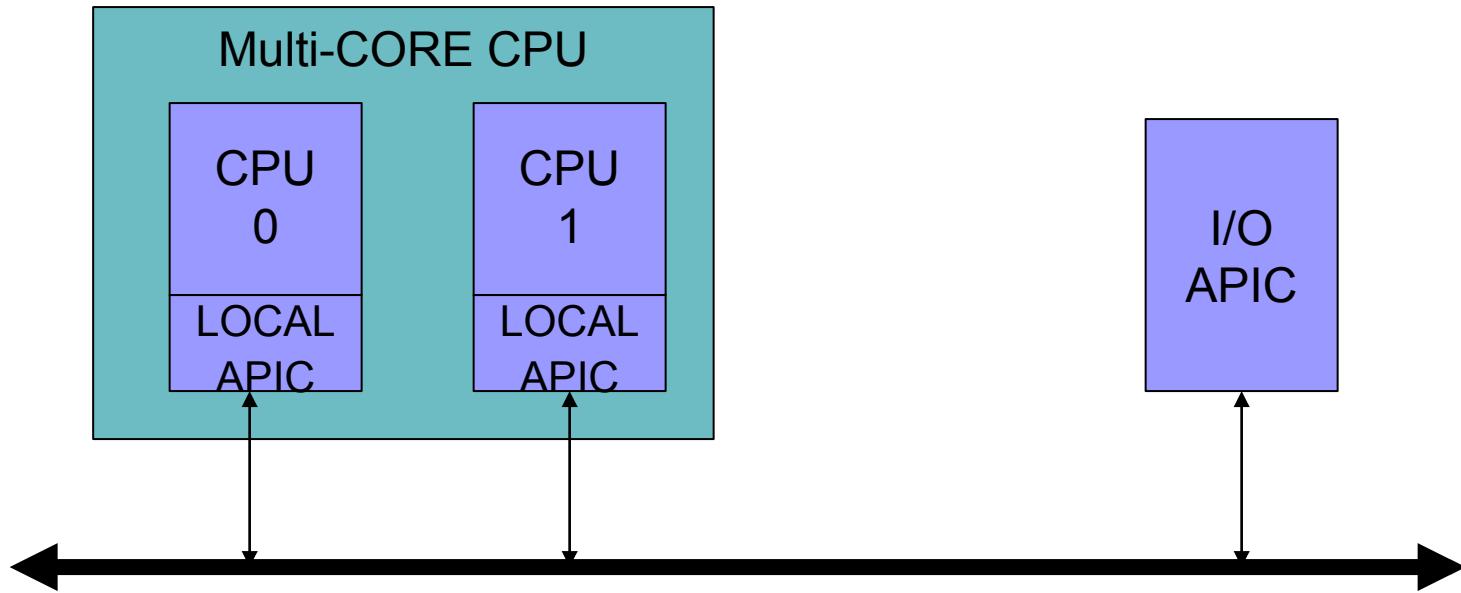
IDTR



Interrupciones en Modo Protegido



Interrupciones en Multi-Core



El AIPC (Advanced Programmable Interrupt Controller) realiza el “ruteo” o direccionamiento de los periféricos a las CPU