

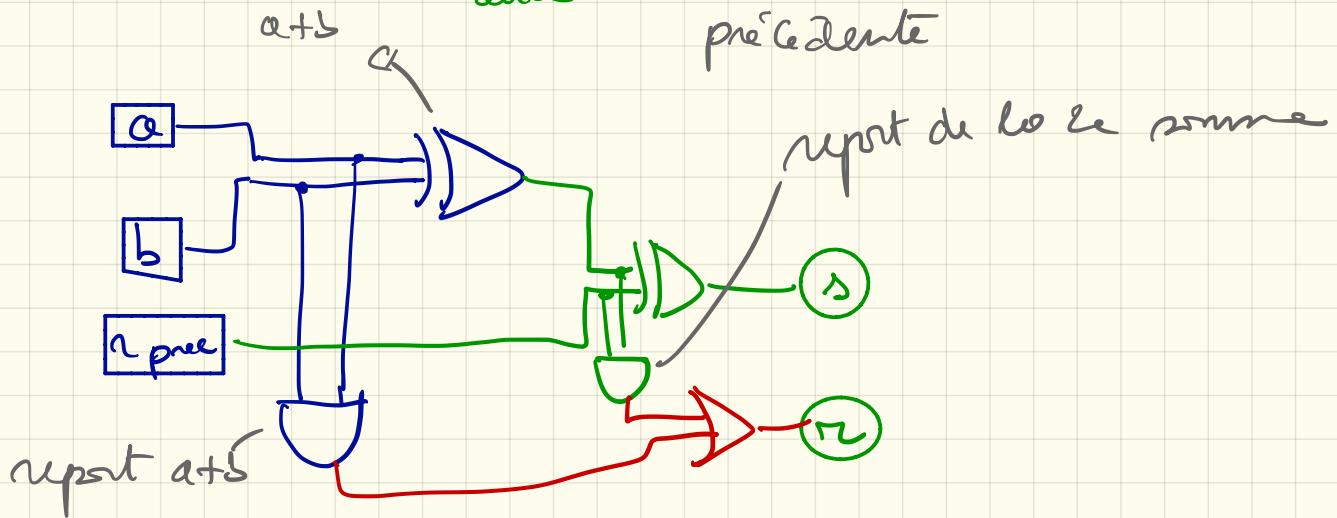
22 octobre

Additionneur Complet = 2 - 1/2-add

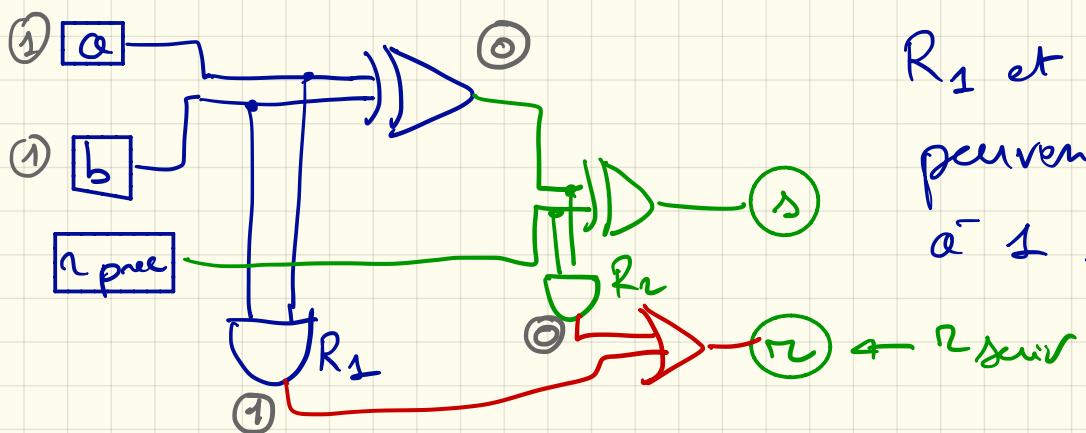
$$(a + b) + r_{\text{prec}} \rightarrow 2e \frac{1}{2}-\text{add.}$$

1er $\frac{1}{2}$ -add

report de la colonne précédente



Pourquoi un D pour le report?



R_1 et R_2 ne peuvent jamais être à 1 en même temps!

Supposons que $R_1 = 1$. Comme $R_1 = \alpha \wedge b$, cela veut dire que $\alpha = 1$ et $b = 1$. Dans ce cas $\alpha \wedge R_2 = 0$. Donc une des deux entrées de $R_2 = (\alpha \wedge R_2) \stackrel{=0}{\wedge} 1$ est 0. Donc $R_2 = 0$.

Donc, on n'a que 3 possibilités:

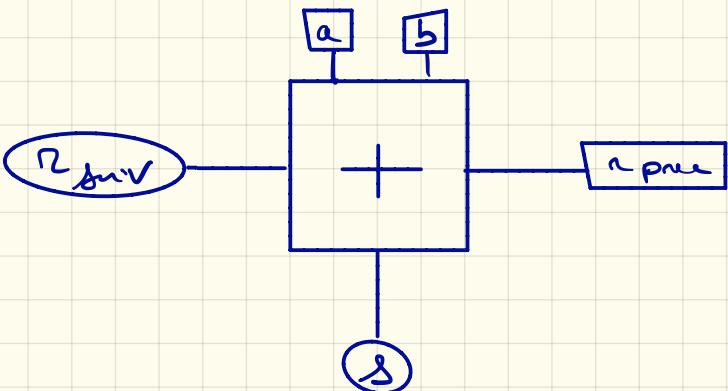
$$R_1 = 0 \text{ et } R_2 = 0 \rightarrow \textcircled{r} = 0$$

$$R_1 = 1 \text{ et } R_2 = 0 \rightarrow \textcircled{r} = 1$$

$$R_1 = 0 \text{ et } R_2 = 1 \rightarrow \textcircled{r} = 1$$

Compatible avec le "ou"

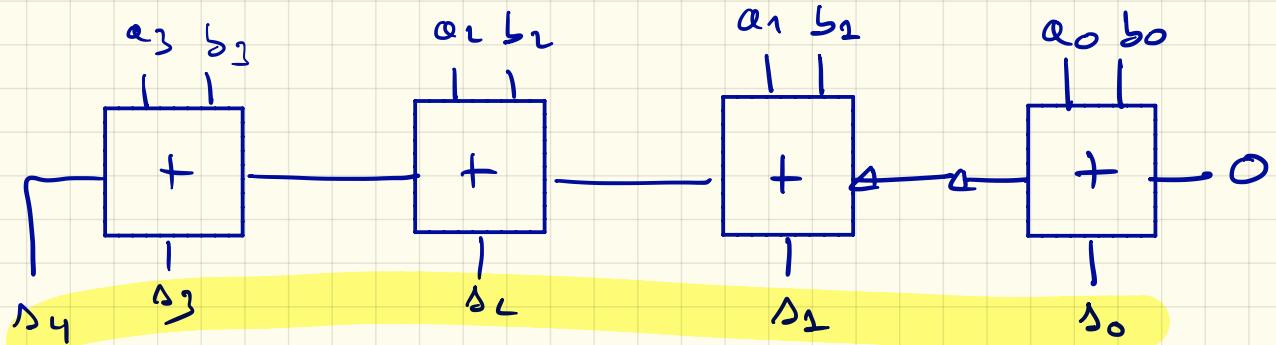
Additionneur opt:



Somme de 2 nombres de n bits

$a_3 a_2 a_1 a_0$

et $b_3 b_2 b_1 b_0$



Circuit de décalage sur 3 bits.

appel :

$$101_2 \times 2^3 = 101000$$

$$1011 / 2^2 = 10$$

↑

div entière

4 entrées

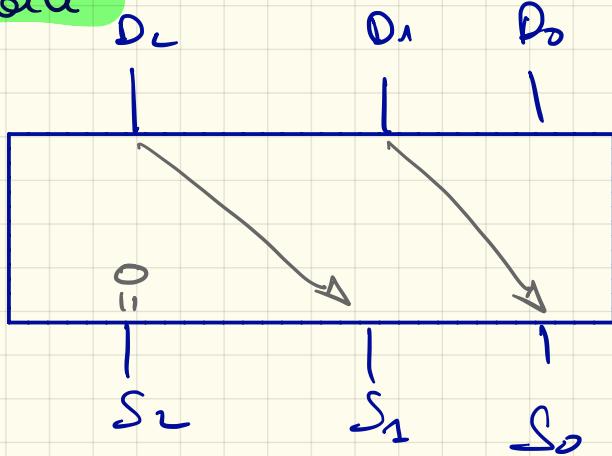
D_0, D_1, D_2 = bits du los valeur d'entrée.

C: $\begin{cases} 1 \rightarrow \text{droite} \\ 0 \rightarrow \text{gauche} \end{cases}$ } 1 position

3 sorties

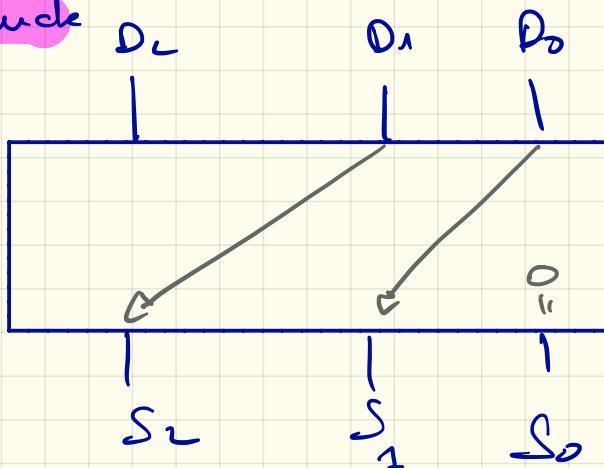
S_0, S_1, S_2 = résultat.

Décalage à droite D_L



Si $C=1$

Décalage à gauche D_L



Si $C=0$

Exemple : Si $D_2 = 1, D_1 = 0, D_0 = 1$ C = 1

$$S_2 = 0, S_1 = 1, S_0 = 0$$

On traite chaque entrée séparément

S₀ Seules les entrées D_1 et C ont une influence sur S_0 .

Si je fais un décalage à droite : $S_0 = D_2$

à gauche : $S_0 = 0$

S_0 :

gauche } {

droite } {

C	D_1	S_0
0	0	0
0	1	0

C	D_1	S_0
1	0	0
1	1	-1

S_2

C	D_1	S_2
0	0	0
0	1	-1

C	D_1	S_2
1	0	0
1	1	0

S_1

C	D_0	D_2	S_1
0	0	0	0
0	0	1	0

C	D_0	D_2	S_1
0	1	0	-1
1	0	0	0

{ gauche:
 $S_1 = D_0$

{ droite
 $S_1 = D_2$

De la table de vérité à l'expression logique

→ pour chaque ligne où le résultat vaut 1,
je calcule une expression qui est vraie
uniquement dans cette ligne.

C	D ₀	D ₂	S ₁
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

une expression qui est
vraie uniquement quand

$$C = 0 \quad D_0 = 1 \quad D_2 = 0$$

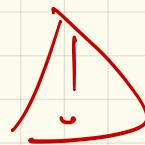
$$\underline{\neg C} \quad \underline{D_0} \quad \underline{D_2}$$

"C doit
être faux"
 $= 0$

"D₀ doit
être 1"

"D₂ doit
être 0"

C	Do	D ₂	S ₀
6	1	6	1
;	;	;	;
1	1	0	0



→ Do ?

Do est aussi vraie
dans cette ligne

Il faut donner de l'information sur les
3 variables.

Pour toutes les lignes.

C	D ₀	D ₂	S ₁	
0	0	0	0	$(\neg C \ 1 \ D_0 \ 1 \ \neg D_2)$
0	0	1	0	$(\neg C \ 1 \ D_0 \ 1 \ D_2)$
0	1	0	1	$(C \ 1 \ \neg D_0 \ 1 \ D_2)$
0	1	1	1	$(C \ 1 \ D_0 \ 1 \ D_2)$
1	0	0	0	
1	0	1	1	
1	1	0	0	
1	1	1	1	

Simplifications...

$$S_1 = \{ (\neg C \ 1 \ D_0 \ 1 \neg D_2) \\ (\neg C \ 1 \ D_0 \ 1 \ D_2) \\ (C \ 1 \neg D_0 \ 1 \ D_2) \\ (C \ 1 \ D_0 \ 1 \ D_2) \}$$

$$\Rightarrow ((\neg C \ 1 \ D_0) \ 1 \ (D_2 \vee \neg D_2)) \\ ((C \ 1 \ D_2) \ 1 \ (D_0 \vee \neg D_0))$$

$$X \vee \neg X = 1$$

$$X \wedge 1 = X$$

X	$X \wedge 1$
0	$0 \wedge 1 = 0$
1	$1 \wedge 1 = 1$

X	$X \vee \neg X$
0	$0 \vee \neg 0 = 0 \vee 1 = 1$
1	$1 \vee \neg 1 = 1 \vee 0 = 1$

$$S_1 = ((\neg(C_1 D_0)) \wedge 1 \wedge 1)$$

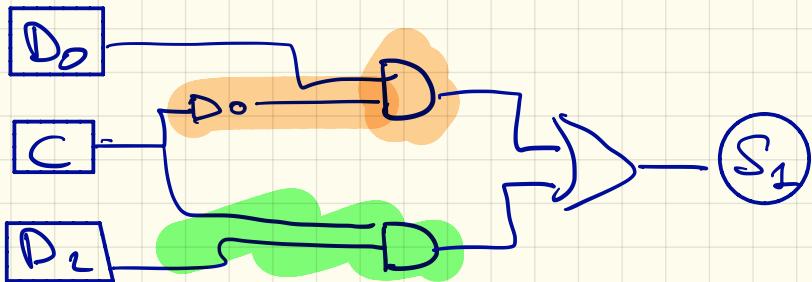
✓

$$((C C_1 D_2) \wedge 1 \wedge 1)$$

=

$$(\neg(C_1 D_0)) \vee ((C C_1 D_2))$$

$$S_1 = (\neg C_1 D_0) \vee (C_1 D_2)$$



S_0

C	D_1	S_0
0	0	0
0	1	0
1	0	0
1	1	1

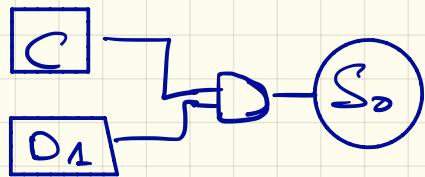
$\rightarrow C \wedge D_1$

S_2

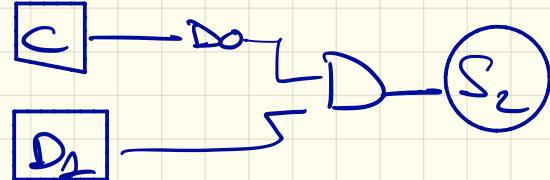
C	D_1	S_2
0	0	0
0	1	1
1	0	0
1	1	0

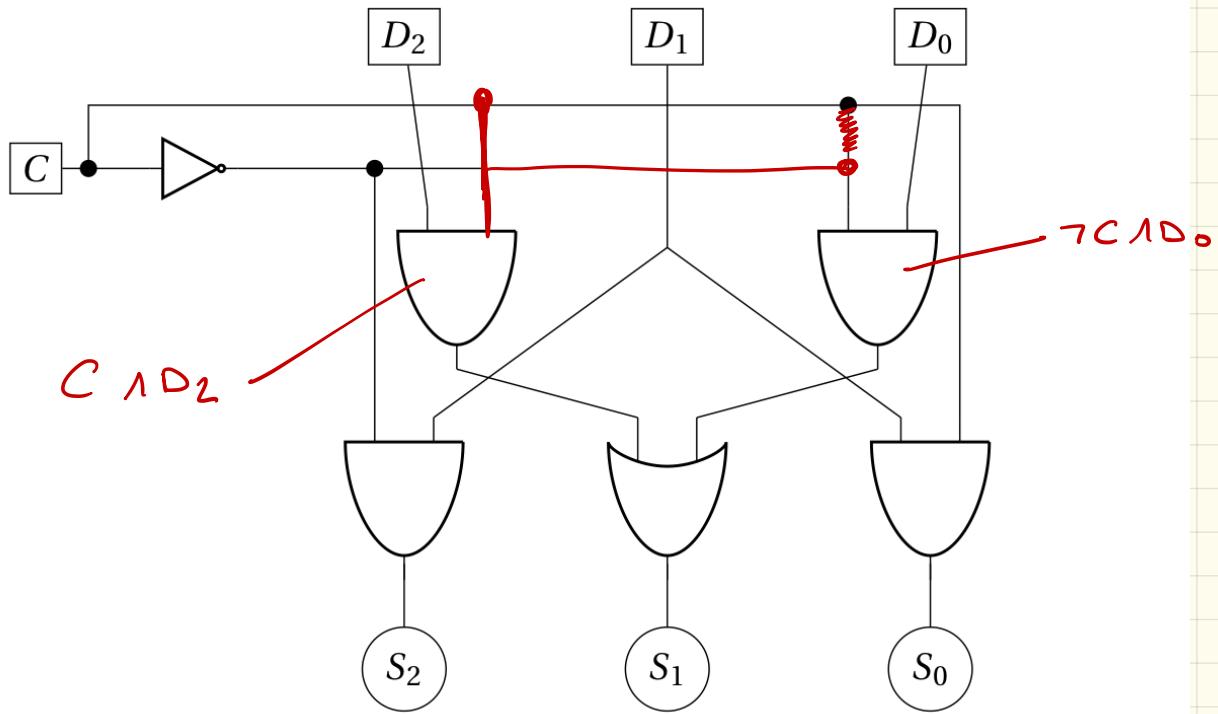
$\rightarrow \neg C \wedge D_1$

$$S_0 = C \wedge D_1$$



$$S_2 = \neg C \wedge D_1$$





Décodeur

n entrées $\rightarrow 2^n$ sorties.

$$2 \rightarrow 4$$

$$3 \rightarrow 8$$

La seule sortie qui est celle dont le n° est donné en binaire en entrée.

$M=2$

$E_1 E_0$		S_3	S_1	S_2	S_3
"0"	0 0	1	0	0	0
"1"	0 1	0	1	0	0
"2"	1 0	0	0	1	0
"3"	1 1	0	0	0	1