考虑温度对漏电流功耗影响的MPSoC结构级热分析方法**[[1]](#footnote-1)\***

闫佳琪1) 骆祖莹1) 唐亮1) 赵国兴1)

1) (北京师范大学信息科学与技术学院 北京 100875)

**摘 要**  高效热分析是研究多核片上系统(MPSoC)温敏布图设计和实时功耗温度管理的关键技术。本文采用了自下而上的建模方法对MPSoC结构级热分析方法进行了研究，先采用HOTSPOT软件提取功能模块之间的相关热阻参数，再基于这些参数，提出了三种具有不同算法复杂度与精度的热分析方法：模块级方法BloTAM、核级方法CorTAM、考虑本核内模块相互影响的改良核级方法BiCorTAM，均具有简单、高效、与现有简化模型兼容、易于扩展、能够解决温度对漏电流的影响等优点。实验数据表明：对MPSoC进行热分析的时候，相对于HOTSPOT热分析软件，BloTAM和BiCorTAM都可以在保证精度的前提下、大幅度提高热分析的速度，其中局部热点的温度增量平均误差可以控制在3%以下，热分析的速度实现了100倍以上的计算加速，具有算法复杂度低和精度高的优点，是一种理想的结构级热分析方法。

**关键词** 多核片上系统；热分析；建模； 结构级；

**中图法分类号** TP391.9

High accurate Architecture-level thermal analysis methods for MPSoCs with considering leakage power dependence on temperature

Yan Jiaqi1) Luo Zuying1) Tang Liang1) Zhao Guoxing1)

1)(College of Information Science and Technology, Beijing Normal University, Beijing 100875)

Abstract

Efficient thermal analysis plays a key role in the temperature-aware floorplan design for MultiProcessor System-on-Chip (MPSoC) and Dynamic Power and Temperature Management (DPTM). This paper adopts bottom-up modeling method to study architecture-level MPSoC thermal analysis method. First extract relative thermal resistance between functional modules with HotSpot software, then, based on these parameters, we propose three analysis methods with different accuracy and algorithm complexity: Block-level Temperature Analysis Method (BloTAM), Core-level Temperature Analysis Method (CorTAM) and Block Improved Core Temperature Analysis Method (BiCorTAM). Experiment shows that BloTAM and BiCorTAM substantially reduce the time for MPSoC thermal analysis with guarantee of accurancy: speedup as high as 100 times is achieved with average temperature delta error as low as 3%. Both are ideal system-level analysis method.

**Key words**  MPSoC, Thermal Analysis, Modeling, Architecture level

# 1 引言

## **1.1 研究背景与相关的科学问题**

随着纳米工艺不断升级，IC集成度也不断提升，不断增大的功耗所带来的高工作温度等问题会降低IC的可靠性、增大IC设计的复杂性，即功耗墙问题[1]。为了规避功耗墙，目前IC业界普遍采用多核并行计算结构来提升芯片性能（通量）、降低设计复杂度，以延续摩尔定律[2]。

采用多核并行计算架构的多核片上系统(MPSoC)带来了热点分散的问题，即每个核都会产生一个局部热点[2]。为了将MPSoC多个热点的温度控制在一个安全阈值内，必须在设计与运行阶段，以功能模块与处理器核为单位，对芯片的功耗分布[2-5]与任务调度[6-8]进行优化，为此需要在结构级对芯片进行快速准确的热分析[5-6,10-11]。鉴于纳米工艺CMOS器件的漏电流随着工作温度的升高而指数增加，漏电流功耗与温度之间存在直接的依赖关系，即电热耦合效应[6]。为了提高分析的精度，必须在结构级热分析方法研究中考虑电热耦合效应[6-8]。

## **1.2 相关的研究工作及其缺陷**

受惠于电热分析的相似性，采用有限差分方法(PDF)可以进行全芯片三维热分析，获得温度分布的精确解[9]；为了考虑温度对功耗的影响，可以采用迭代方法来逼近最后的精确解[10]。基于PDF 求解的HOTSPOT是目前广泛采用的热分析工具软件，能够用于MPSoC的结构级热分析，也能够对电热耦合效应进行求解[10]。尽管PDF方法可以获得高精度的求解方案，但这类方法的算法复杂度非常高，不满足MPSoC布图规划和实时功耗温度管理对结构级快速求解的需求[5,11]。

为了对结构级设计的温度分布进行快速求解，出现过多种加速算法[2,3,6,7,11]。文献[3]采用最简单的物理距离模型，速度速度最快、精度最差，无法进行精确的MPSoC温度求解。文献[2,6,7]省略了核间的侧向热阻、来简化温度求解，其优点是速度快，缺点是降低了求解的精度。文献[12]采用基于学习的自回归算法进行在线温度分析，提高热分析速度的同时、也降低了求解的精度。总之，求解加速的代价是降低了求解的精度。

为了考虑温度对功耗的影响（LDT），精确的求解算法必须采用迭代的方法进行逼近求解[5]。在现有结构级热分析算法中，为了提高求解速度，文献[2]没有考虑LDT，文献[7]采用线性模型来拟合LDT，文献[6,8]采用分段拟合系数矩阵来求解LDP效应，其结果会带来求解精度不同程度的降低。

## **1.3 本文工作及其贡献**

本文采用自下而上的策略，使用HOTSPOT提取MPSoC功能模块之间的热相关系数，建立了模块级热分析方法BloTAM；如图2所示，每个核内只产生一个热点，我们可以仅依靠热点之间的热相关系数、建立一个算法复杂度非常低的核级热分析方法CorTAM；为了提高CorTAM的精度，我们进一步提出了考虑本核内模块相互影响的改良核级方法BiCorTAM。与现有的结构级热分析算法相比，本文所提出的三种方法均具有简单、高效、与现有简化模型兼容、易于扩展、考虑LDT影响等优点，可以满足温敏MPSoC设计对高效、精确的结构级热分析方法的需求。

与HOTSPOT软件实验结果相比，本文方法的实验数据表明：(1)对核数较多MPSoC进行局部热点温度分析的时候， BloTAM和BiCorTAM只产生2%、3%以下的温度增量平均误差，是高精度的结构级热分析方法。(2) 在采用电压频率调节的温敏16核CPU布图规划研究中，在包含参数提取时间的情况下，BloTAM和BiCorTAM可以提供100、111倍的计算加速。(3)从总体效果来看，在本文所提出三种建模分析方法中，BloTAM和BiCorTAM方法可以提供满意的分析精度与计算加速，是较为理想的MPSoC结构级热分析方法。

# 2 研究基础

## **2.1 多核架构及其电热分布**

目前多核CPU采用同质架构，即每个核拥有相同的逻辑功能模块、容量相同的专享缓存(cache)，占有相同的内核面积，同时共享LLC缓存、I/O等功能模块。每个核具有相同数量的工作模式，每种工作模式具有不同的能耗，即每个核具有一个全速高能模式外，还具有多个节能程度不同的节能模式。

在每个核内，一般都具有一个功耗密度最大的逻辑功能模块、一个指令L1缓存和一个数据L1缓存，其功耗密度次之，一个功耗密度最小的L2缓存。由于注入的热量大，每个核的热点（温度最高点）出现在逻辑功能模块，所以在物理设计中，逻辑功能模块一般要布放在散热条件好的芯片边沿处，而将功耗密度最小的LLC缓存布放在散热条件最差的芯片中央，以降低芯片的热点温度。图1为Alpha 21264芯片的物理布局[13]，用HOTSPOT计算分析的温度分布如图2所示。

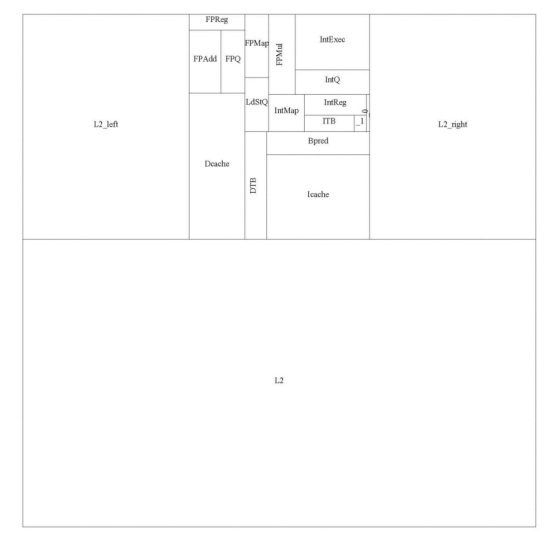


图1、Alpha 21264芯片的物理布局

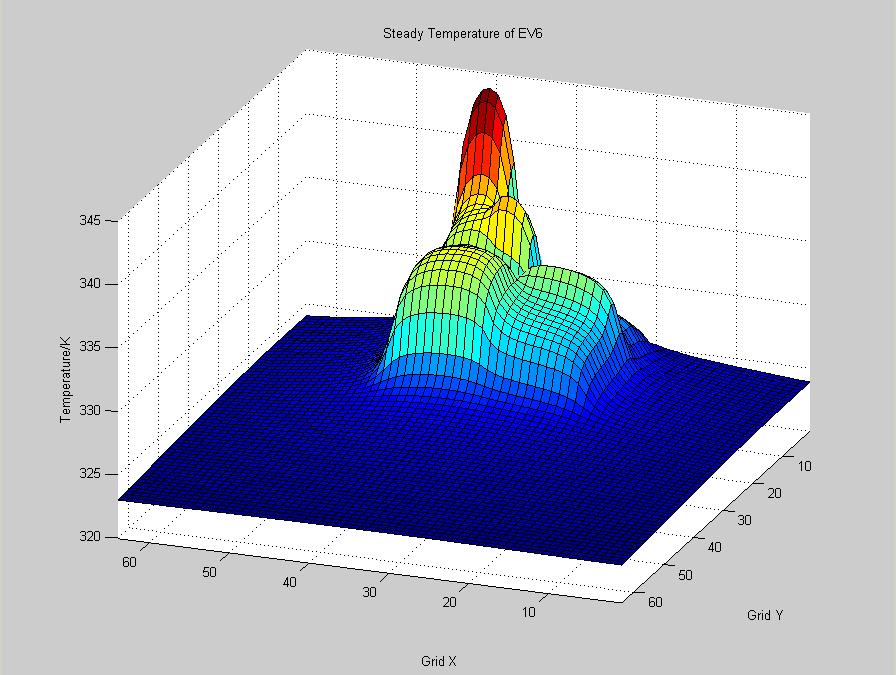


图2、Alpha 21264的温度分布

## **2.2 芯片热分析及HOTSPOT模块级模型**

在MPSoC结构级热分析中，一般采用稳态热分析方法计算温度分布，以降低计算复杂度[7,8]。对于稳态热分析而言，将芯片的功耗分布作为注入的热流向量*P*，可以根据如图3所示的离散化模型、可以获得节点之间的热导矩阵*G*，目前采用如下的稳态热分析方程计算节点温度分布向量*T*：

(1)

对于多核DPTM研究[5,15]，目前广泛采用Skadron等发表的HOTSPOT热分析模型[14]进行构建热导矩阵*G*，并采用式1）进行计算。HOTSPOT采用基于等效热导的电路模型，将体系结构级的块作为分析热点的对象。一种直观的对应芯片以及热封装的物理结构的具体建模例子如图1所示。电路模型在垂直热传导方向上有三层：内核（Die）层、扩热（Heat Spreader）层、与散热片（Heatsink）层，另外加入第四层热对流（Heat Convector）层，即与环境温度的接口。内核层根据芯片的几何布局被分为块；扩热层分为五块：与内核层完好对应的Rsp以及四块呈梯形状的环绕块；散热片层按照与扩热层相似的划分方法，分为Rhs以及四个环绕块；最后，从热封装到外界环境的热对流层由Rconvection表示。层与层之间模型刻画由die直至封装及外界环境的热流；层内水平模型刻画相邻模块间的热扩散。Die层产生的功耗等效为每个模块中心的电流源。建模完成后，通过电路分析，得到芯片的温度分布。

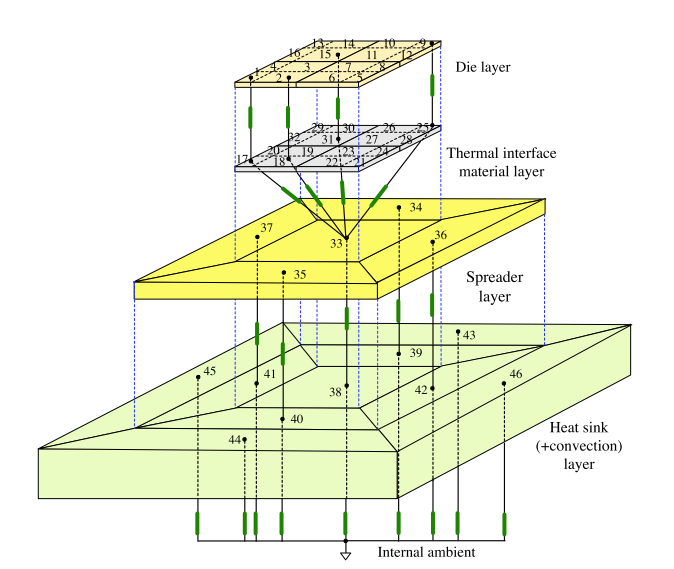


图3、IC热分析的HOTSPOT分析模型

## **2.3 电热耦合效应：温度对漏电流功耗的影响**

芯片功耗由动态功耗*Pdynamic*与静态功耗*Pleakage*两部分组成，随着工艺的提高，*Pleakage*已成为芯片功耗的主要贡献者。而工作温度的升高可以明显增大*Pleakage*，此现象称之为电热耦合效应。本文通过HSPICE软件进行曲线拟合[15]、以获得如下的温度与漏电流之间的关系式：

(2)

综合动态、静态功耗模型，我们给出温度与运行时功耗的关系表达式

(3)

式中的第一项代表动态功耗，第二项代表静态功耗。由于当给定供电电压后，工作频率与工作电压成正比，我们可以进一步简化动态功耗的计算公式

(4)

是经验参数，同样由芯片工艺所决定，本文中所用的值如下表所示[15]。

表1、的取值

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 参数 | A | B |  |  |  |  |  |  |
| 取值 | 1.143e-12 | 1.013e-14 | 466.403 | -1224.741 | 6.282 | 6.909 | 1.19 | 1.20 |

如图4所示，对于一个16核CPU的测例（其具体的实验参数设置见本文后面的4.1部分），我们采用迭代算法来逼近最终的精确解，与不考虑电热耦合效应的初始解相比，芯片最高温度与静态功耗都有了明显的增加，这表明在芯片的温度分析中、必须考虑温度对静态功耗的影响，否则，将会产生较大的分析误差。同时，与不考虑电热耦合效应的温度分析算法相比，由于考虑电热耦合效应的温度分析算法需要采用7次迭代计算才能获得精确解，所以其算法复杂度是对比算法的7倍，因此降低考虑电热耦合效应的温度分析算法复杂度就具有非常重要的研究意义。

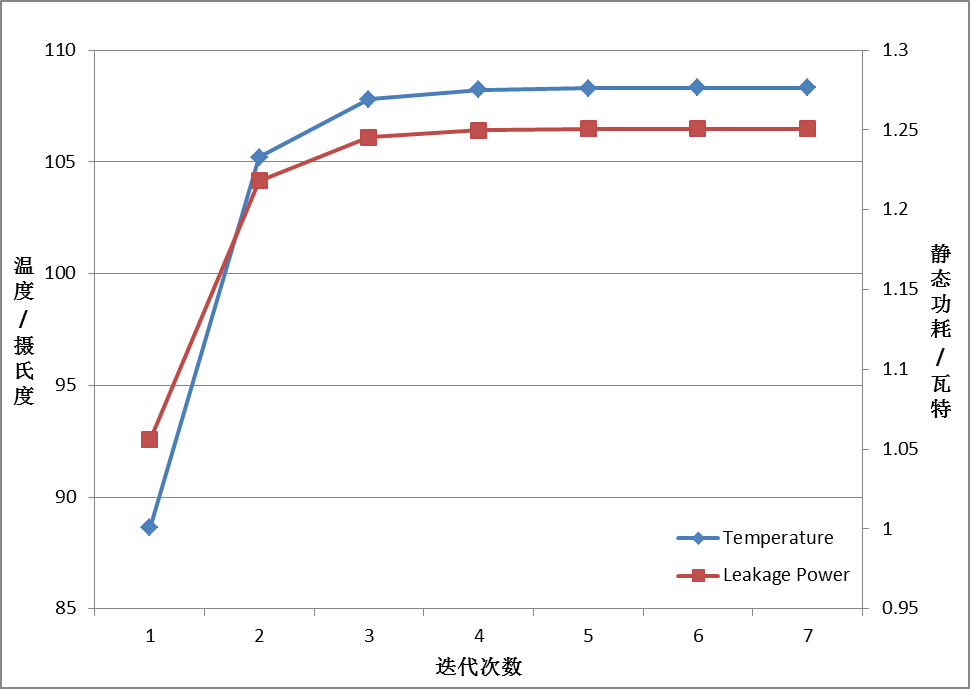


图4、考虑电热耦合效应的多核芯片最高温度与静态功耗的迭代求解

# 3、高精度MPSoC结构级热分析的建模研究

## **3.1 模块级热分析方法BloTAM**

为了对功能模块进行热分析建模，按照图3对HOTSPOT的多核芯片热分析模型，我们采用等效电路的方法对该热分析模型进行进一步简化，为此我们假设：每个功能模块内的功耗与温度分布是均匀的，以该模块中心点的温度作为该模块的温度，并将功耗密度乘以面积作为该模块的功耗，加于模块中心点。

在本文工作中，我们将模块*i*的功耗*Pi,i*作为注入热源。对于多核芯片，如果仅在模块*i*加幅值*Pi,i*的阶跃激励，其它模块均不加激励，则我们可以使用HOTSPOT模拟器获得所有模块的温度*Tj,i*响应曲线。先根据*Ti,i*的最终收敛值可以计算出模块*i*的等效热阻*Ri,i*，计算公式如下：

(5)

再根据等效热阻*Ri,i*，以及模块*j*功耗*Pj,j*的阶跃激励作为单一注入热源所得到的，可以采用如下公式计算出反映*Pj,j*对模块*i*温度作用关系的等效热阻*Ri,j*，

(6)

最后根据以上所获得的参数，我们可以计算*Pj,j*对模块*i*温度计算产生影响的等效热源*Pi,j*：

(7)

因此，按照图5中所给出的单模块温度分析模型，我们可以列出如下热分析表达式：

(8)

式中*N*为多核芯片中的功能模块数目，为模块*i*的等效热源，由于一个模块只有一个等效热源，式8）提供的单模块热分析模型就兼容了经典的单核（单模块）热分析模型[16]。从上式可知：**BloTAM方法**的算法时间复杂度与空间复杂度均为，即算法复杂度为。

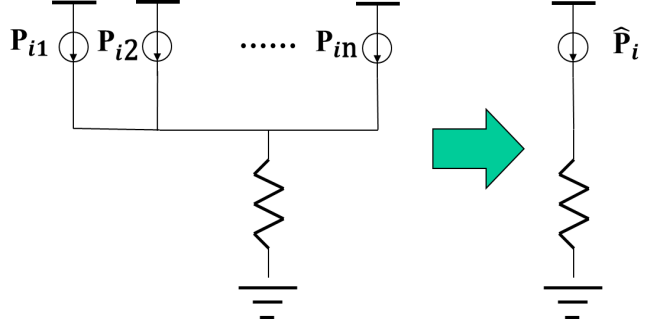


图5、多核DPTM的单模块与单核热分析等效简化模型

## **3.2 核级热分析方法CorTAM**

为了对处理器核进行热分析建模，可以基于图3中HOTSPOT的多核芯片热分析模型，采用等效电路的方法对该热分析方法进行进一步简化，为此，我们进行如下的假设：

1. 在处理器核多个功能模块中，逻辑模块（包括ALU等器件）产生最高的工作温度，我们将逻辑模块的温度作为处理器核的温度。
2. 为了对其它核产生影响，我们将处理器核中所有功能模块的功耗加到逻辑模块中心。
3. 为了计算温度对漏电流功耗的影响，我们将逻辑模块的静/动态功耗比例、作为处理器核中所有功能模块的静/动态功耗比例，也就是：随着工作温度的变化，变的是静/动态功耗比例，不变的是核内所有模块功耗的比例。

基于如上假设，我们将核*p*内的所有模块均加上符合核内功耗比例要求的阶跃激励，其它核均不加激励，则我们可以使用HOTSPOT模拟器获得所有核的温度*Tq,p*响应曲线。先根据*Tp,p*的最终收敛值可以计算出核*p*的等效热阻*Rp,p*，计算公式如下：

(9)

式中*Pp,p*是核*p*内所有模块的功耗之和。先根据等效热阻*Rp,p*，以及核*q*功耗*Pq,q*的阶跃激励作为单一注入热源所得到的，可以采用如下公式计算出反映*Pq,q*对核*p*温度作用关系的等效热阻*Rp,q*，

(10)

再根据以上所获得的参数，我们可以计算*Pq,q*对核*p*温度计算产生影响的等效热源*Pp,q*：

(11)

最后，按照图4中所给出的热分析模型，我们可以列出如下热分析表达式：

(12)

式中*n*为多核芯片中的核数。从上式可知： **CorTAM方法**的算法复杂度为。从计算机系统结构可知，核数*n*远小于模块数*N*，因此，多核芯片的核级温度分析复杂度要远小于模块级。

## **3.3 考虑核内模块相互影响的改良核级热分析方法BiCorTAM**

我们在核级热分析方法研究中，假设了核内各个模块对核内逻辑模块中心温度具有相同的相关热阻，并每个核内仅需计算一个点的温度，核内各模块均使用该温度来刷新模块的漏电流功耗，会使整个核的漏电流功耗增大。为了使漏电流计算更为精确，必须计算出各个模块自己的温度，为此，下面给出一个考虑核内模块相互影响的改良核级热分析方法：BiCorTAM。在BiCorTAM方法中，我们先进行如下的假设：

1. 核q的功耗Pq,q对核p内所有模块均产生相同的等效热量影响为，其中Rp,q为两个核内所有模块之间相关热阻的平均值，即，式中BSp是核p内所有模块的集合。
2. 在核p内，模块j对模块i的等效热量影响为 ，式中。

按照以上假设，我们可以列出如下BiCorTAM表达式：

(13)

从上式可知：BiCorTAM方法的算法复杂度为。BiCorTAM的计算复杂度介于CorTAM和BloTAM之间，当时，BiCorTAM的算法复杂度近似等于CorTAM。

# 4、MPSoC结构级热分析的实验数据与分析

## **4.1 实验平台与测例说明**

为了检验本文所提出的模块级、核级、改良核级三种热分析方法的精度与效率，我们选择热分析软件HOTSPOT-5.02作为验证基准，构建了3个测例进行温度-功耗数据对比分析。本文工作的硬件平台为配有Intel Core i7、8G RAM运行Windows7和Ubuntu 12.04 LTS双系统的PC机。

### **测例一**。我们采用文献[11]中的策略，首先相似地构建了基于Alpha21264核心的4核处理器。对于这4个物理核，每个核有两块独享缓存L2\_Right、L2\_Left，4个核共享最后一级缓存L3。考虑处理单元的片上散热问题，将处理核心放置于芯片边缘。将共享缓存区置于芯片中心，这样将有利于通过功率较低的共享缓存，隔断功率较大的多个核相互之间的热交换影响。每个核的独享缓存处于核的周围。根据表2中所示功率密度设置方法，我们重复地随机产生功耗分布，考虑电热耦合效应，分别采用采用模块级方法BloTAM、核级方法CorTAM、考虑本核内模块相互影响的改良核级方法BiCorTAM，对其温度分布进行计算，并与HOTSPOT结果进行对比。

### **测例二**。对于采用Intel Sandy Bridge-E架构的8核高端CPU芯片[17]，其核心面积为435平方毫米，长度和宽度分别为20.9毫米、20.8毫米，基本呈正方形。本文按照其布局原则模拟生成了一种较为简略的芯片布局结构。根据表2所示的参数设置方案，重复随机产生确定的功耗分布，针对每种功率分布，考虑电热耦合效应，分别采用本文的三种热分析方法、来获得每个功率分布的温度稳定分布，以分析它们的求解精度。

### **测例三**。基于测例1采用的Alpha21264核心，本文构建一个16核的虚拟芯片进行温敏布图规划，并对布图方案进行热分析，以测试本文方法的运行效率。

表2、本文测例各功能模块的面积与功耗参数设定

|  |  |  |  |
| --- | --- | --- | --- |
|  | 功能模块 | 面积（mm\*mm） | 动态功率 (w) |
| 测例一 | Core\_x | 3\*3 | 10~20 |
| L2\_left\_x | 5\*3 | 1~2.5 |
| L2\_x | 5\*5 | 2~5 |
| L2\_right\_x | 3\*5 | 1~2.5 |
| 测例二 | DDR\_IO\_2 | 3\*8 | 2~6.5 |
| MA | 3\*4 | 2~6.5 |
| DDR\_IO\_1 | 3\*8 | 2~4.5 |
| OSR\_x | 1\*2 | 0~1 |
| IDM\_x | 1\*2 | 0~1 |
| L1I\_x | 1\*2 | 0~2 |
| EU\_x | 2\*2 | 1~8 |
| L1D\_x | 2\*2 | 0.5~3 |
| L2\_x | 2\*2 | 0.5~4.5 |
| LLC\_x | 4\*3 | 2~6.5 |
| PCU | 2\*8 | 2~7.5 |
| QPI | 3\*12 | 2~7.5 |
| PCIE | 3\*8 | 2~7.5 |

## **4.2 本文方法分析精度的实验数据与分析**

本文先按照表2中设定的参数、产生100个输入向量，然后采用HOTSPOT、BloTAM、BioCorTAM、CorTAM这4种方法来测试各个核与功能模块的温度与静态功耗，其中一个核的静态功耗值等于所属模块的静态功耗值之和，这个核的局部热点温度是它的Core\_x模块温度。本文采用HOTSPOT的测值作为基准、来求解其余三种方法的相对误差。由于芯片的工作温度均是相对环境温度*Tambient*，本文使用下式来计算温度误差*ET*：

(14)

式中*THOTSPOT*是HOTSPOT的测值，T是本文方法的温度计算值。同时，本文采用下式来计算静态功耗误差*EPlk*：

(15)

式中*PlkHOTSPOT*是HOTSPOT的静态功耗测值，*Plk*是本文方法的静态功耗计算值。

本文三种方法的温度误差如表3所示。BloTAM的精度最高，平均误差小于1.6%，最大误差小于5%；BiCorTAM的精度次之，平均误差小于4.2%，最大误差小于15%；CorTAM的精度最低，平均误差达到33%，最大误差达到45%。因此，BloTAM和BiCorTAM两种方法均可以提供满意的计算精度。

本文三种方法的静态功耗误差如表4所示。BloTAM的精度最高，最大误差小于0.5%；BiCorTAM的精度次之，平均误差小于1.2%，最大误差小于3.7%；CorTAM的精度最低，平均误差达到25%，最大误差达到35%。因此，BloTAM和BiCorTAM两种方法均可以提供满意的计算精度。

表3、多核芯片核内局部热点的温度分析精度对比

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | BloTAM | | CorTAM | | BiCorTAM | |
| Avr. ET | Max. ET | Avr. ET | Max. ET | Avr. ET | Max. ET |
| 测例1 | 1.361% | 1.574% | 6.573% | 12.851% | 2.223% | 2.259% |
| 测例2 | 1.447% | 4.864% | 33.063% | 45.840% | 4.185% | 14.598% |

表4、多核芯片各核静态功耗的分析精度对比

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | BloTAM | | CorTAM | | BiCorTAM | |
| Avr. EPlk | Max. EPlk | Avr. EPlk | Max. EPlk | Avr. EPlk | Max. EPlk |
| 测例1 | 0.314% | 0.327% | 6.857% | 10.816% | 0.495% | 0.570% |
| 测例2 | 0.144% | 0.317% | 25.123% | 35.084% | 1.196% | 3.687% |

为了考察本文方法的误差来源，我们用图6和图7给出了对于测例1各个模块、本文三种方法所产生的静态功耗与温度相对误差。以下内容是我们关于本文三种方法的误差分析：

(1) **BloTAM方法的误差分析**。由于BloTAM是基于HOTSPOT软件模拟出来的模块温度结果进行自下而上的建模，所以该方法具有与HOTSPOT软件近似的精度。如图6所示，各模块的静态功耗误差小于0.3%；如图7所示，各模块的温度误差小于4%。

(2) **CorTAM方法的误差分析**。测例1一个核内，高功耗（高发热量）的Core\_x模块是高温模块，其总功耗中静态功耗所占的比例高，而其它三个模块L2\_ x、L2\_left\_x、 L2\_Right\_x是低功耗的低温模块，其静态功耗的比例也低。如图6所示，由于产生局部热点的Core\_x模块温度明显高于其它核内模块，CorTAM假设核中所有模块的温度均为核的局部热点温度，就与事实有着较大的出入，导致CorTAM所计算出来的低温模块静态功耗明显偏大，产生了11%-15%的较大误差，事实上，高温模块的温度就是核内的局部热点温度，所以CorTAM所计算出来的高温模块静态功耗较为精确，其相对误差小于2%。由于低温模块的静态功耗计算误差明显偏大，以核内所有模块功耗总和来计算核的局部热点温度、就会产生较大的误差，如图7所示，其所产生的温度误差处于6%-8%之间，明显大于其它两种方法。

(3) **BiCorTAM方法的误差分析**。该方法正视核内模块温度之间的明显差别，仅将核外模块作为一个影响整体进行考虑，但由于仅将热点之间的相关热阻作为核间影响的系数，所以该方法对于热点温度可以提供较高的精度，但其对于核内低温模块的温度计算精度则较差。如图6所示，各模块的静态功耗误差小于0.7%；如图7所示，产生热点的高温模块的温度误差小于2.2%，但低温模块的温度误差则达到了5%-11%。

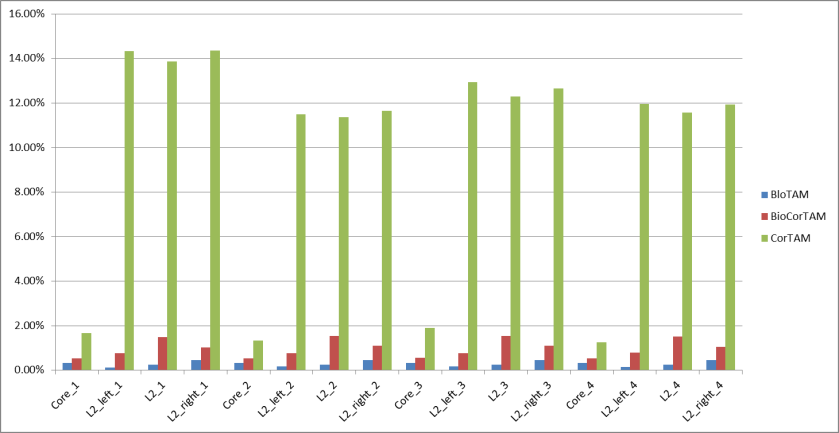


图6、测例1各功能模块的静态功耗分析误差

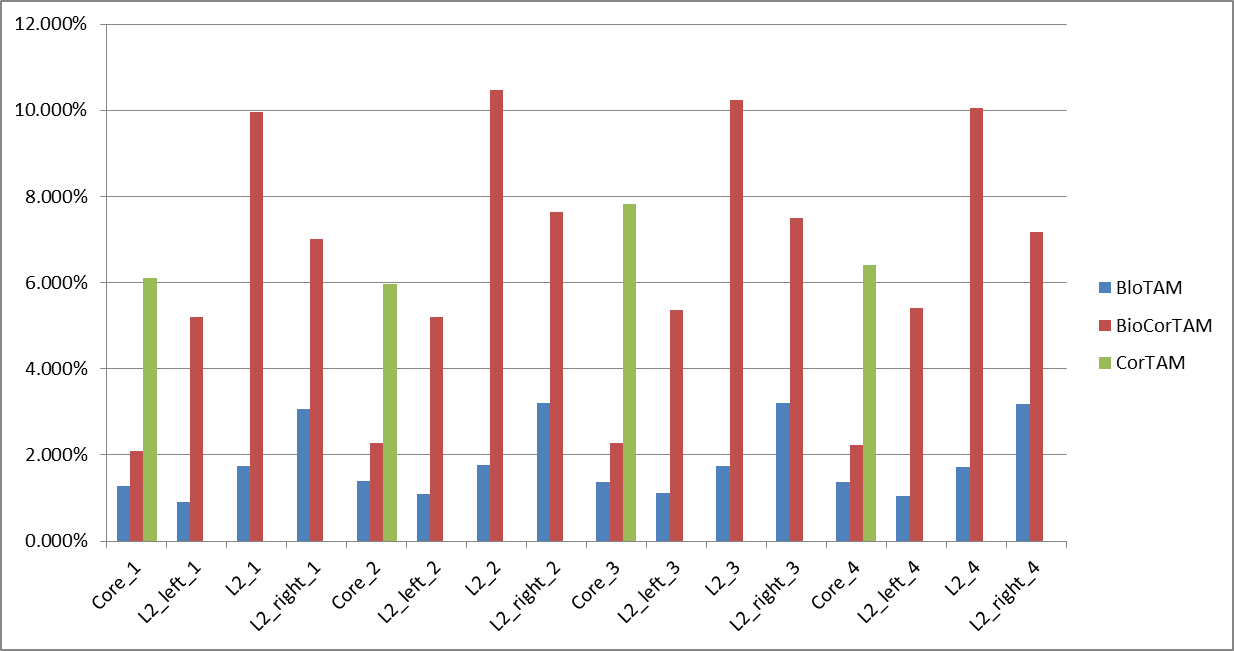


图7、测例1各功能模块温度的分析误差

## **4.3 本文方法计算速度的实验数据与分析**

由于本文方法的算法复杂度非常低，我们采用16核的测例3（大测例）进行本文方法计算速度的验证。在速度测试中，本文3种方法需要采用HOTSPOT软件对进行相关热阻的参数提取，由于芯片中有16个核、每核有4个模块，所以本文方法需要进行64次HOTSPOT模拟，其耗时被称为本文算法的建模时间TModel，测试表明TModel=56.607 秒（S）。当每种布图方案的相关热阻参数被提取出来后，本文方法基于这些参数、采用式5）---式13）对1000个输入向量进行温度与静态功耗计算，其耗时被称为本文算法的热分析时间Tanalysis。建模时间与热分析时间之和被称为总耗时Ttotal= TModel+Tanalysis。本文方法所提供的加速倍数X是HOTSPOT的耗时与本文方法耗时之比，其中不包含建模时间、只采用热分析计算耗时进行加速比较的倍数被称为热分析加速倍数Xanalysis，而采用总耗时进行比较所得到的加速倍数被称为总耗时加速倍数Xtotal。

如表5所示，本文方法的总耗时主要消耗在建模时间上，只要模型参数提取出了，采用式5）---式13）计算温度与静态功耗就是一个非常快速的计算过程，即Tanalysis非常小，只占Ttotal很小的部分。与HOTSPOT软件相比，尽管本文三种算法分析计算的加速比Xanalysis分别达到723、3391、和2882，但由于Tanalysis只占Ttotal很小的部分，所以本文三种算法总耗时的加速比只达到100.34、112.64、和111.99，即本文三种方法的总耗时加速比近似相等，均可以获得满意的加速效果。

表5、1000次热分析的各个算法耗时T（S）及其加速倍数X（X）对比

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 分析算法 | HOTSPOT | BloTAM | CorTAM | BioCorTAM |
| Tanalysis | 6595.39 | 9.122 | 1.945 | 2.288 |
| Ttotal | 6595.39 | 65.729 | 58.552 | 58.895 |
| Xanalysis | BASE | 723 | 3391 | 2882 |
| Xtotal | BASE | 100.34 | 112.64 | 111.99 |

从表3-表5的算法精度与复杂度的比较结果可以看出：与HOTSPOT软件相比，本文所提出的BloTAM和BiCorTAM都可以在满足精度要求的前提下（热点温度误差小于2.2%），获得满意的加速效果，总耗时的加速比可以达到100倍和111倍。

# 5、结论与未来工作

本文采用了自下而上的建模方法对MPSoC结构级热分析方法进行了研究，提出了三种具有不同算法复杂度与精度的热分析方法：模块级方法BloTAM、核级方法CorTAM、考虑本核内模块相互影响的改良核级方法BiCorTAM，均具有简单、高效、与现有简化模型兼容、易于扩展、能够解决温度对漏电流的影响等优点。实验数据表明：对核数较多MPSoC进行热分析的时候，BloTAM和BiCorTAM均具有算法复杂度低和精度高的优点，平均相对增量误差最大不超过3%，同时可以获得110倍以上的运算加速效果，是一种较为理想的结构级热分析方法。

本文提出的热分析方法仅对MPSoC结构级设计进行稳态热分析，只能够用于温敏布图布局设计。由于MPSoC的实时功耗温度管理需要对MPSoC进行结构级瞬态热分析，为此我们需要进一步将本文方法扩展为结构级瞬态热分析方法。

参考文献：

[1] International Technology Roadmap for Semiconductors (ITRS) [R]. http://public.itrs.net/

[2] W. Huang, M.R. Stan, K. Sankaranarayanan, etc. “[Many-Core Design from a Thermal Perspective](http://apps.webofknowledge.com/full_record.do?product=UA&search_mode=GeneralSearch&qid=2&SID=3Bdhd3akk13aJ55Oo5j&page=1&doc=4) ,” In Proceedings of DAC, Anaheim, California, USA, 2008: 746-749(41.4)

[3] M.B. Healy, H.H. S. Lee, G.H. Loh. “Thermal Optimization in Multi-Granularity Multi-Core Floorplanning,” In Proceedings of ASPDAC , 2009: 43-48

[4] Kadin Michael; Reda Sherief, “[Frequency and voltage Planning for Multi-Core Processors Under Thermal Constraints](http://apps.webofknowledge.com/full_record.do?product=UA&search_mode=GeneralSearch&qid=2&SID=3Bdhd3akk13aJ55Oo5j&page=1&doc=4) ,” In Proceedings of ICCD, Cancun, MEXICO, 2008: 463-470

[5] K. Sankaranarayanan, B.H. Meyer, M.R. Stan, etc., Thermal benefit of multi-core floorplanning: A limits study. Sustainable Computing: Informatics and Systems, 2011,1(4): 286-293

[6] V. Hanumaiah, R. Rao, S. Vrudhula, et al, Throughput Optimal Task Allocation under Thermal Constraints for Multi-core Processors, In Proceeding of DAC, USA. 2009.6: 776-781. (45.1)

[7] Y. Ge, Q.R. Qiu. “Task Allocation for Minimum System Power in a Homogenous Multi-core Processor,” In Proceedings of International Green Computing Conference , 2010: 299-306

[8] C.-L. Lung, Y.L. Ho, D.-M. Kwai, etc., Thermal-Aware On-Line Task Allocation for 3D Multi-Core Processor Throughput Optimization, In Proceedings of DATE, Grenoble, France, 2011: 2-7

[9] Y. Zhan, B. Goplen, and S.S. Sapatnekar. Electro-thermal Analysis and Optimization Techniques for Nano-scale Integrated Circuits, In Proceeding of ASP-DAC, Yokohama, Japan, 2006.1: 219-222(2D.1)

[10] W. Huang, S. Ghosh, S. Velusamy, etc., HOTSPOT: A Compact Thermal Modeling Methodology for Early-Stage VLSI Design, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2006, 14(5): 501-513

[11] D.-C. Juan and D. Marculescu, “A learning-based autoregressive model for fast transient thermal analysis of chip-multiprocessors,” 17th Asia and South Pacific Design Automation Conference, Sydney, 2012.1: 597-602

[12] M. Janicki, J.H. Collet, A. Louri, etc. “Hot Spots and Core-to-Core Thermal Coupling in Future Multi-Core Architectures,” In Proceedings of 26th IEEE SEMI-THERM Symposium, 2010: 205-210

[13] R. E. Kessler, “The alpha 21264 microprocessor,” MICRO, pp. 24-36, 1999.

[14] K. Skadron, M. R. Stan, W. Huang, S. Velusamy, K. Sankaranarayanan, and D.Tarjan."Temperature-Aware Microarchitecture", In Proceedings of the 30th International Symposium on Computer Architecture, June 2003.

[15] Liao Weiping, He Lei, “Temperature and supply voltage aware performance and power modeling at microarchitecture level”, Computer-Aided Design of 2005, 24(7), 1042–1053.

[16] Yuan L., Leventhal S. and Qu G., “Temperature-Aware Leakage Minimization Technique for Real-Time Systems”, In Proceedings of IEEE/ACM ICCAD2006, San Jose, 2006.11, pp. 761-764.

[17] <http://ark.intel.com/products/63696>

1. \*\*本课题得到国家自然科学基金 (61274033, 61271198)、中央高校基本科研业务费专项资金资助。闫佳琪，男，1988年生，硕士研究生，主要研究方向为多核片上系统的实时功耗温度管理。骆祖莹，男，1968年生，博士，副教授，计算机学会高级会员（E20-0008880S）主要研究方向为低功耗设计与物理设计。唐亮，男，1987年生，硕士研究生，主要研究方向为EDA算法的电热综合分析与GPU集群加速。赵国兴，男，1981年生，博士，讲师，主要研究方向为并行算法设计。

   联系方式：13811629812（闫佳琪），e-mail：[littlepretty@yahoo.cn](mailto:littlepretty@yahoo.cn)；13693275535（骆祖莹）， e-mail: luozy@bnu.edu.cn [↑](#footnote-ref-1)