考虑温度对漏电流功耗影响的高精度MPSoC结构级热分析方法

闫佳琪1) 骆祖莹1) 唐亮1) 赵国兴1)

1) (北京师范大学信息科学与技术学院 北京 100875)

**摘 要**  多核片上系统(MPSoC)的低功耗设计与实时功耗温度管理(DPTM)是目前重要的研究问题。本文采用了自下而上的建模方法对MPSoC结构级热分析方法进行了研究，提出了三种具有不同算法复杂度与精度的热分析方法：模块级方法BloTAM、核级方法CorTAM、考虑本核内模块相互影响的改良核级方法BiCorTAM，均具有简单、高效、与现有简化模型兼容、易于扩展、能够解决温度对漏电流的影响等优点。实验数据表明：(1)对核数较多MPSoC进行热分析的时候，CorTAM算法的复杂度低但精度也低，BloTAM算法的精度高但复杂度也高，而BiCorTAM则具有算法复杂度低和精度高的优点，是一种较为理想的结构级热分析方法。(2)采用增量式的建模方法，本文方法可以快速进行用于降低热点温度的MPSOC布图规划。

**关键词** 多核片上系统；热分析；DPTM；建模；布图规划；

**中图法分类号** TP391.9

High accurate Architecture-level thermal analysis methods for MPSoCs with considering leakage power dependence on temperature

Yan Jiaqi1) Luo Zuying1) Tang Liang1) Zhao Guoxing1)

1)(College of Information Science and Technology, Beijing Normal University, Beijing 100875)

**Abstract** .

**Key words**  MPSoC；Thermal Analysis；DPTM; Modeling; Floor-Planning;

# 1 引言

## **1.1 研究背景与相关的科学问题**

随着纳米工艺不断升级，IC集成度也不断提升，不断增高的功耗所带来的高工作温度等问题会降低IC的可靠性、增大IC设计的复杂性，即功耗墙问题[1]。为了规避功耗墙，目前IC业界普遍采用多核并行计算结构来提升芯片性能（通量）、降低设计复杂度，以延续摩尔定律[2]。

采用多核并行计算结构的多核片上系统(MPSoC)带来了热点分散的问题，即每个核都会产生一个局部热点[2]。为了将MPSoC多个热点的温度控制在一个安全阈值内，必须在设计与运行阶段，以功能模块与处理器核为单位，对芯片的功耗分布[2-5]与任务调度[6-8]进行优化，为此需要在结构级对芯片进行快速准确的热分析[5-6,10-11]。鉴于纳米工艺CMOS器件的漏电流随着工作温度的升高而指数增加，漏电流功耗与温度之间存在直接的依赖关系，即电热耦合效应[6]。为了提高分析的精度，必须在结构级热分析方法研究中考虑电热耦合效应[6-8]。

## **1.2 相关的研究工作及其缺陷**

受惠于电热分析的相似性，采用有限差分方法(PDF)可以进行全芯片三维热分析，获得温度分布的精确解[9]；为了考虑温度对功耗的影响，可以采用迭代方法来逼近最后的精确解[10]。基于PDF 求解的HotSpot是目前广泛采用的热分析工具软件，能够用于MPSoC的结构级热分析，也能够对电热耦合效应进行求解[10]。尽管PDF方法可以获得高精度的求解方案，但这类方法的算法复杂度非常高，不满足MPSoC布图规划和实时功耗温度管理对结构级快速求解的需求[5,11]。

为了对结构级设计的温度分布进行快速求解，出现过多种加速算法[2,3,6,7,11]。文献[3]采用最简单的物理距离模型，速度速度最快、精度最差，无法进行精确的MPSoC温度求解。文献[2,6,7]省略了核间的侧向热阻、来简化温度求解，其优点是速度快，缺点是降低了求解的精度。文献[12]采用基于学习的自回归算法进行在线温度分析，提高热分析速度的同时、也降低了求解的精度。总之，求解加速的代价是降低了求解的精度。

对于温度对功耗的影响（LDT），精确的求解算法是采用迭代的方法进行逼近求解[5]。在现有结构级热分析算法中，为了提高求解速度，文献[2]没有考虑LDT，文献[7]采用线性模型来拟合LDT，文献[6,8]采用分段拟合系数矩阵来求解LDP效应，其结果会带来求解精度不同程度的降低。

## **1.3 本文工作及其贡献**

本文采用自下而上的策略，使用HotSpot提取MPSoC功能模块之间的热相关系数，建立了模块级热分析模型BloTAM；由于每个核内只产生一个热点，我们可以仅依靠热点之间的热相关系数、建立了算法复杂度非常低的核级热分析模型CorTAM；为了提高CorTAM的精度，我们进一步提出了考虑本核内模块相互影响的改良核级方法BiCorTAM。与现有的结构级热分析算法相比，本文所提出的三种方法均具有简单、高效、与现有简化模型兼容、易于扩展、考虑LDT影响等优点，可以满足MPSoC布图规划和实时功耗温度管理对高效、精确的结构级热分析方法的需求。

实验数据表明：(1)对核数较多MPSoC进行热分析的时候，CorTAM算法的复杂度低但精度也低，BloTAM算法的精度高但复杂度也高，而BiCorTAM则具有算法复杂度低和精度高的优点，是一种较为理想的结构级热分析方法。 (2)采用增量式的建模方法，本文方法可以快速进行用于降低热点温度的MPSOC布图规划。

# 2 研究基础

## **2.1 多核架构及其电热分布**

目前多核CPU采用同质架构，即每个核拥有相同的逻辑功能模块、容量相同的专享缓存(cache)，占有相同的内核面积，同时共享LLC缓存、I/O等功能模块。每个核具有相同数量的工作模式，每种工作模式具有不同的能耗，即每个核具有一个全速高能模式外，还具有多个节能程度不同的节能模式。

在每个核内，一般都具有一个功耗密度最大的逻辑功能模块、一个指令L1缓存和一个数据L1缓存，其功耗密度次之，一个功耗密度最小的L2缓存。由于注入的热量大，每个核的热点（温度最高点）出现在逻辑功能模块，所以在物理设计中，逻辑功能模块一般要布放在散热条件好的芯片边沿处，而将功耗密度最小的LLC缓存布放在散热条件最差的芯片中央，以降低芯片的热点温度。

## **2.2 散热系统**

图1给出了完整的芯片散热系统结构，在散热片下依次是导热层2(TIM2)、扩热层、导热层1(TIM1)，导热层1下方就是芯片的内核(die)，内核＋导热层1＋扩热层＋散热片+风扇构成了芯片的主散热通道。内核下方是芯片的封装基座，封装基座下方是芯片插座，芯片插座下方则是印刷电路版(PCB)，内核＋封装基座＋芯片插座＋PCB构成了辅散热通道。主散热通道的散热能力强于辅散热通道几个数量级，所以在全芯片3D热分析中，均只讨论主散热通道，而忽略辅散热通道，本文下面将主散热通道简称散热通道。

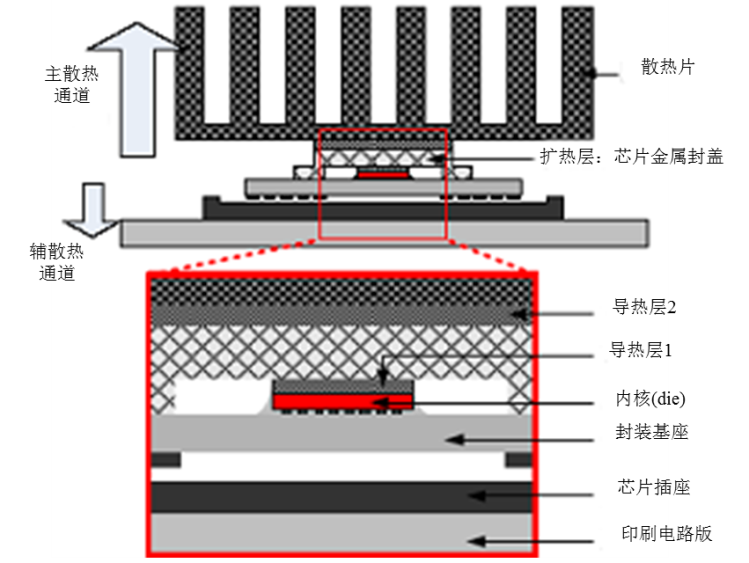


图1、IC散热系统的结构示意

从图1可以看出：IC散热系统包括内核的硅衬底、由硅胶或硅脂等软性材料构成的导热层、由芯片金属壳构成的扩热层、及散热片等散热器件。从图2的Intel公司FCLGA10的散热系统结构可以看出：在封装好的芯片内，芯片金属封盖起到扩热的作用，为了保护内核，封盖与内核之间采用的是一层很薄的软性材料（硅脂）。



图2、Intel公司FCLGA10封装的散热系统结构

## 2.3 导热材料的热设计参数

一般而言，芯片散热系统所用的导材料有：铜Cu（封盖与散热片）、硅Si（硅衬底）、硅胶或硅脂（导热层），其中铜和硅的导热能力要远高于硅胶与硅脂。因此，在散热系统中，为了降低系统的热阻，必须尽量减小导热层的厚度，但为了保证不损坏内核，金属封盖与内核之间的导热层厚度一般取0.5-0.8mm，从图2可以看出：Intel公司CPU芯片的导热层厚度要小于0.5mm，这主要取决于该公司的巨大技术实力。

表1 导热材料的热设计参数

|  |  |  |  |
| --- | --- | --- | --- |
| 材料 | k(W/cm-K) | **kg/cm3) | *c*(J/kg-K) |
| 铜 | 4.00 | 0.00892 | 386.00 |
| 硅 | 1.00 | 0.00232 | 171.00 |
| 硅脂 | 0.04 | 0.00240 | NA |

为了对芯片温度进行瞬态分析，必须对各传热器件进行热阻（热导）和热容的参数提取。为此，我们将铜、硅、导热层(TIM)材料的热导率*k*（单位为W/cm-K）、比重*ρ*（单位为kg/cm3）、比热容*c*（单位为J/kg-K）列于表1中。对于作为导热层材料的硅脂，由于工艺不同，其参数变化较大，所以取上界。

## 2.4 芯片的热分析

对于稳态热分析而言，将芯片的功耗分布作为注入的热流向量*P*，可以根据如图3所示的离散化模型、可以获得节点之间的热导矩阵*G*，目前采用如下的稳态热分析方程计算节点温度分布向量*T*：

(1)

当注入变化的热流向量*P*(*t*)时，则必须在瞬态热分析中考虑热容矩阵C，将上式进行如下修改，以求解时变的温度分布向量*T*(*t*)：

(2)

## 2.5 电热耦合效应：温度对漏电流功耗的影响

芯片功耗由动态功耗*Pdynamic*与静态功耗*Pleakage*两部分组成，随着工艺的提高，*Pleakage*已成为芯片功耗的主要贡献者。而工作温度的升高可以明显增大*Pleakage*，此现象称之为电热耦合效应。通过HSPICE软件进行曲线拟合[1]，温度与漏电流的关系可用下式进行表述：

(3)

为参考电压及对应的参考温度。综合[2]中所提出动态、静态功耗模型，我们给出温度与运行时功耗的关系表达式

(4)

式中的第一项代表动态功耗，第二项代表静态功耗。由于当给定供电电压后，工作频率与工作电压成正比，我们可以进一步简化动态功耗的计算公式

(5)

是经验参数，由芯片生产工艺所决定，其值分别为

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| A | B |  |  |  |  |  |  |
| 1.1432e-12 | 1.0126e-14 | 466.4029 | -1224.74083 | 6.28153 | 6.9094 | 1.19 | 1.20 |

# 3 多核芯片的热分析模型

## 3.1 用于多核DPTM的现有瞬态热分析模型

目前，不论是对于单核还是多核的DPTM研究，大多采用了Skadron等发表的HotSpot热分析模型[13]。HotSpot采用基于等效热导与热容的RC电路模型，将体系结构级的块作为分析热点的对象。直观的对应芯片以及热封装的物理结构的具体建模例子如图1所示。RC电路模型在垂直热传导方向上有三层：Die层，Heat Spreader层与Heatsink层，另外加入第四层热对流层，即与环境温度的接口。Die层根据芯片的几何布局被分为块；Heat Spreader层分为五块：与Die层完好对应的Rsp以及四块呈梯形状的环绕块；Heatsink按照与Heat Spreader相似的划分方法，分为Rhs以及四个环绕块；最后，从热封装到外界环境的热对流层由Rconvection表示。层与层之间模型刻画由die直至封装及外界环境的热流；层内水平模型刻画相邻模块间的热扩散。Die层产生的功耗等效为每个模块中心的电流源。建模完成后，通过分析RC瞬态与稳态电路，得到芯片温度的瞬态以及稳态结果。

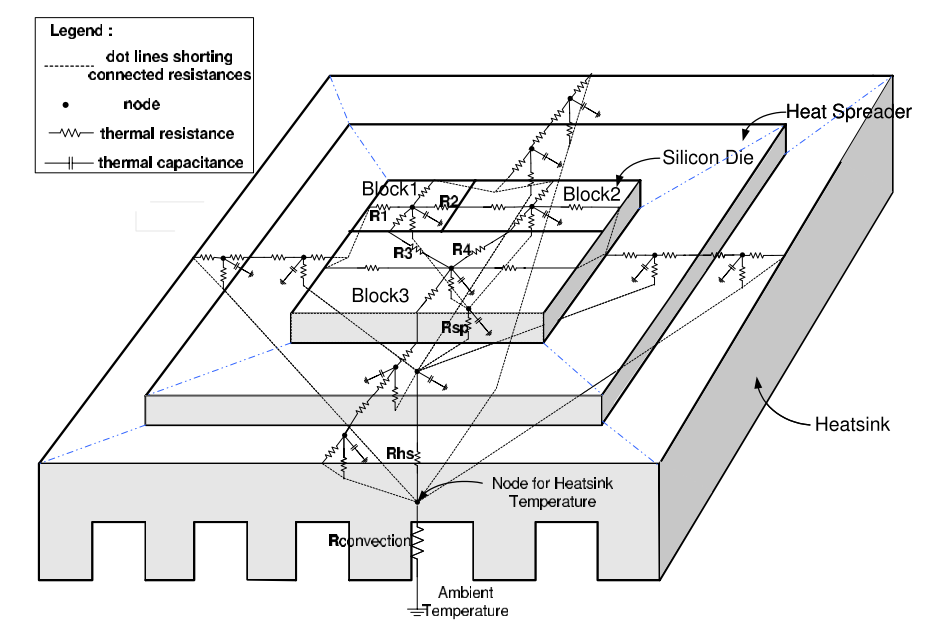


图1、HotSpot物理结构建模

## 3.2 全芯片3D热分析模型

3D封装的立体结构使得芯片的功耗密度随着叠加层数的增加而线性增长，加之衬底以及互联线的非均匀热分布对电路稳定性及性能的影响，因此，3D封装技术需要细致的散热设计以及高效的散热分析。为此，人们提出了许多计算手段，力图对全芯片上进行3D瞬态或者稳态热分析。[14]提出利用有限差分法解决3D结构的散热模拟。将一个die离散化为N个小正方形。

N=n1\* n2 \* n3 (6)

n1, n2, n3 是经过划分之后，在 x, y, z三个空间方向上小正方形的数量，如图2所示。

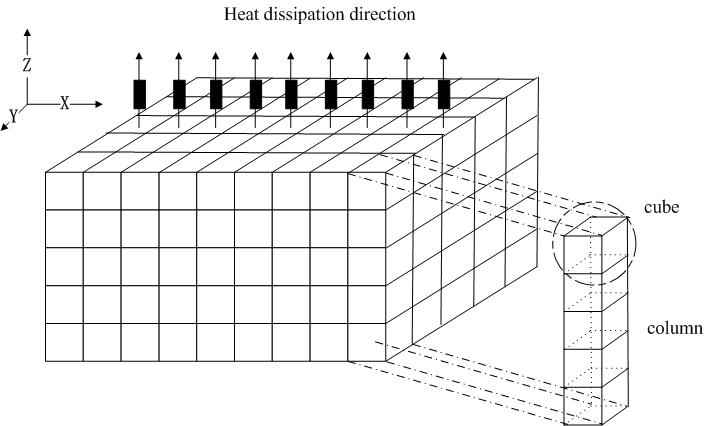


图2、3D热分析的离散化

通过使用有限差分法对die进行离散化之后，3D全尺寸热分析仍然等同于求解线性方程组（1）。[15]提出利用隐式交互迭代法ADI解决这种模型下的大规模瞬态热估计问题，得到芯片整体的热；[16]提出考虑电热耦合的单节点统计热分析方法。但是有限元的划分方法导致热分析中需要大量的计算时间和内存资源。在不改变整体热分析模型的前提下，考虑利用通用图形处理器GP-GPU的硬件加速能力，[17]提出了基于列的并行SOR算法并行解决大规模的稳态热分析中遇到的存储问题和加速问题。另外，HotSpot不仅具有前一节所提到的以功能块为单位的block模型，还具有划分3维立体网格的grid模型，从而支持上述的分布式3D瞬态热分析。



图3、IC热分析的HotSpot分析模型

# 4、用于多核DPTM的瞬态热分析建模研究

## 4.1 模块级瞬态热分析模型

为了对功能模块进行瞬态热分析建模，按照图3对HotSpot的多核芯片瞬态热分析模型，我们采用等效电路的方法对该瞬态热分析模型进行进一步简化，为此，我们进行如下的假设：

1. 每个功能模块内的功耗与温度分布是均匀的，以该模块中心点的温度作为该模块的温度，并将功耗密度乘以面积作为该模块的功耗，加于模块中心点。
2. 每个功能模块拥有近似相同的温度时间响应周期。

基于如上假设，我们将模块*i*的功耗*Pi,i*作为注入热源。对于多核芯片，如果仅在模块*i*加幅值*Pi,i*的阶跃激励，其它模块均不加激励，则我们可以使用HOTSPOT模拟器获得所有模块的温度*Tj,i*响应曲线。先根据*Ti,i*的最终收敛值可以计算出模块*i*的等效热阻*Ri,i*，计算公式如下：

(7)

再根据*Ti,i*的响应曲线来确定时间响应周期，并计算出模块*i*的等效热容*Ci*，计算公式如下：

(8)

根据等效热阻*Ri,i*，以及模块*j*功耗*Pj,j*的阶跃激励作为单一注入热源所得到的，可以采用如下公式计算出反映*Pj,j*对模块*i*温度作用关系的等效热阻*Ri,j*，

(9)

根据以上所获得的参数，我们可以计算*Pj,j*对模块*i*温度计算产生影响的等效热源*Pi,j*：

(10)

因此，按照图4中所给出的单模块温度瞬态分析模型，我们可以列出如下瞬态分析表达式：

(11)

式中*N*为多核芯片中的功能模块数目。从上式可知：**BLOTTA**的计算复杂度为。

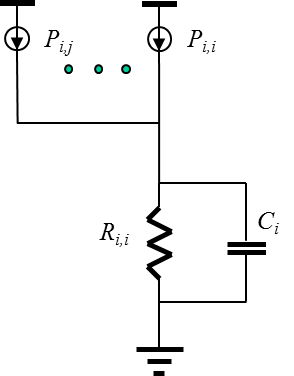


图4、多核DPTM的单模块与单核热分析等效简化模型

## 4.2 核级瞬态热分析模型

为了对处理器核进行瞬态热分析建模，可以基于图3中HotSpot的多核芯片瞬态热分析模型，采用等效电路的方法对该瞬态热分析模型进行进一步简化，为此，我们进行如下的假设：

1. 在处理器核多个功能模块中，逻辑模块（包括ALU等器件）产生最高的工作温度，我们将逻辑模块的温度作为处理器核的温度。
2. 为了对其它核产生影响，我们将处理器核中所有功能模块的功耗加到逻辑模块中心。
3. 为了计算温度对漏电流功耗的影响，我们将逻辑模块的静/动态功耗比例、作为处理器核中所有功能模块的静/动态功耗比例，也就是：随着工作温度的变化，变的是静/动态功耗比例，不变的是核内所有模块功耗的比例。

基于如上假设，我们将核*p*内的所有模块均加上符合核内功耗比例要求的阶跃激励，其它核均不加激励，则我们可以使用HOTSPOT模拟器获得所有核的温度*Tq,p*响应曲线。先根据*Tp,p*的最终收敛值可以计算出核*p*的等效热阻*Rp,p*，计算公式如下：

(12)

式中*Pp,p*是核*p*内所有模块的功耗之和。再根据*Tp,p*的响应曲线来确定时间响应周期，并计算出核*p*的等效热容*Cp*，计算公式如下：

(13)

根据等效热阻*Rp,p*，以及核*q*功耗*Pq,q*的阶跃激励作为单一注入热源所得到的，可以采用如下公式计算出反映*Pq,q*对核*p*温度作用关系的等效热阻*Rp,q*，

(14)

根据以上所获得的参数，我们可以计算*Pq,q*对核*p*温度计算产生影响的等效热源*Pp,q*：

(15)

因此，按照图4中所给出的温度瞬态分析模型，我们可以列出如下瞬态分析表达式：

(16)

式中*n*为多核芯片中的核数。从上式可知： **CORTTA**的计算复杂度为。从计算机系统结构可知，核数*n*远小于模块数*N*，因此，多核芯片的核级温度瞬态分析复杂度要远小于模块级。

## 4.3 考虑核内模块相互影响的改良核级瞬态热分析模型：BICORTTA

我们在核级瞬态热分析模型研究中，假设了核内各个模块对核内逻辑模块中心温度具有相同的相关热阻，并每个核内仅需计算一个点的温度，核内各模块均使用该温度来刷新模块的漏电流功耗，会使整个核的漏电流功耗增大。为了使漏电流计算更为精确，必须计算出各个模块自己的温度，为此，下面给出一个考虑核内模块相互影响的改良核级瞬态热分析模型：BICORTTA。在BICORTTA模型中，我们先进行如下的假设：

1. 核q的功耗Pq,q对核p内所有模块均产生相同的等效热量影响为，其中Rp,q为两个核内所有模块之间相关热阻的平均值，即，式中BSp是核p内所有模块的集合。
2. 在核p内，模块j对模块i的等效热量影响为 ，式中。

按照以上假设，我们可以列出如下**BICORTTA**表达式：

(17)

从上式可知：BICORTTA的计算复杂度为。BICORTTA的计算复杂度介于CORTTA和BLOTTA之间，当是，BICORTTA的计算复杂度近似等于CORTTA。

# 5、实验数据与分析

为了验证本文所提出的模块级、核级、改良核级三种热分析模型的精确性，并比较它们的精度，我们选择HotSpot-5.02作为热分析的标准精确模型，构建三个模拟测例进行温度-功耗数据对比分析。

### 测例一

首先，我们采用[18]中的四核Alpha21264处理器。该芯片拥有4个物理核，每个核有两块独享缓存L2\_Right、L2\_Left，4个核共享最后一级缓存L3。考虑处理单元的片上散热问题，将处理核心放置于芯片边缘。将共享缓存区置于芯片中心，这样将有利于通过功率较低的共享缓存，隔断功率较大的多个核相互之间的热交换影响。每个核的独享缓存处于核的周围。根据表2中所示规则，我们重复地随机产生功耗分布，并分别采用采用模块级方法BloTAM、核级方法CorTAM、考虑本核内模块相互影响的改良核级方法BiCorTAM，a)忽略电热耦合响应，对其热稳定状态进行分析，并与标准精确的HotSpot结果进行对比。图4展示了某一次的热稳定结果；b)考虑电热耦合响应，对其热稳定状态进行分析，并与标准精确的HotSpot结果进行对比。图5展示了某一次的热稳定结果。从图4和图5不难看出，考虑电热耦合后，稳态温度会有大约3~5摄氏度的升高。图6展示了对应的功率稳定结果，我们可以看到，对Core部分而言，稳态时，漏电流功率可以占到总功率的1/3之多。表3总结了上述两组实验条件下100次实验的平均统计量，可以看到，以HotSpot的分析结果作为参照，BloTAM无论在是否考虑电热耦合的情况下都具有最好的计算精度，最低的平均误差和最大误差都低于4%，BiCorTAM的精度次之，误差最大可达11.098，CorTAM最差。

表2、随机产生功耗分布的上、下限

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | Core\_x | L2\_left\_x | L2\_x | L2\_right\_x |
| 测例一 | 10~20w | 1~2.5w | 2~5w | 1~2.5w |
| 测例三 | 8~16w |  |  |  |

表3、测例一、二中不同分析模型的精度对比

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | BloTAM | | CorTAM | | BiCorTAM | |
| 平均误差 | 最大误差 | 平均误差 | 最大误差 | 平均误差 | 最大误差 |
| 测例1（忽略） | 0.649% | 1.504% | 3.832% | 12.427% | 2.860% | 5.045% |
| 测例1（考虑） | 1.831% | 3.686% | 6.573% | 12.851% | 6.257% | 11.098% |
| 测例2 | 1.217% | 4.864% | 14.544% | 51.159% | 4.687% | 15.839% |

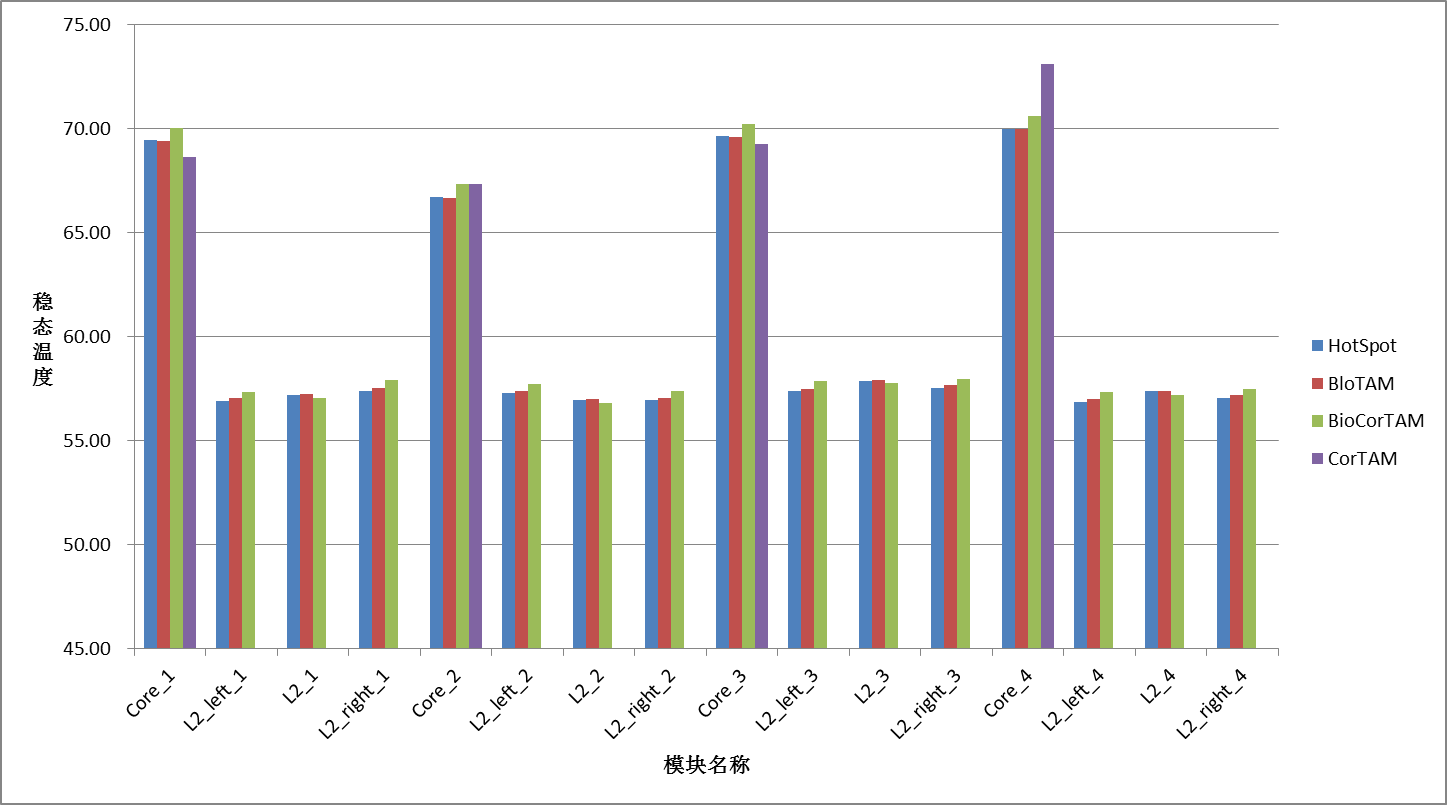


图4、测例一（忽略电热耦合效应）各模块稳态温度

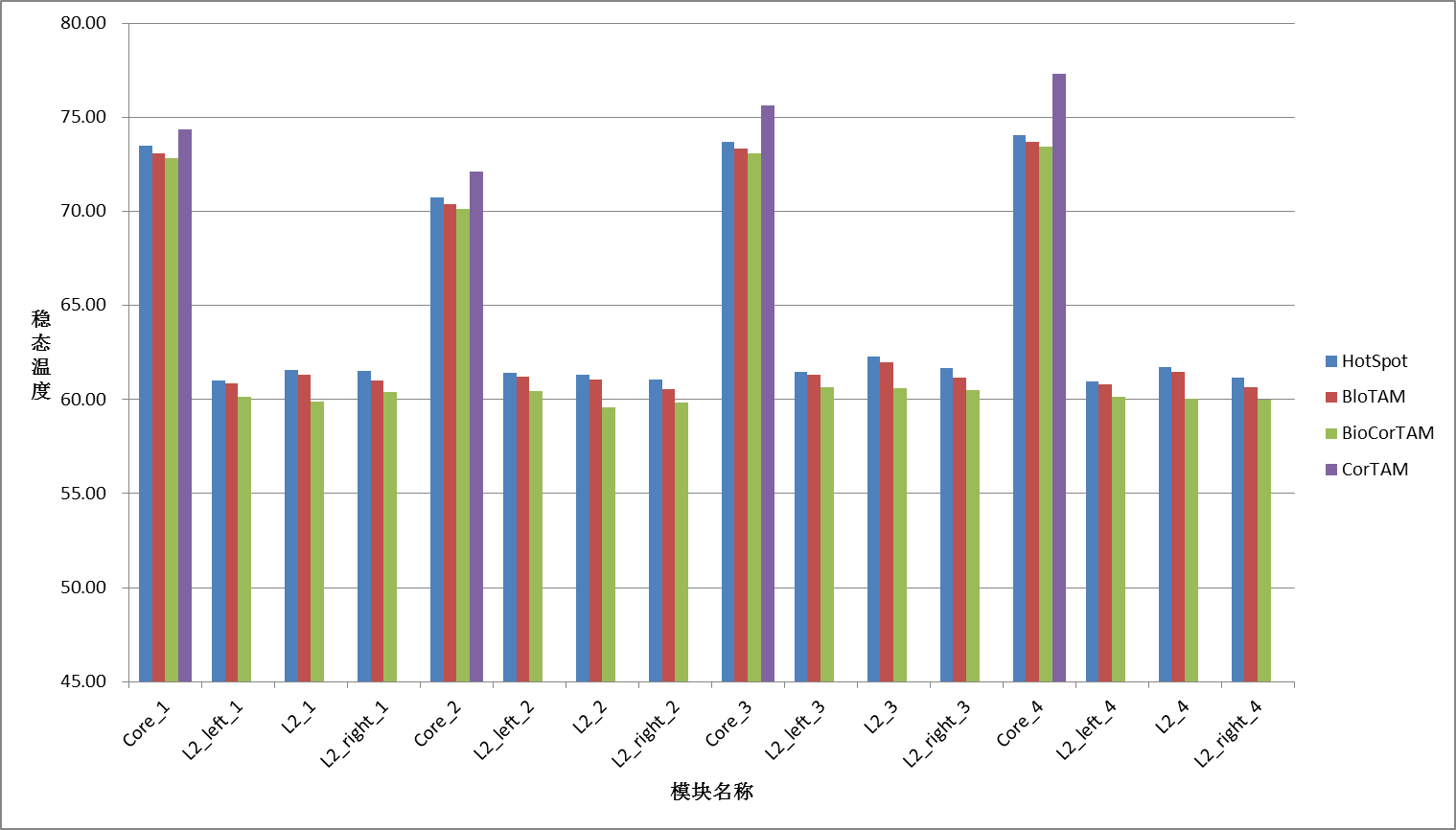


图5、测例一（考虑电热耦合效应）各模块稳态温度

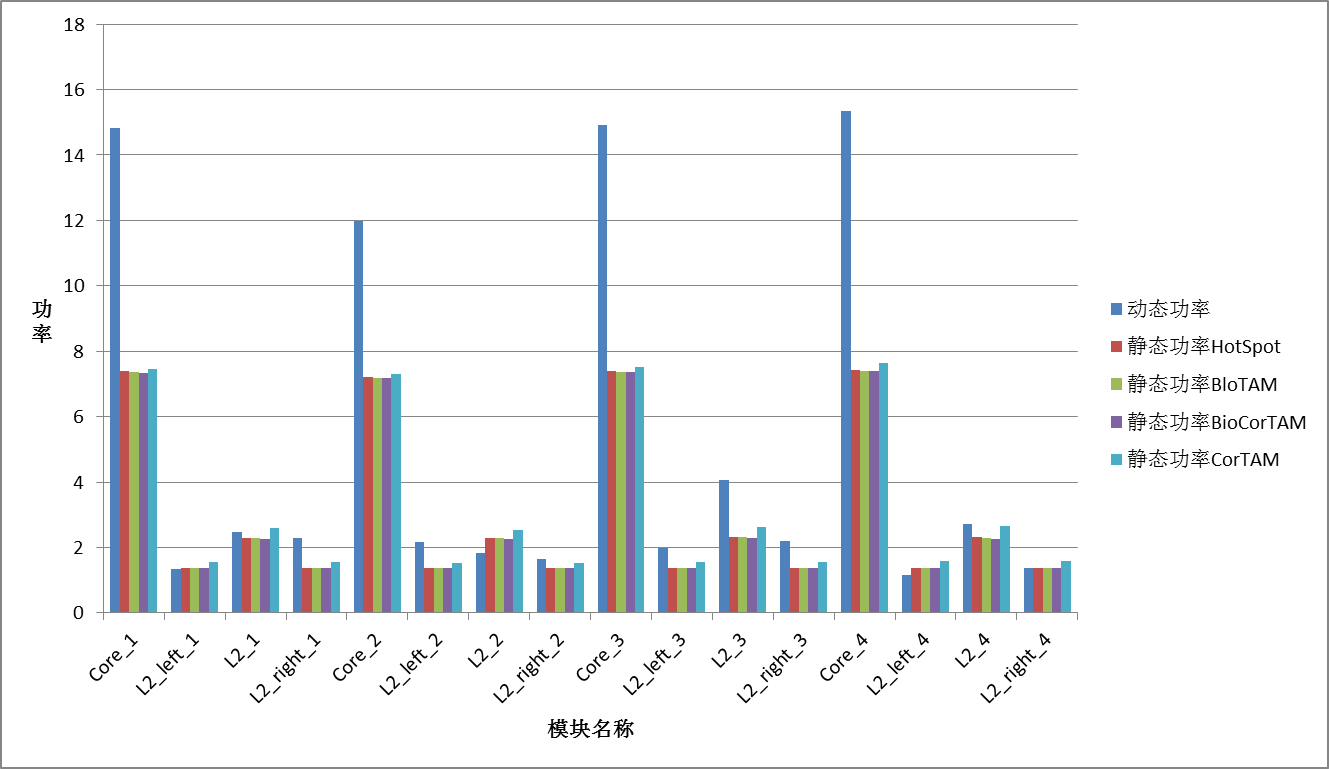


图6、测例一（考虑电热耦合效应）各模块稳态功率

表3、测例三不同布局使用DVS与否的稳态温度对比

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 布局1 | | 布局2 | | 布局3 | | 布局4 | |
| 平均 | 最高 | 平均 | 最高 | 平均 | 最高 | 平均 | 最高 |
| 不使用DVS | 105.257 | 114.363 | 104.664 | 112.891 | 104.175 | 111.420 | 104.291 | 112.536 |
| #6#10使用DVS | 102.361 | 110.506 | 94.518 | 102.128 | 94.08 | 100.878 | 94.188 | 101.787 |

### 测例二

目前主流的高端CPU Intel Core Sandy Bridge-E i7-3960X系列处理器采用32nm Bulk工艺制造，核心面积435平方毫米，长度和宽度分别为20.9毫米、20.8毫米，基本呈正方形。本文中，我们按照Sandy Bridge-E i7-3960X的布局原则模拟生成了一种较为简略的芯片布局结构，整体平面图如图7所示，每个核内的布局如图8所示。根据图9所示的功率上下限限制，重复随机产生确定的功耗分布，针对每种功率分布，分别采用模块级方法BloTAM、核级方法CorTAM、考虑本核内模块相互影响的改良核级方法BiCorTAM，获得每个功率分布的温度稳定分布，以分析本文所提出的三种模型的运算精确度。图10展示了某一次的稳定值结果。表3总结了100次试验的平均统计量。类似于测例一，BloTAM的计算精度仍然是最优的，最大误差低于5%，BiCorTAM次之，最大误差可达15.839%，CorTAM的误差则有51.159%之多。

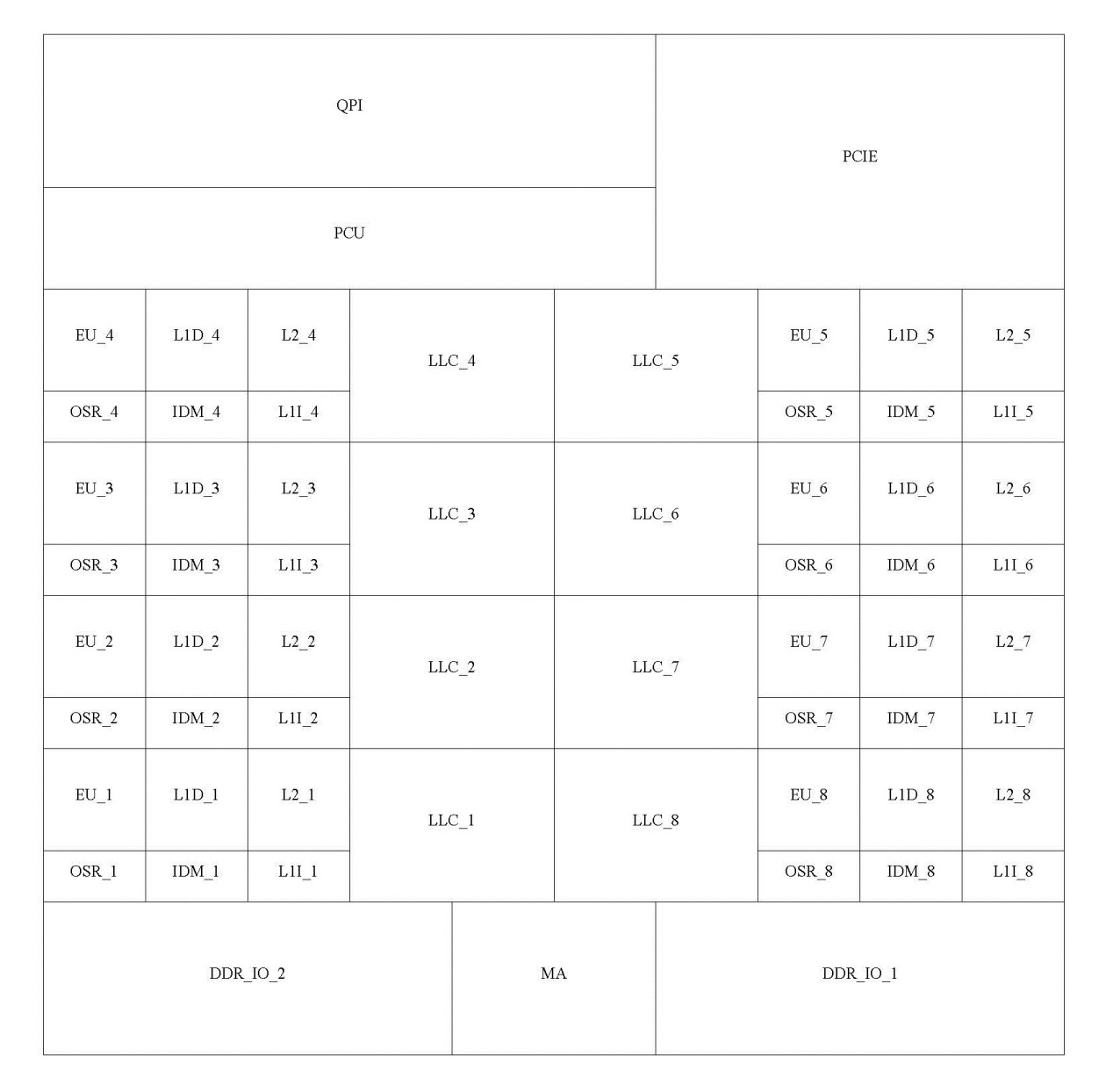


图7、测例二i7-3960X芯片布局

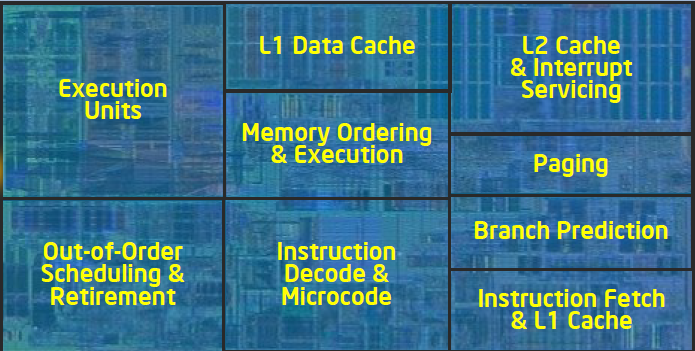


图8、测例二i7-3960X核内的布局

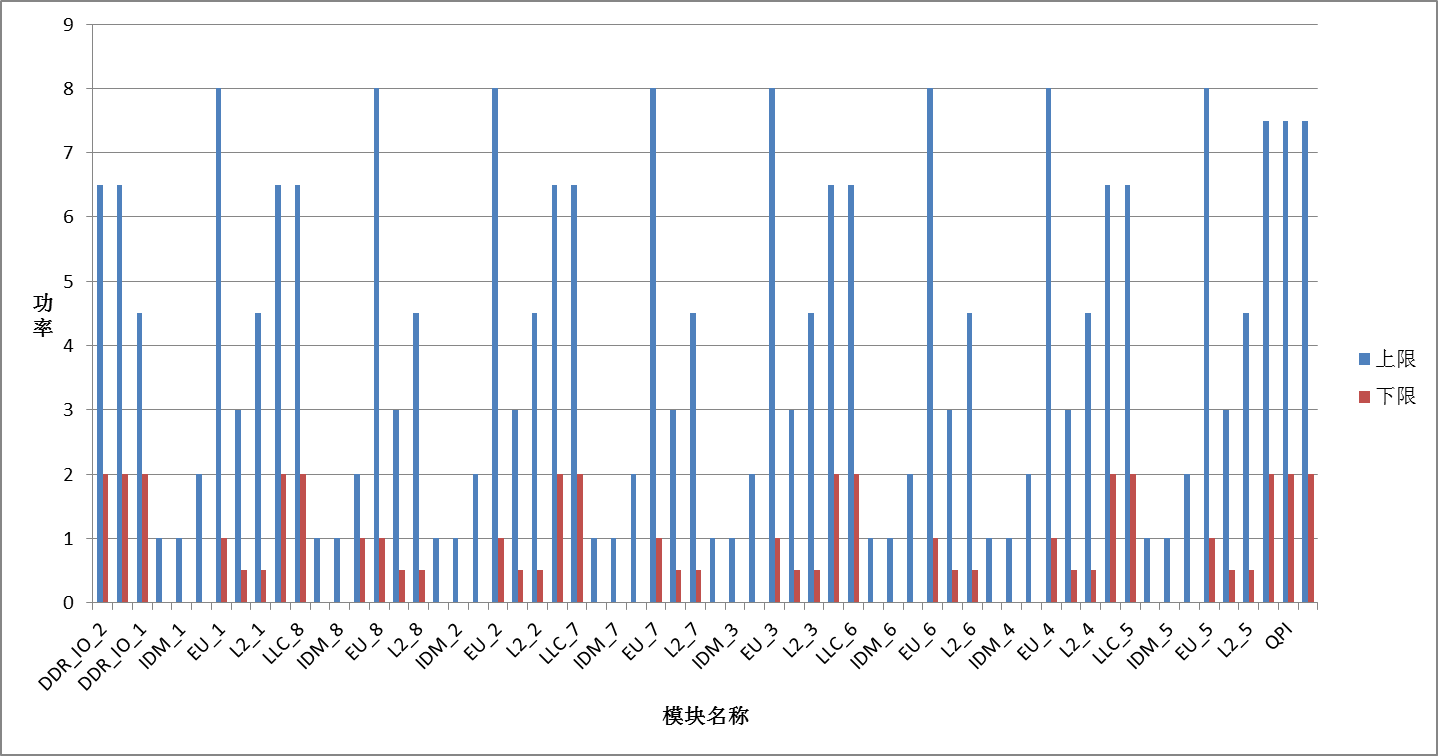


图9、测例二i7-3960X功率分配规则

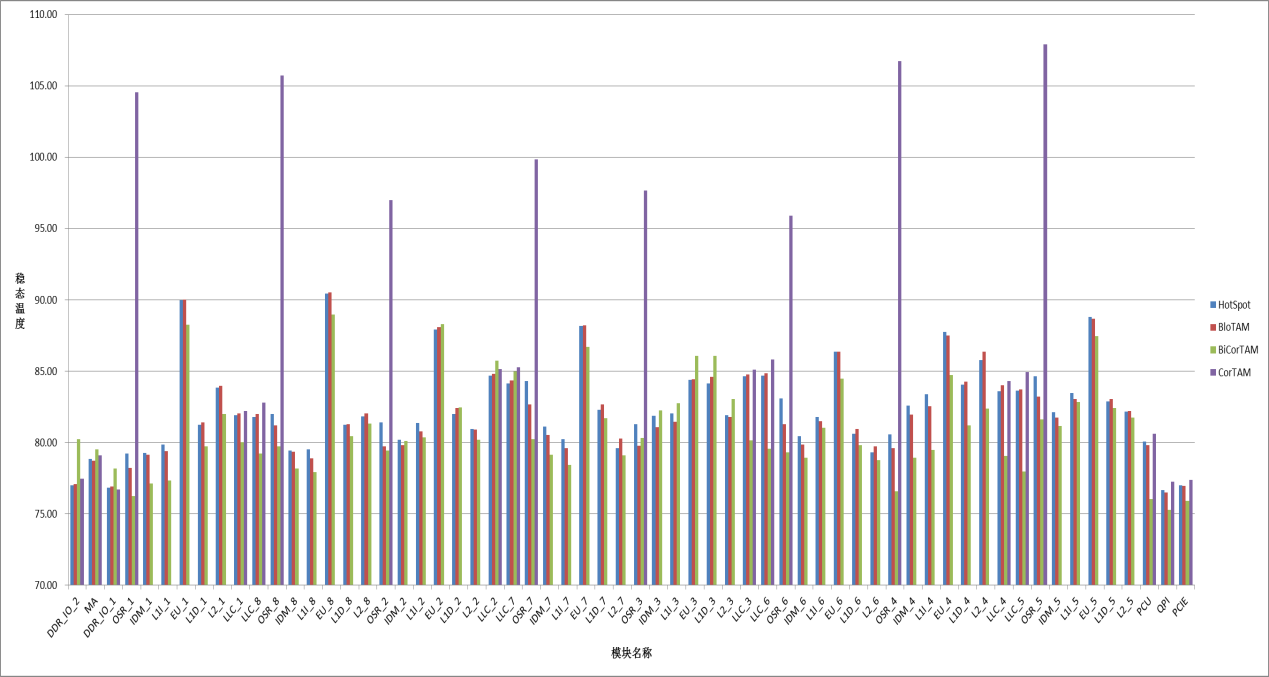


图10、测例二（考虑电热耦合效应）各模块稳态温度

### 测例三

在最后一组实验中，我们采用本文提出的快速稳态温度分析模型，快速进行用于降低热点温度的MPSOC布图规划。参照[19]中的多核芯片结构，稍许改良后构建了更为复杂的16核芯片，甄选出四种不同的布局形态，如图11所示。为了探索怎样的芯片布局可以获得对优化芯片温度有最好的效果，我们根据一定规则为每个模块重复100次随机分配功率（规则见表2），采用BiCorTAM快速分析模型分别计算这四种分布的稳定温度。图12为100次随机实验后的芯片平均温度。在综合考虑电热耦合效应的情况下，我们还通过对比实验说明了DVS技术的使用对优化芯片温度有着积极作用，相同的100次随机试验的芯片平均温度如图13所示（仅挑选核#6与核#10开启DVS）。表4对比了使用和不使用DVS这两种情况下芯片的热稳定状态，其中使用DVS时的温度阈值选取为120摄氏度（DVS的最大调低幅度为最高电压的0.4倍）。通过对比4种布局的平均稳态温度可以发现，第三种布局具有最优的散热性能，第一种布局的散热性能最差，最高温度比前者高出将近10摄氏度。而就第三种布局本身而言，不使用DVS将导致核心的最高温度高出近10摄氏度。

与此同时，我们还按照DVS温度阈值设置的不同，分别计算了开启DVS后，四种布局形态对应可以达到最大吞吐量，如图14所示。不难看出，因为散热效果良好，第三种布局在DVS阈值温度的限制下，可以达到相较于其他三种布局而言的最大的吞吐量。最后，为了比较HotSpot和本文所提出三种分析模型的计算耗时，我们对采用第一种布局的16核芯片反复进行稳态分析，计算各个模型耗时的累计时间，如表5所示。可以看到，虽然BloTAM的精度最高，但是相较而言，其计算耗时是BioCorTAM和CorTAM的4倍之多；虽然BloTAM、BioCorTAM和CorTAM三种模型需要56.607s的时间提取参数，但是相比HotSpot而言仍然有11倍的加速效果。

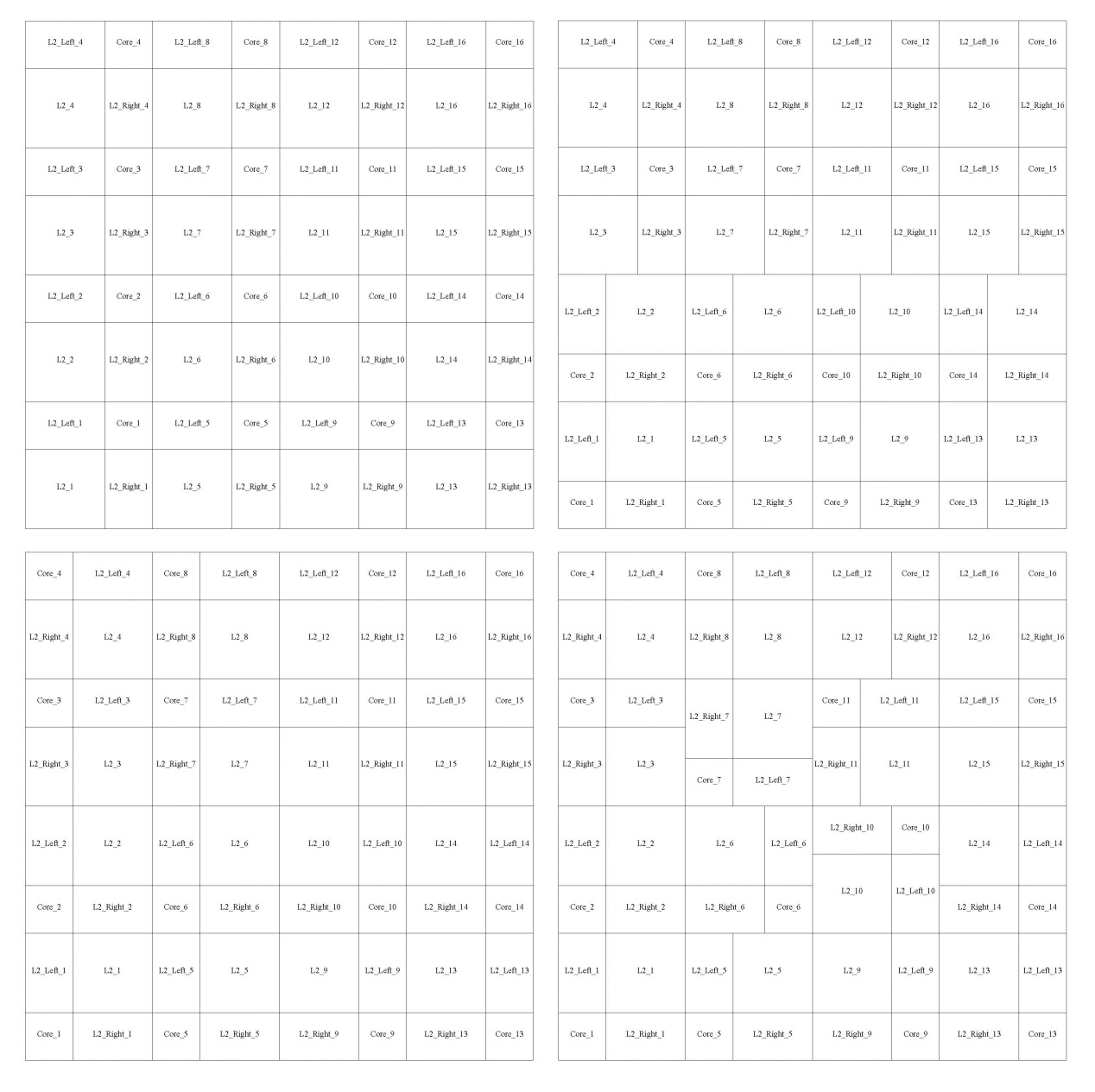


图11、测例三16核芯片的4中可能布局方式

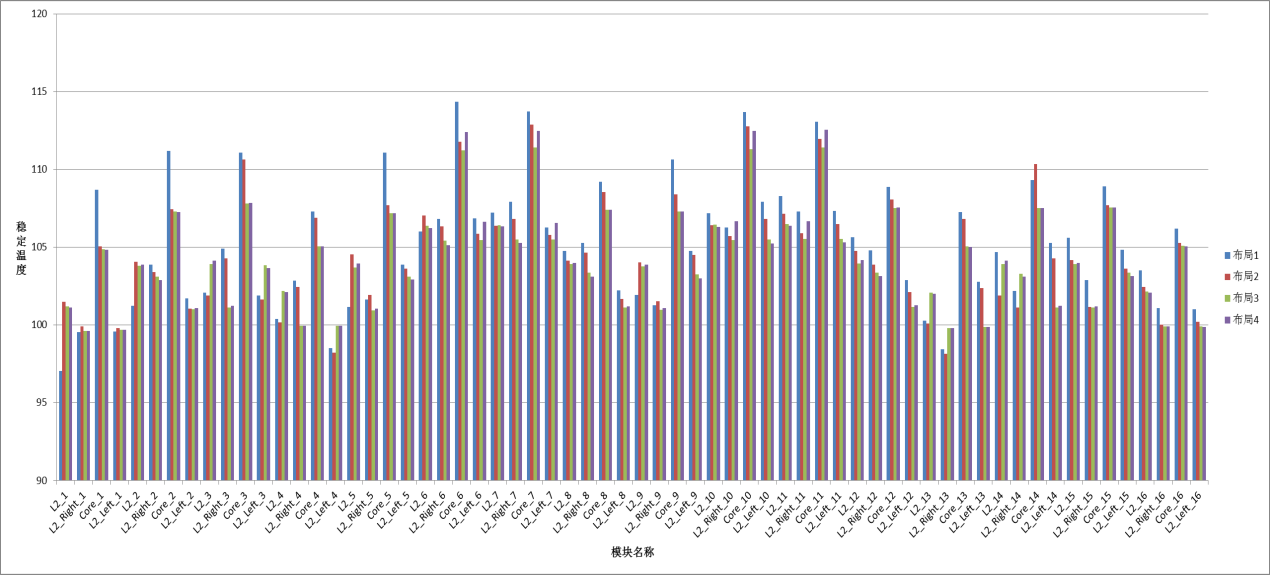


图12、测例三（不使用DVS）不同布局的各模块平均温度

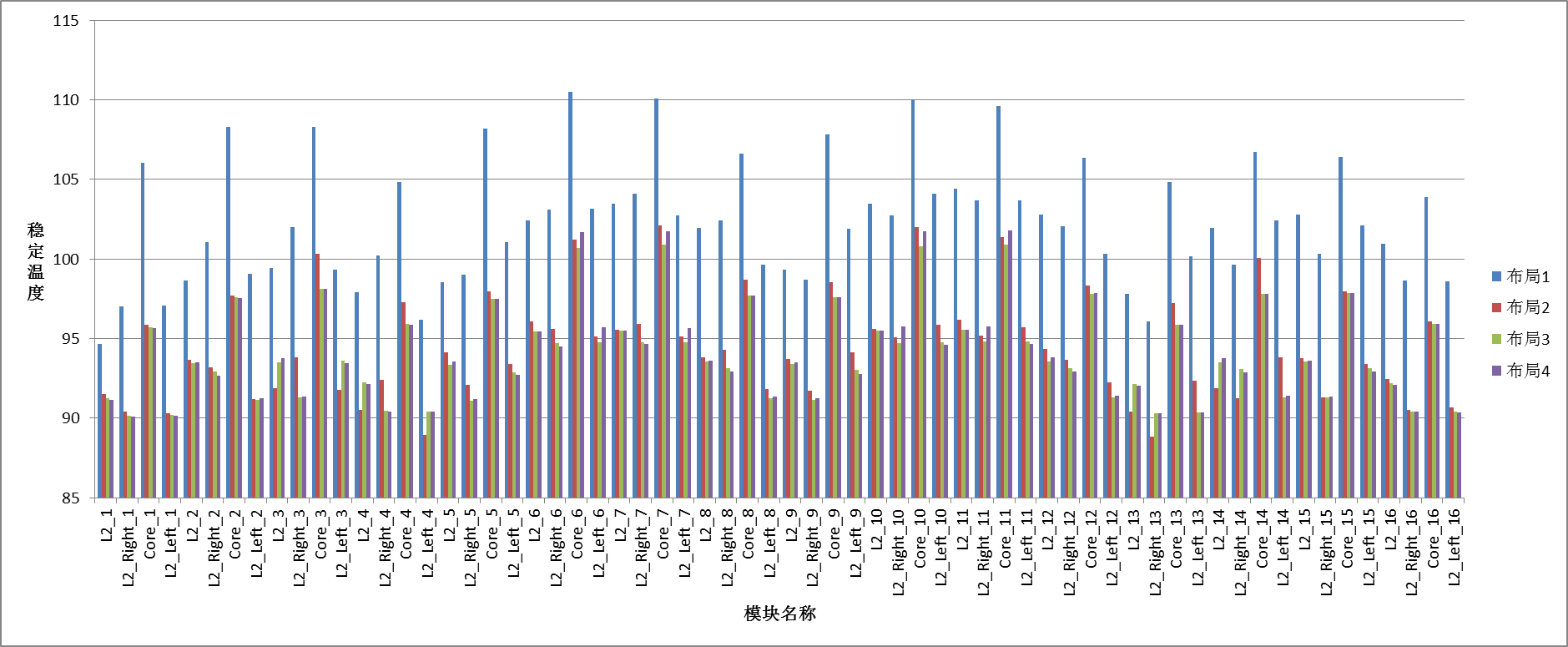


图13、测例三（#6、#10核使用DVS）不同布局的各模块平均温度

表4、测例三不同布局使用DVS与否的稳态温度对比

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 布局1 | | 布局2 | | 布局3 | | 布局4 | |
| 平均 | 最高 | 平均 | 最高 | 平均 | 最高 | 平均 | 最高 |
| 不使用DVS | 105.257 | 114.363 | 104.664 | 112.891 | 104.175 | 111.420 | 104.291 | 112.536 |
| #6#10使用DVS | 102.361 | 110.506 | 94.518 | 102.128 | 94.08 | 100.878 | 94.188 | 101.787 |

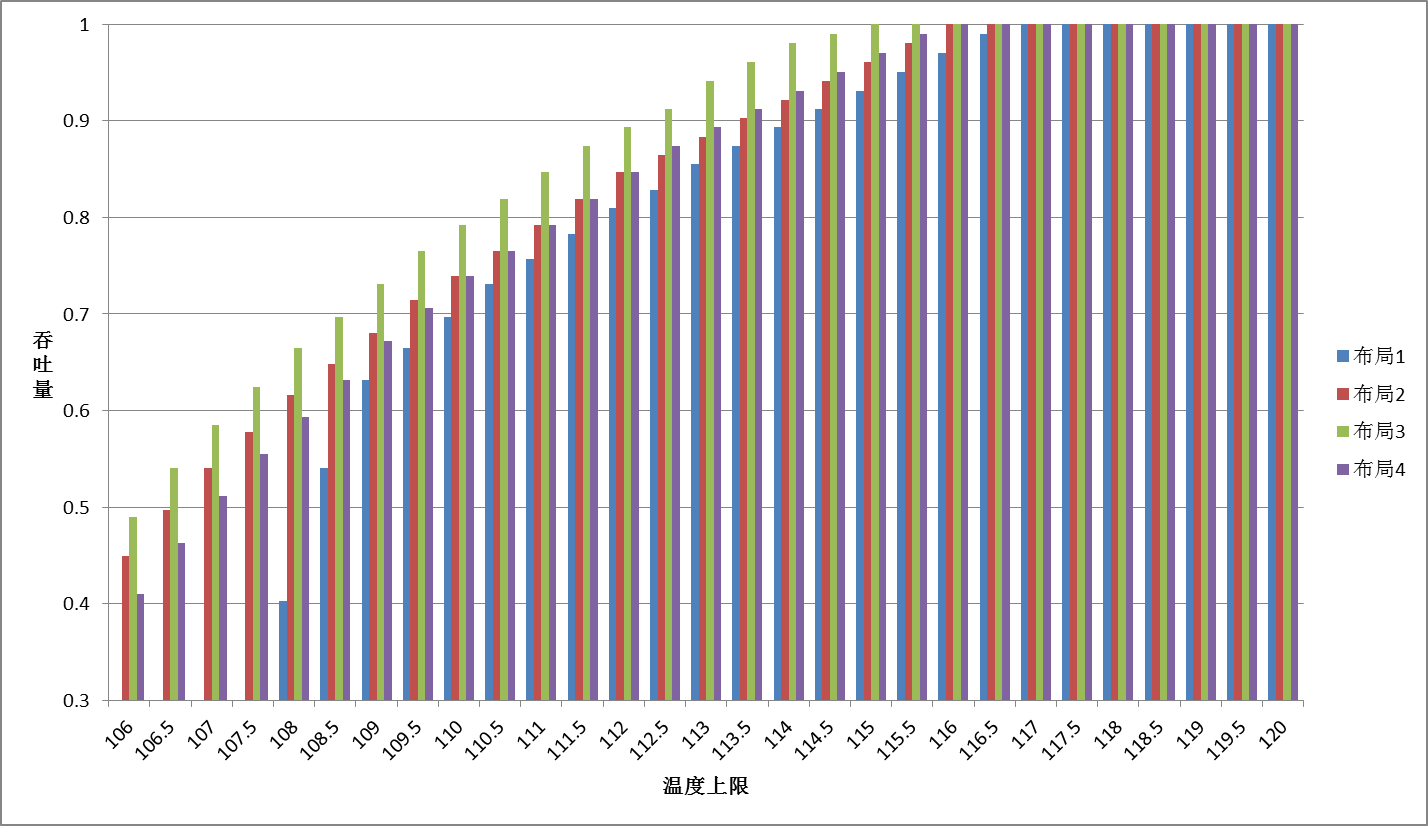


图14、测例三不同布局使用DVS后的吞吐量

表5、各个模型热稳定分析耗时对比

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 电热耦合效应 | HotSpot（100次） | BloTAM（1000次） | BioCorTAM（1000次） | CorTAM（1000次） | 提取参数 |
| 忽略 | 509.717 | 1.276 | 0.303 | 0.143 | 56.607 |
| 考虑 | 659.539 | 9.122 | 2.288 | 1.945 |  |
| 加速比 |  | 8.806/10.034 | 8.956/11.198 | 8.982/11.264 |  |

# 6、结论

参考文献：

[1] International Technology Roadmap for Semiconductors (ITRS) [R]. http://public.itrs.net/

[2] W. Huang, M.R. Stan, K. Sankaranarayanan, etc. “[Many-Core Design from a Thermal Perspective](http://apps.webofknowledge.com/full_record.do?product=UA&search_mode=GeneralSearch&qid=2&SID=3Bdhd3akk13aJ55Oo5j&page=1&doc=4) ,” In Proceedings of DAC, Anaheim, California, USA, 2008: 746-749(41.4) （通过布防位置来提高多核的温度平坦性，即用低温模块作为高温模块的侧向散热器，达到提高性能的目的；缺点是没有考虑LDT效应）

[3] M.B. Healy, H.H. S. Lee, G.H. Loh. “Thermal Optimization in Multi-Granularity Multi-Core Floorplanning,” In Proceedings of ASPDAC , 2009: 43-48 （强调核级、模块间热耦合，通过布局规划来降低温度，温度分析采用距离分析法，过于简略）

[4] Kadin Michael; Reda Sherief, “[Frequency and voltage Planning for Multi-Core Processors Under Thermal Constraints](http://apps.webofknowledge.com/full_record.do?product=UA&search_mode=GeneralSearch&qid=2&SID=3Bdhd3akk13aJ55Oo5j&page=1&doc=4) ,” In Proceedings of ICCD, Cancun, MEXICO, 2008: 463-470 （Execution unit 产生最大的功耗密度；通过电路的设计优化可以降低功耗密度；频率与电压成平方关系）

[5] K. Sankaranarayanan, B.H. Meyer, M.R. Stan, etc., Thermal benefit of multi-core floorplanning: A limits study. Sustainable Computing: Informatics and Systems, 2011,1(4): 286-293 （采用HOTSPOT做热分析，进行A. Manipulating Core Orientation、B. Inserting Cache Banks、C. Hierarchical Floorplanning、D. Core Mingling and Scattering，以降低热点温度）

[6] V. Hanumaiah, R. Rao, S. Vrudhula, et al, Throughput Optimal Task Allocation under Thermal Constraints for Multi-core Processors, In Proceeding of DAC, USA. 2009.6: 776-781. (45.1) （考虑任务调度，采用省略侧面热阻、采用分段拟合系数矩阵来求解LDP效应都会产生较大的误差，该文没有考虑DVFS对MPSOC的DTM影响）

[7] Y. Ge, Q.R. Qiu. “Task Allocation for Minimum System Power in a Homogenous Multi-core Processor,” In Proceedings of International Green Computing Conference , 2010: 299-306 （稳态热分析、考虑风扇的能耗、即系统能耗，缺点是温度模型中缺乏侧向热导，LDT采用线性模型）

[8] C.-L. Lung, Y.L. Ho, D.-M. Kwai, etc., Thermal-Aware On-Line Task Allocation for 3D Multi-Core Processor Throughput Optimization, In Proceedings of DATE, Grenoble, France, 2011: 2-7（稳态热分析、温敏通量优化的模型, 采用分段拟合系数矩阵来求解LDP效应都会产生较大的误差）

[9] Y. Zhan, B. Goplen, and S.S. Sapatnekar. Electro-thermal Analysis and Optimization Techniques for Nano-scale Integrated Circuits, In Proceeding of ASP-DAC, Yokohama, Japan, 2006.1: 219-222(2D.1)

[10] W. Huang, S. Ghosh, S. Velusamy, etc., HotSpot: A Compact Thermal Modeling Methodology for Early-Stage VLSI Design, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2006, 14(5): 501-513

[11] D.-C. Juan and D. Marculescu, “A learning-based autoregressive model for fast transient thermal analysis of chip-multiprocessors,” 17th Asia and South Pacific Design Automation Conference, Sydney, 2012.1: 597-602 （AR方法产生较大的误差，1度左右，与HOTSPOT相比，可以提供113倍加速）

[12] M. Janicki, J.H. Collet, A. Louri, etc. “Hot Spots and Core-to-Core Thermal Coupling in Future Multi-Core Architectures,” In Proceedings of 26th IEEE SEMI-THERM Symposium, 2010: 205-210 （强调核间热耦合使温度增加达到65%，Here, the steady state is understood as the situation when the chip is operated at full load and it is powered long enough so that all the thermal processes are already in equilibrium.采用格林函数进行热分析）

[13] K. Skadron, M. Stan, and W. Huang, “Temperature-aware microarchitecture,” ACM SIGARCH, p. 2, 2003.

[14] C. Xu, L. Jiang, S. Kolluri, and B. Rubin, “Fast 3-D thermal analysis of complex interconnect structures using electrical modeling and simulation methodologies,” Design-Digest of, pp. 658-665, 2009.

[15] T. Wang and Y. Lee, “3D thermal-ADI: an efficient chip-level transient thermal simulator,” of the 2003 international symposium on, pp. 0-7, 2003.

[16] Z. Y. Luo, S. X. D. Tan, and J. Fan, “Single-node statistical 3D thermal analysis considering elector-thermal coupling,” in International Symposium on Circuit and System, 2009, pp. 1289-1292.

[17] Yang，Xu, Zhao，Guoxing, Tang，Liang, and Luo，Zuying, “Row-Based Analysis of Structure Power/Ground Grids with General Purpose GPU,” in 12th International CAD/Graphics 2011 Conference, 2011.

[18] V. Hanumaiah, R. Rao, S. Vrudhula, and K. S. Chatha, “Throughput optimal task allocation under thermal constraints for multi-core processors,” DAC09, 2009.

[19] D.-C. Juan and D. Marculescu, “A learning-based autoregressive model for fast transient thermal analysis of chip-multiprocessors,” 17th Asia and South Pacific Design Automation Conference, pp. 597-602, Jan. 2012.