Министерство образования и науки Российской Федерации

Федеральное государственное бюджетное образовательное учреждение высшего профессионального образования

“Санкт-Петербургский государственный политехнический университет”

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

**Отчёт по лабораторной работе №1**

по дисциплине “Языки описания аппаратных средств

вычислительных систем”

Выполнил студент группы 5130901/20102

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Вагнер А.А.

Принял преподаватель

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Федотов А.А.

“\_” \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ 2024 года

Санкт-Петербург

2024

Оглавление

[1 Задание lab1\_1 2](#_Toc177752248)

[1.1 Текст задачи 2](#_Toc177752249)

[1.2 Реализация схемы на языке Verilog 2](#_Toc177752250)

[1.3 Результат ситнтеза (RTL Viewer) 2](#_Toc177752251)

[1.4 Функциональное моделирование 3](#_Toc177752252)

[1.5 Назначение выходов СБИС 4](#_Toc177752253)

[2. Задание lab1\_2 5](#_Toc177752254)

[2.1 Текст задачи 5](#_Toc177752255)

[2.2 Реализация схемы на языке Verilog 5](#_Toc177752256)

[2.3 Результат ситнтеза (RTL Viewer) 5](#_Toc177752257)

[2.4 Функциональное моделирование 6](#_Toc177752258)

[2.5 Назначение выводов СБИС 6](#_Toc177752259)

[2.6 Тестирование на плате 7](#_Toc177752260)

[2.7 Вывод 7](#_Toc177752261)

Список иллюстраций

[Рис. 1 – Реализуемая схема 3](#_Toc177753047)

[Рис. 2 – Описание устройства на языке Verilog 3](#_Toc177753048)

[Рис. 3 – Синтезированная схема 4](#_Toc177753049)

[Рис. 4 – Результат моделирования 4](#_Toc177753050)

[Рис. 5 – Назначение выводов в Pin Planner 5](#_Toc177753051)

[Рис. 6 – Описание схемы на языке Verilog 6](#_Toc177753052)

[Рис. 7 - Синтезированная схема 7](#_Toc177753053)

[Рис. 8 – Результат моделирования 7](#_Toc177753054)

[Рис. 9 – Назначение вводов и выводов в Pin Planner 8](#_Toc177753055)

1 Задание lab1\_1

1.1 Текст задачи

На языке Verilog описать следующую схему:

Изображение выглядит как текст, диаграмма, Шрифт, линия

Автоматически созданное описание

Рис. – Реализуемая схема

1.2 Реализация схемы на языке Verilog

Реализация устройства приведена ниже

Изображение выглядит как текст, снимок экрана, дисплей, число

Автоматически созданное описание

Рис. – Описание устройства на языке Verilog

1.3 Результат ситнтеза (RTL Viewer)

Результат, полученный RTL Viewer представлен ниже

Изображение выглядит как текст, снимок экрана, диаграмма, График

Автоматически созданное описание

Рис. – Синтезированная схема

1.4 Функциональное моделирование

Для проверки полученного описания устройства воспользуемся тестированием посредством функционального моделирования на временных диаграммах

Изображение выглядит как линия, снимок экрана, число, График

Автоматически созданное описание

Рис. – Результат моделирования

Из схемы видно, что LED\_on и LED\_off всегда находятся в состояниях 1 и 0 соответственно, что соответствует ожидаемому результату.

Temp принимает значение 1 при возникновении 1 в первом или втором разряде sw, что соответствует ожидаемой дизъюнкции сигналов sw0 и sw1.

Led1 выводит сигнал при 1 сигнале на temp и младшем разряде sw, т.е. происходит конъюнкция temp и sw2, как и ожидалось.

Led2 выводит сигнал противоположный сигналу temp, что соответствует исходной схеме.

1.5 Назначение выходов СБИС

Также были назначены выводы СБИС и стандарты ввода/вывода.

Изображение выглядит как текст, снимок экрана, число

Автоматически созданное описание

Рис. – Назначение выводов в Pin Planner

2. Задание lab1\_2

2.1 Текст задачи

На языке Verilog, используя логические выражения, опишите мультиплексор 2(2бит) => 1(2бит)

Входы данных – переключатели sw[7:6] и sw[1:0] соответственно

Выходы – светодиоды led[1:0]

Управление переключателем – кнопка:

* = 1: sw[7:6] => led[1:0]
* = 0: sw[1:0] => led[1:0]

2.2 Реализация схемы на языке Verilog

Реализация устройства приведена ниже

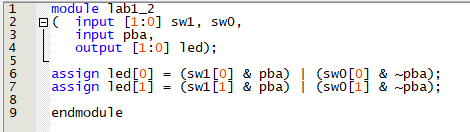


Рис. – Описание схемы на языке Verilog

Sw1[1:0] = sw[7:6], и sw0[1:0] = sw[1:0].

2.3 Результат ситнтеза (RTL Viewer)

Результат, полученный RTL Viewer представлен ниже

Изображение выглядит как диаграмма, текст, снимок экрана, План

Автоматически созданное описание

Рис. - Синтезированная схема

2.4 Функциональное моделирование

Для проверки полученного описания устройства воспользуемся тестированием посредством функционального моделирования на временных диаграммах

Изображение выглядит как текст, снимок экрана, число, линия

Автоматически созданное описание

Рис. – Результат моделирования

При нажатии кнопки на выходы led подаются сигналы второй пары переключателей (sw[7:6]), и при отсутствии взаимодействия с кнопкой на led будут подаваться сигналы с первых двух переключателей (sw[1:0]). Устройство работает, как и ожидалось.

2.5 Назначение выводов СБИС

В приложении Pin Planner были назначены выводы СБИС и стандарты ввода и вывода.

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. – Назначение вводов и выводов в Pin Planner

2.6 Тестирование на плате

Проведенное на плате miniDiLaB-CIV - тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

2.7 Вывод

В ходе работы было определено, что при помощи языка описания Verilog можно синтезировать схему полного одноразрядного сумматора. Корректность его работы подтверждена тестами.