Министерство образования и науки Российской Федерации

Федеральное государственное бюджетное образовательное учреждение высшего профессионального образования

“Санкт-Петербургский государственный политехнический университет”

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

**Отчёт по лабораторной работе №2**

по дисциплине “Языки описания аппаратных средств

вычислительных систем”

Выполнил студент группы 5130901/20102

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Вагнер А.А.

Принял преподаватель

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Федотов А.А.

“\_” \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ 2024 года

Санкт-Петербург

2024

Оглавление

[1 Задание lab2\_1 3](#_Toc177766984)

[1.1 Текст задания 3](#_Toc177766985)

[1.2 Описание на языке Verilog 3](#_Toc177766986)

[1.3 Результат синтеза (RTL) 4](#_Toc177766987)

[1.4 Моделирование 4](#_Toc177766988)

[1.5 Вывод 5](#_Toc177766989)

[2. Задание lab2\_2 6](#_Toc177766990)

[2.1 Текст задания 6](#_Toc177766991)

[2.2 Описание на языке Verilog 7](#_Toc177766992)

[2.3 Результат синтеза (RTL) 7](#_Toc177766993)

[2.4 Моделирование 7](#_Toc177766994)

[2.5 Назначение выводов СБИС 8](#_Toc177766995)

[2.6 Тестирование на плате miniDiLaB-CIV 8](#_Toc177766996)

[2.7 Вывод 8](#_Toc177766997)

Список иллюстраций

[Рис. 1 - 1 Описание на языке Verilog 4](#_Toc177766815)

[Рис. 1 - 2 Синтезированная схема 4](#_Toc177766816)

[Рис. 1 - 3 Результат тестирования с параметром TYPE равным minsel 5](#_Toc177766817)

[Рис. 1 - 4 Результат тестирования с параметром TYPE равным maxsel 5](#_Toc177766818)

[Рис. 2 – 1 Описание на языке Verilog 7](#_Toc177766819)

[Рис. 2 – 2 Синтезированная схема 7](#_Toc177766820)

[Рис. 2 – 3 Результат моделирования 8](#_Toc177766821)

[Рис. 2 – 4 Назначение выводов в Pin Planner 8](#_Toc177766822)

1 Задание lab2\_1

1.1 Текст задания

На языке Verilog, опишите параметризированное устройство (параметр – разрядность данных) выбора максимума/минимума значений, поступающих с четырех входов.

Параметры:

**– type** = minsel (это базовое значение параметра) - выбора минимума, maxsel (или любое другое значение type не равное minsel) - выбора максимума

**– width** – разрядность данных (базовое значение 2)

Входы данных:

– [width-1 :0] **a** - (при реализации модуля назначить на переключатели sw[1:0] )

– [width-1 :0] **b** - (при реализации модуля назначить на переключатели sw[3:2] )

– [width-1 :0] **c** - (при реализации модуля назначить на переключатели sw[5:4] )

– [width-1 :0] **d** - (при реализации модуля назначить на переключатели sw[7:6]

Выход:

[width-1 :0] **res** – (при реализации модуля: назначить на светодиоды led[7:6], остальные светодиоды должны быть выключены)

1.2 Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже.

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. - 1 Описание на языке Verilog

Тернарные операторы используются для выбора нужных значений.

1.3 Результат синтеза (RTL)

Ниже приведён результат описания на языке Verilog. Изображение схемы получено с помощью RTL Viewer.

Изображение выглядит как диаграмма, снимок экрана, текст, План

Автоматически созданное описание

Рис. 1 - Синтезированная схема

1.4 Моделирование

В ходе проверки корректности работы устройства проведём тесты с основными проверками с параметрами TYPE равными minsel и maxsel.

Изображение выглядит как текст, снимок экрана, число, Параллельный

Автоматически созданное описание

Рис. 1 - Результат тестирования с параметром TYPE равным minsel

Изображение выглядит как текст, снимок экрана, число, Параллельный

Автоматически созданное описание

Рис. 1 - Результат тестирования с параметром TYPE равным maxsel

1.5 Вывод

В данном пункте работы были определены способы синтеза устройств, работающих в разных режимах на примере устройства выбора минимума или максимума.

2. Задание lab2\_2

2.1 Текст задания

На языке Verilog, опишите параметризированное устройство (параметр – topW – разрядность, базовое значение =2), содержащее два экземпляра модуля, созданного в lab2\_1

– Один экземпляр (mins): type = minsel; width – 2

– Второй экземпляр (maxs): type = maxsel (или любое другое значение type не равное minsel) ; width – 2

**Входы данных** (общие для двух экземпляров)

– [topW-1 : 0] **top\_a** - (при реализации модуля назначить на переключатели sw[1:0] )

– [topW-1 :0] **top\_ b** - (при реализации модуля назначить на переключатели sw[3:2] )

– [topW-1 :0] **top\_ c** - (при реализации модуля назначить на переключатели sw[5:4] )

– [topW-1 :0] **top\_ d** - (при реализации модуля назначить на переключатели sw[7:6] )

**Выходы**

– [topW-1 :0] **minres** – (при реализации модуля: назначить на светодиоды led[7:6])

– [topW-1 :0] **maxres** – (при реализации модуля: назначить на светодиоды led[1:0])

– остальные светодиоды выключены

2.2 Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже

Изображение выглядит как текст, снимок экрана, линия, Шрифт

Автоматически созданное описание

Рис. 2 – 1 Описание на языке Verilog

В данной схеме было использовано два экземпляра устройства, разработанного в пункте 2\_1, работающих в разных режимах.

2.3 Результат синтеза (RTL)

Результат синтеза описания на языке Verilog приведен ниже.

Изображение выглядит как текст, диаграмма, снимок экрана, линия

Автоматически созданное описание

Рис. 2 – 2 Синтезированная схема

2.4 Моделирование

Для проверки правильности работы синтезированного устройства проведём тестирование на различных наборах входных данных.

Изображение выглядит как текст, снимок экрана, число, Параллельный

Автоматически созданное описание

Рис. 2 – 3 Результат моделирования

**2.5 Назначение выводов СБИС**

Назначение выводов СБИС и стандартов ввода-вывода, выполненное в Pin Planner.

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. 2 – 4 Назначение выводов в Pin Planner

2.6 Тестирование на плате miniDiLaB-CIV

Синтезированная схема была протестирована на плате.

По результатам тестов был сделан вывод, что схема работает корректно, результаты совпадают с ожидаемыми.

2.7 Вывод

По результатам этого пункта было определено, что на языке Verilog есть возможность использовать ранее созданные устройства в различных режимах и конфигурациях для синтеза новых устройств.