Министерство образования и науки Российской Федерации

Федеральное государственное бюджетное образовательное учреждение высшего профессионального образования

“Санкт-Петербургский государственный политехнический университет”

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

**Отчёт по лабораторной работе №12**

по дисциплине “Языки описания аппаратных средств

вычислительных систем”

Выполнил студент группы 5130901/20102

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Вагнер А.А.

Принял преподаватель

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Федотов А.А.

“\_” \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ 2024 года

Санкт-Петербург

2024

**Оглавление**

[Задание Lab3\_1 3](#_Toc183965076)

[1. Цели 3](#_Toc183965077)

[2. Ход работы 3](#_Toc183965078)

[Вывод 10](#_Toc183965079)

**Список иллюстраций**

[Рис. 1 - Тестируемый модуль lab3\_1.v 4](#_Toc183965052)

[Рис. 2 - Тестбенч модуль tb\_lav3\_1. 5](#_Toc183965053)

[Рис. 3 - Тестирование модуля в ModelSim 5](#_Toc183965054)

[Рис. 4 - Дополнительное тестирование модуля Lab3\_1 6](#_Toc183965055)

[Рис. 5 - Исправеленный фрагмент модуля Lab3\_1.v 6](#_Toc183965056)

[Рис. 6 - Тестирование исправленного модуля Lab3\_1.v 6](#_Toc183965057)

[Рис. 7 - Содержимое tb\_mem 6](#_Toc183965058)

[Рис. 8 - Содержание db\_lab3\_1.v 7](#_Toc183965059)

[Рис. 9 - Результат в RTL Viewer 7](#_Toc183965060)

[Рис. 10 - Результат Timing analyzer 7](#_Toc183965061)

[Рис. 11 - In-system Source and Probes Editor 8](#_Toc183965062)

[Рис. 12 - Тестирование в SignalTap 8](#_Toc183965063)

[Рис. 13 - Исправленный фрагмент db\_lab3\_1.v 8](#_Toc183965064)

[Рис. 14 - Тестирование с DIR=0 8](#_Toc183965065)

[Рис. 15 - Тестирование с DIR=1 8](#_Toc183965066)

[Рис. 16 - Изменённая настроёка Trigger Condition 8](#_Toc183965067)

[Рис. 17 - Результат тестирования 9](#_Toc183965068)

[Рис. 18 - Новая конфигурация T rigger Condition 9](#_Toc183965069)

[Рис. 19 - Результат тестирования в SignalTap ч.1 9](#_Toc183965070)

[Рис. 20 - Результат тестирования в SignalTap ч.2 9](#_Toc183965071)

[Рис. 21 - Содержимое i,pl\_Lab3\_1.v 9](#_Toc183965072)

[Рис. 22 - Результат компиляции 10](#_Toc183965073)

[Рис. 23 - Распределение пинов в Pin Planner 10](#_Toc183965074)

[Рис. 24 - Содержание Timing Analyzer 10](#_Toc183965075)

Задание Lab3\_1

1. Цели

Ознакомиться со следующими алгоритмами:

1. Создание дизайна в Quartus Prime
2. Симуляция дизайна при помощи ModelSim
3. Процесс дебага дизайна на плате с использованием ISSP и SignalTap
4. Реализация дизайна на плате
5. Ход работы

В начале работы требуется запустить тестирование данного модуля при помощи ModelSim. Для этого следует использовать исходный модуль тестбенч.

Изображение выглядит как текст, снимок экрана, число, Параллельный

Автоматически созданное описание

Рис. - Тестируемый модуль lab3\_1.v

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. - Тестбенч модуль tb\_lav3\_1.

Из тестирования заметим, что на данный момент проект не работает корректно

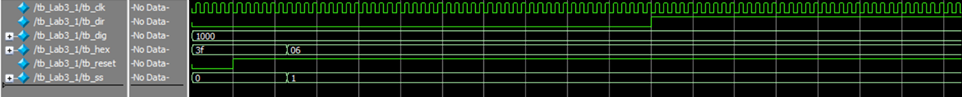


Рис. - Тестирование модуля в ModelSim

Для определения причины ошибки добавим на схему некоторые сигналы из модуля Lab3\_1.

Изображение выглядит как снимок экрана, текст, Мультимедийное программное обеспечение

Автоматически созданное описание

Рис. - Дополнительное тестирование модуля Lab3\_1

Из теста очевидно, что счётчик div\_count не сбрасывается до 1, когда это требуется. Исправим эту ошибку и протестируем модуль снова.

Изображение выглядит как текст, снимок экрана, Шрифт, дисплей

Автоматически созданное описание

Рис. - Исправеленный фрагмент модуля Lab3\_1.v

Вновь запустим тестирование модуля.

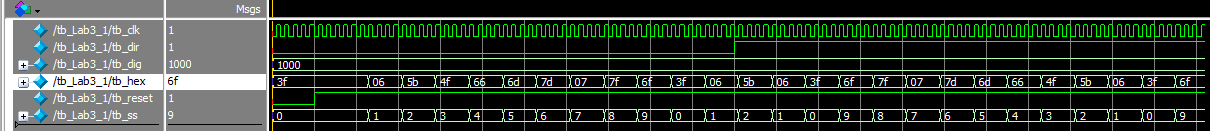


Рис. - Тестирование исправленного модуля Lab3\_1.v

Изображение выглядит как текст, электроника, снимок экрана, число

Автоматически созданное описание

Рис. - Содержимое tb\_mem

Далее добавим IP требуемые для дебага, а именно SP\_unit, PLL\_unit. Рассмотрим дебаг модуль db\_lab3\_1.v

Изображение выглядит как текст, снимок экрана, дисплей, число

Автоматически созданное описание

Рис. - Содержание db\_lab3\_1.v

Выберем этот модуль в качестве сущности верхнего уровня и синтезируем. Рассмотрим в RTLViever полученный результат.

Изображение выглядит как текст, диаграмма, План, снимок экрана

Автоматически созданное описание

Рис. - Результат в RTL Viewer

Далее следует настроить Signal Tap Analyzer и провести компиляцию.

Изображение выглядит как текст, Шрифт, снимок экрана, число

Автоматически созданное описание

Рис. 10 - Результат Timing analyzer

Далее подключим схему и воспользуемся In-system Source and Probes Editor

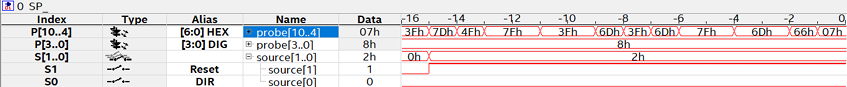


Рис. 11 - In-system Source and Probes Editor

Также проведём тест в SignalTap.



Рис. - Тестирование в SignalTap

Отметим, что, судя по проведённым тестам, существует ошибка, предположительно в Clock divider. Попробуем исправить модуль db\_lab3\_1.v

Изображение выглядит как текст, Шрифт, снимок экрана, линия

Автоматически созданное описание

Рис. - Исправленный фрагмент db\_lab3\_1.v

Вновь скомпилируем проект и проверим его в In-System Source and Probes Editor. Тестирование следует выполнить с различными значениями DIR.

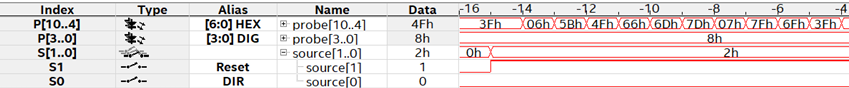


Рис. - Тестирование с DIR=0

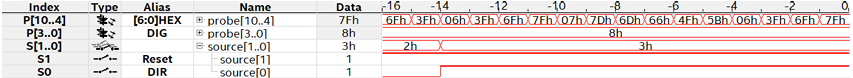


Рис. - Тестирование с DIR=1

Прежде чем провести анализ в Signal Tap изменим содержимое Trigger Condition и запустим анализ.

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рис. - Изменённая настроёка Trigger Condition

Изображение выглядит как текст, снимок экрана, Шрифт, линия

Автоматически созданное описание

Рис. - Результат тестирования

Из теста очевидно, что счётчик сбрасывается по достижению 25000000. Вновь изменим настройки Trigger Condition и проведём тестирование.

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. - Новая конфигурация T rigger Condition

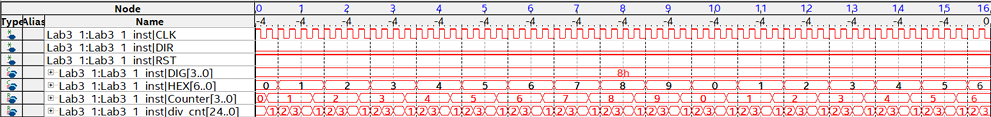


Рис. - Результат тестирования в SignalTap ч.1

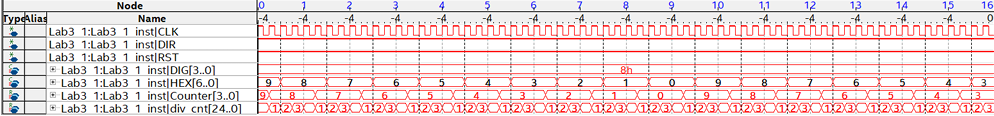


Рис. - Результат тестирования в SignalTap ч.2

Далее следует написать модуль “оболочку” для реализации схемы на плате, его содержимое представлено ниже.

Изображение выглядит как текст, снимок экрана, программное обеспечение, Шрифт

Автоматически созданное описание

Рис. - Содержимое i,pl\_Lab3\_1.v

Ниже представлен результат компиляции модуля в RTL Viewer.

Изображение выглядит как текст, диаграмма, снимок экрана, линия

Автоматически созданное описание

Рис. - Результат компиляции

Изображение выглядит как текст, снимок экрана, число, дисплей

Автоматически созданное описание

Рис. - Распределение пинов в Pin Planner

Изображение выглядит как текст, снимок экрана, Шрифт, линия

Автоматически созданное описание

Рис. - Содержание Timing Analyzer

Данный модуль также был протестирован на плате, результат соответствует спецификации.

Вывод

В ходе выполнения этой лабораторной работы были изучены методы симуляции и тестирования модулей в ModelSim, дебага на плате с помощью ISSP и SignalTap, реализации и тестирования модулей на плате.