Министерство образования и науки Российской Федерации

Федеральное государственное бюджетное образовательное учреждение высшего профессионального образования

“Санкт-Петербургский государственный политехнический университет”

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

**Отчёт по лабораторной работе №3**

по дисциплине “Языки описания аппаратных средств

вычислительных систем”

Выполнил студент группы 5130901/20102

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Вагнер А.А.

Принял преподаватель

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Федотов А.А.

“\_” \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ 2024 года

Санкт-Петербург

2024

Оглавление

[1. Задание lab3\_1 4](#_Toc178352902)

[1.1 Текст задания 4](#_Toc178352903)

[1.2 Описание на языке Verilog 4](#_Toc178352904)

[1.3 Результат синтеза (RTL) 5](#_Toc178352905)

[1.4 Моделирование 5](#_Toc178352906)

[2. Задание lab3\_2 6](#_Toc178352907)

[2.1 Текст задания 6](#_Toc178352908)

[2.2 Описание на языке Verilog 6](#_Toc178352909)

[2.3 Результат синтеза (RTL) 7](#_Toc178352910)

[2.4 Моделирование 8](#_Toc178352911)

[3. Задание lab3\_3 8](#_Toc178352912)

[3.1 Текст задания 8](#_Toc178352913)

[3.2 Описание на языке Verilog 9](#_Toc178352914)

[3.3 Результат синтеза (RTL) 9](#_Toc178352915)

[3.4 Моделирование 9](#_Toc178352916)

[4. Задание lab3\_4 10](#_Toc178352917)

[4.1 Текст задания 10](#_Toc178352918)

[4.2 Описание на языке Verilog 10](#_Toc178352919)

[4.3 Результат синтеза (RTL) 11](#_Toc178352920)

[4.4 Моделирование 11](#_Toc178352921)

[4.5 Назначение выводов СБИС 12](#_Toc178352922)

[4.6 Тестирование на плате miniDiLaB-CIV 12](#_Toc178352923)

[5. Вывод 13](#_Toc178352924)

Список иллюстраций

[Рис. 1 – 1 Описание на языке Verilog 4](#_Toc178352974)

[Рис. 1 - 2 Синтезированная схема 4](#_Toc178352975)

[Рис. 1 - 3 Результат тестирования 5](#_Toc178352976)

[Рис. 2 – 1 Описание на языке Verilog 6](#_Toc178352977)

[Рис. 2 – 2 Синтезированная схема 6](#_Toc178352978)

[Рис. 2 – 3 Результат моделирования 7](#_Toc178352979)

[Рис. 3 – 1 Описание на языке Verilog 8](#_Toc178352980)

[Рис. 3 – 2 Синтезированная схема 8](#_Toc178352981)

[Рис. 3 – 3 Результат моделирования 9](#_Toc178352982)

[Рис. 4 – 1 Описание на языке Verilog 10](#_Toc178352983)

[Рис. 4 – 2 Синтезированная схема 10](#_Toc178352984)

[Рис. 4 – 3 Результат моделирования 11](#_Toc178352985)

[Рис. 4 – 4 Назначение выводов в Pin Planner 11](#_Toc178352986)

1. Задание lab3\_1
   1. Текст задания

На языке Verilog, с использованием процедурных блоков и поведенческих операторов, опишите параметризированное устройство (параметризируется разрядность) выбора максимума и минимума из 2 входов (данные поступают на два входа: a и b, меньшее из них передается на выход dmin, а большее – на выход dmax).

**Параметры**

– w – разрядность данных (базовое значение 4)

**Входы данных**

– [w-1:0] a - (при реализации модуля на плате miniDilabCIV : w=4; назначить на переключатели sw[3:0] )

– [w-1:0] b - (при реализации модуля на плате miniDilabCIV : w=4; назначить на переключатели sw[7:4] )

**Выходы**

– [w-1:0] dmin – (при реализации модуля на плате miniDilabCIV : w=4; назначить на светодиоды led[3:0])

– [w-1:0] dmax – (при реализации модуля на плате miniDilabCIV : w=4; назначить на светодиоды led[7:4])

* 1. Описание на языке Verilog

Описание разрабатываемое устройство на языке Verilog приведено ниже.

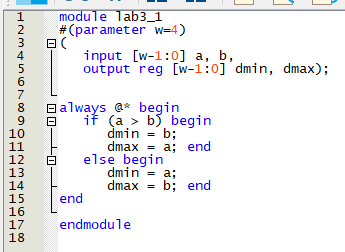


Рис. – 1 Описание на языке Verilog

* 1. Результат синтеза (RTL)

Ниже приведён результат описания на языке Verilog. Изображение схемы получено с помощью RTL Viewer.

Изображение выглядит как диаграмма, снимок экрана, линия, График

Автоматически созданное описание

Рис. 1 - Синтезированная схема

* 1. Моделирование

В ходе проверки корректности работы устройства проведём тесты с разными наборами входных данных

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. 1 - Результат тестирования

1. Задание lab3\_2
   1. Текст задания

На языке Verilog, с использованием массивов, опишите преобразователь 4 разрядного двоичного кода в 7- сегментный код (сегменты включаются логической единицей).

**Входы данных**

– [3:0] a

**Выходы**

– [6:0] d7seg

* 1. Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog с использованием массива приведено ниже.

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. 2 – 1 Описание на языке Verilog

* 1. Результат синтеза (RTL)

Результат синтеза описания на языке Verilog приведен ниже.

Изображение выглядит как текст, снимок экрана, Шрифт, линия

Автоматически созданное описание

Рис. 2 – 2 Синтезированная схема

* 1. Моделирование

Для проверки правильности работы синтезированного устройства проведём тестирование на различных наборах входных данных.

Изображение выглядит как снимок экрана, линия, диаграмма, число

Автоматически созданное описание

Рис. 2 – 3 Результат моделирования

1. Задание lab3\_3
   1. Текст задания

На языке Verilog, с использованием процедурных блоков и поведенческих операторов, опишите параметризированный мультиплексор (параметризируется разрядность) 2 в 1.

**Параметры**

– w – разрядность данных (базовое значение 4)

**Входы данных**

– [w-1:0] a - (при реализации модуля на плате miniDilabCIV: w=4; назначить на переключатели sw[3:0] )

– [w-1:0] b - (при реализации модуля на плате miniDilabCIV : w=4; назначить на переключатели sw[7:4] )

– sel – вход выбора источника (вход управления мультиплексора).

**Выходы**

– [w-1:0] res – выход мультиплексора (при реализации модуля на плате miniDilabCIV : w=4; назначить на светодиоды led[3:0])

* 1. Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже, в соответствии с заданием в описании используется процедурный блок always.

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рис. 3 – 1 Описание на языке Verilog

* 1. Результат синтеза (RTL)

Результат синтеза описания на языке Verilog приведен ниже.

Изображение выглядит как диаграмма, линия, снимок экрана, Шрифт

Автоматически созданное описание

Рис. 3 – 2 Синтезированная схема

* 1. Моделирование

Для проверки правильности работы синтезированного устройства проведём тестирование на различных наборах входных данных.

Изображение выглядит как текст, снимок экрана, число, линия

Автоматически созданное описание

Рис. 3 – 3 Результат моделирования

1. Задание lab3\_4
   1. Текст задания

На языке Verilog, используя модули, созданные в lab3\_1, lab3\_3 (параметр w задать равным 4) и lab3\_2 как компоненты, опишите устройство, структура которого приведена на следующей странице **Входы**

– [3:0] a - вход данных (при реализации модуля на плате miniDilabCIV назначить на переключатели sw[3:0] )

– [3:0] b - вход данных (при реализации модуля на плате miniDilabCIV назначить на переключатели sw[7:4] )

– sel – вход выбора отображаемых данных: минимума или максимума (при реализации модуля на плате miniDilabCIV назначить на кнопку pba:

**Выходы**

– [6:0]d7seg – выходы данных для 7-сегментного индикатора (при реализации модуля: назначить на выходы данных для 7-сегментного индикатора)

– DIG[4:1] – выходы управления разрядами (при реализации модуля: назначить на выходы управления разрядами 7-сегментного индикатора)

* 1. Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog

Изображение выглядит как текст, снимок экрана, дисплей, число

Автоматически созданное описание

Рис. – 1 Описание на языке Verilog

В данной схеме используются экземпляры устройств, синтезированных в пунктах lab3\_1, lab3\_2 и lab3\_3.

* 1. Результат синтеза (RTL)

Результат синтеза описания на языке Verilog приведен ниже.

Изображение выглядит как диаграмма, текст, линия, снимок экрана

Автоматически созданное описание

Рис. 4 – 2 Синтезированная схема

* 1. Моделирование

Для проверки правильности работы синтезированного устройства проведём тестирование на различных наборах входных данных.

Изображение выглядит как снимок экрана, линия, число, текст

Автоматически созданное описание

Рис. 4 – 3 Результат моделирования

* 1. Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода-вывода, выполненное в Pin Planner.

Изображение выглядит как текст, снимок экрана, число, Параллельный

Автоматически созданное описание

Рис. 4 – 4 Назначение выводов в Pin Planner

* 1. Тестирование на плате miniDiLaB-CIV

Синтезированная схема была протестирована на плате.

По результатам тестов был сделан вывод, что схема работает корректно, результаты совпадают с ожидаемыми.

1. Вывод

В ходе работы были определены способы использования процедурных блоков и поведенческих операторов в описании устройств, оценена их полезность и простота использования – удовлетворительная. Также в одном из пунктов были использованы массивы данных, дополнительно упрощающий синтез устройств.