Министерство образования и науки Российской Федерации

Федеральное государственное бюджетное образовательное учреждение высшего профессионального образования

“Санкт-Петербургский государственный политехнический университет”

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

**Отчёт по лабораторной работе №4**

по дисциплине “Языки описания аппаратных средств

вычислительных систем”

Выполнил студент группы 5130901/20102

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Вагнер А.А.

Принял преподаватель

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Федотов А.А.

“\_” \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ 2024 года

Санкт-Петербург

2024

**Оглавление**

[1. Задание lab4\_1 3](#_Toc179148064)

[1.1 Текст задания 3](#_Toc179148065)

[1.2 Описание на языке Verilog 3](#_Toc179148066)

[1.3 Результат синтеза (RTL) 4](#_Toc179148067)

[1.4 Моделирование 4](#_Toc179148068)

[2 Задание lab4\_2 5](#_Toc179148069)

[2.1 Текст задания 5](#_Toc179148070)

[2.2 Описание на языке Verilog 6](#_Toc179148071)

[2.3 Результат синтеза (RTL) 6](#_Toc179148072)

[2.4 Моделирование 7](#_Toc179148073)

[3. Задание lab4\_3 7](#_Toc179148074)

[3.1 Текст задания 7](#_Toc179148075)

[3.2 Описание на языке Verilog 8](#_Toc179148076)

[3.3 Результат синтеза (RTL) 10](#_Toc179148077)

[3.4 Моделирование 10](#_Toc179148078)

[3.5 Назначение выводов СБИС 10](#_Toc179148079)

[3.6 Тестирование на плате miniDiLaB-CIV 11](#_Toc179148080)

[4. Вывод 11](#_Toc179148081)

**Список иллюстраций**

[Рис. 1 – 1 Описание на языке Verilog 4](#_Toc179148094)

[Рис. 1 - 2 Синтезированная схема 4](#_Toc179148095)

[Рис. 1 - 3 Результат тестирования 5](#_Toc179148096)

[Рис. 2 – 1 Описание на языке Verilog 6](#_Toc179148097)

[Рис. 2 – 2 Синтезированная схема 7](#_Toc179148098)

[Рис. 2 – 3 Результат моделирования 7](#_Toc179148099)

[Рис. 4 – 1 Структура описываемого устройства 8](#_Toc179148100)

[Рис. 3 – 2 Описание на языке Verilog 9](#_Toc179148101)

[Рис. 3 – 3 Синтезированная схема 10](#_Toc179148102)

[Рис. 3 – 4 Результат моделирования 10](#_Toc179148103)

[Рис. 3 – 5 Назначение выходов в Pin Planner 11](#_Toc179148104)

1. Задание lab4\_1
   1. Текст задания

На языке Verilog, опишите 32 разрядный счетчик-делитель с параметризированным модулем счета (по достижению счетчиком значения «модуль счета – 1» на выходе cout должен синхронно формироваться импульс переноса длительностью один период тактового сигнала).

**Параметр**

– cmd – модуль счета (при cmd=10 счетчик работает следующим образом: 0, 1, 2, ….8, 9 (формируется cout=1), 0,…)

**Входы**

– clk – вход тактового сигнала;

– srst – вход синхронного сброса счетчика: при 0 – сброс

– ena – вход разрешения работы: при 0 – работа запрещена

**Выходы**

– cout – выход переноса (на выходе cout должен синхронно формироваться импульс длительностью один период тактового сигнала при достижении счетчиком значения: модуль счета - 1)

* 1. Описание на языке Verilog

Описание разрабатываемое устройство на языке Verilog приведено ниже.

Изображение выглядит как текст, снимок экрана, дисплей, Шрифт

Автоматически созданное описание

Рис. – 1 Описание на языке Verilog

* 1. Результат синтеза (RTL)

Ниже приведён результат описания на языке Verilog. Изображение схемы получено с помощью RTL Viewer.

Изображение выглядит как снимок экрана, линия, диаграмма, График

Автоматически созданное описание

Рис. 1 - Синтезированная схема

* 1. Моделирование

В ходе проверки корректности работы устройства проведём тесты с разными наборами входных данных.

Изображение выглядит как текст, снимок экрана, линия, число

Автоматически созданное описание

Рис. 1 - Результат тестирования

2 Задание lab4\_2

2.1 Текст задания

На языке Verilog опишите 7-разрядный счетчик с параметризированным модулем счета.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| arst | ena | load | din | dir | q |
| 0 | x | x | x | x | асинхронный сброс |
| 1 | 0 | x | x | x | хранение |
| 1 | 1 | 0 | din | x | запись din |
| 1 | 1 | 1 | x | 1 | счёт + |
| 1 | 1 | 1 | x | 0 | счёт - |

**Входы**

– clk – вход тактового сигнала;

– arst – вход асинхронного сброса счетчика

– ena – вход разрешения работы

– load – вход разрешения загрузки

– [6:0]din – вход загружаемых данных

– Если на входе данные больше значения cm-1, то загружается cm-1

– dir – вход управления направлением счета.

**Выходы**

– [6:0]q – выход счетчика по модулю, заданному параметром cm

* 1. Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже.

Изображение выглядит как текст, снимок экрана, дисплей, число

Автоматически созданное описание

Рис. 2 – 1 Описание на языке Verilog

* 1. Результат синтеза (RTL)

Результат синтеза описания на языке Verilog приведен ниже.

Изображение выглядит как диаграмма, текст, снимок экрана, План

Автоматически созданное описание

Рис. 2 – 2 Синтезированная схема

* 1. Моделирование

Для проверки правильности работы синтезированного устройства проведём тестирование на различных наборах входных данных.

Изображение выглядит как снимок экрана, текст, линия, число

Автоматически созданное описание

Рис. 2 – 3 Результат моделирования

1. Задание lab4\_3
   1. Текст задания

На языке Verilog, используя модули, созданные в lab4\_1, lab4\_2 как компоненты, опишите устройство, структура которого приведена на следующей странице:

– Значение параметра, передаваемого в счетчик-делитель: top\_cmd= 4 при моделировании; top\_ cmd=25 000 000 для реализации на плате

– Значение параметра, передаваемого в 7-ми разрядный счетчик: 14

**Входы**

– clk – вход тактового сигнала (на плате miniDilabCIV: подключить к тактовому генератору на плате – 23 вывод FPGA, стандарт 3.3В); – rst – вход сброса счетчиков (на плате miniDilabCIV: подключить к кнопке pba)

– load – вход разрешения загрузки 7-ми разрядного счетчика (на плате miniDilabCIV: подключить к кнопке pbb)

– [6:0]din – вход загружаемых данных 7-ми разрядного счетчика (на плате miniDilabCIV: подключить к переключателям SW[6:0])

– dir – вход управления направлением счета 7-ми разрядного счетчика (на плате miniDilabCIV: подключить к переключателю SW[7]).

**Выходы**

– [6:0]q – выход 7-ми разрядного счетчика (на плате miniDilabCIV: подключить к светодиодам led[6:0])

Изображение выглядит как текст, снимок экрана, диаграмма, Шрифт

Автоматически созданное описание

Рис. – 1 Структура описываемого устройства

* 1. Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже.

Изображение выглядит как текст, снимок экрана, число, программное обеспечение

Автоматически созданное описание

Рис. 3 – 2 Описание на языке Verilog

* 1. Результат синтеза (RTL)

Результат синтеза описания на языке Verilog приведен ниже.

Изображение выглядит как текст, диаграмма, План, снимок экрана

Автоматически созданное описание

Рис. 3 – 3 Синтезированная схема

* 1. Моделирование

Для проверки правильности работы синтезированного устройства проведём тестирование.

Изображение выглядит как линия, число, текст, Параллельный

Автоматически созданное описание

Рис. 3 – 4 Результат моделирования

* 1. Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода-вывода, выполненное в Pin Planner.

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. 3 – 5 Назначение выходов в Pin Planner

* 1. Тестирование на плате miniDiLaB-CIV

Синтезированная схема была протестирована на плате.

По результатам тестов был сделан вывод, что схема работает корректно, результаты совпадают с ожидаемыми.

1. Вывод

В ходе данной лабораторной работы были определены методы создания синхронно и асинхронно действующих блоков, тактовых процессов, использования неблокирующих назначений.