Министерство образования и науки Российской Федерации

Федеральное государственное бюджетное образовательное учреждение высшего профессионального образования

“Санкт-Петербургский государственный политехнический университет”

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

**Отчёт по лабораторной работе №5**

по дисциплине “Языки описания аппаратных средств

вычислительных систем”

Выполнил студент группы 5130901/20102

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Вагнер А.А.

Принял преподаватель

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Федотов А.А.

“\_” \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ 2024 года

Санкт-Петербург

2024

1. Задание lab5\_1
   1. Текст задания

На языке Verilog, описать конечный автомат, представленный на изображении ниже.

**Входы**

– clk – вход тактового сигнала; (на плате miniDilabCIV: подключить к тактовому генератору)

– srst\_in – вход синхронного сброса: при 0 – сброс (на плате miniDilabCIV: подключить к кнопке pba)

– [3:0]din – вход данных (на плате miniDilabCIV: подключить к sw[3:0])

**Выходы**

– [7:0]q – выходы данных (на плате miniDilabCIV: подключить к светодиодам led[7:0])

Изображение выглядит как текст, диаграмма, Шрифт, линия

Автоматически созданное описание

Рис. 1 – 1 Схема конечного автомата

* 1. Описание на языке Verilog

Описание разрабатываемое устройство на языке Verilog приведено ниже.

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рис. 1 - 2 Описание на языке верилог

* 1. Результат синтеза

Ниже приведен результат описания на языке верилог, полученный с помощью RTL Viewer (рис. 1 – 3) и State Machine Viewer (рис. 1 – 4).

Изображение выглядит как диаграмма, текст, План, снимок экрана

Автоматически созданное описание

Рис. 1 - 3 Синтезированная схема

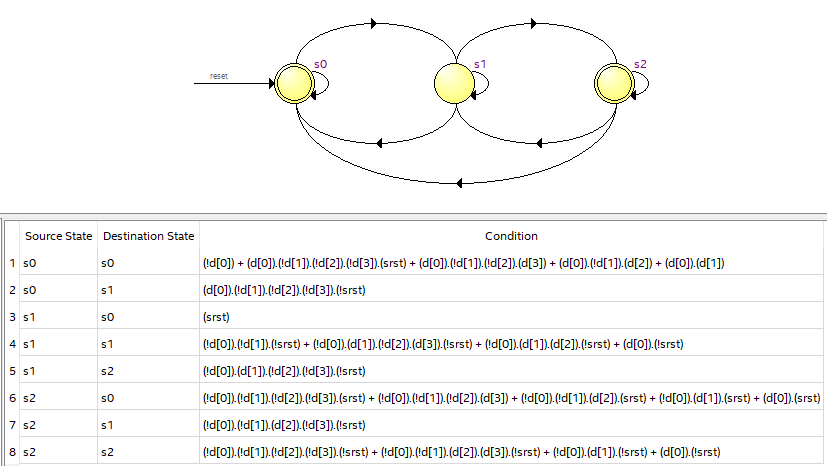


Рис. 1 - 4 Схема конечного автомата

* 1. Моделирование

В ходе проверки корректности работы устройства проведём тесты с разными наборами входных данных.

Изображение выглядит как текст, снимок экрана, линия, График

Автоматически созданное описание

Рис. 1 - 5 Результат тестирования ч.1

Изображение выглядит как текст, снимок экрана, линия, число

Автоматически созданное описание

Рис. 1 - 6 Результат тестирования ч.2

2 Задание lab5\_2

2.1 Текст задания

На языке Verilog опишите параметризированный без знаковый умножитель двух чисел разрядностью N(базовое значение = 7).

– Умножение должно быть реализовано на ROM памяти: адресные входы – {множимое,множитель}; выход q – результат умножения

– Инициализацию ROM следует выполнить в процедурном блоке initial, с использованием циклов.

**Входы**

– [N-1:0]da – вход множимого, на входе следует использовать регистр;

– [N-1:0]db – вход множителя, на входе следует использовать регистр;

– clk – вход тактового сигнала

В**ыходы**

– [2\*N-1:0]q – выход результата умножения, на выходе следует использовать регистр;

* 1. Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже.

Изображение выглядит как текст, снимок экрана, дисплей, Шрифт

Автоматически созданное описание

Рис. 2 – 1 Описание на языке Verilog

* 1. Результат синтеза (RTL)

Результат синтеза описания на языке Verilog приведен ниже.

Изображение выглядит как текст, снимок экрана, диаграмма, линия

Автоматически созданное описание

Рис. 2 -2 Синтезированная схема

* 1. Моделирование

Для проверки правильности работы синтезированного устройства проведём тестирование на различных наборах входных данных.

Изображение выглядит как текст, линия, число, снимок экрана

Автоматически созданное описание

Рис. 2 – 3 Результат моделирования ч.1

Изображение выглядит как текст, линия, снимок экрана, Шрифт

Автоматически созданное описание

Рис. 2 – 4 Результат моделирования ч.2

Изображение выглядит как текст, линия, Шрифт, число

Автоматически созданное описание

Рис. 2 – 5 Результат моделирования ч.3

1. Задание lab4\_3
   1. Текст задания

На языке Verilog создайте описание устройства, приведенного на рисунке (рис. 3 – 1):

**Входы**

– clk – вход тактового сигнала (на плате miniDilabCIV: подключить к тактовому генератору);

– [3:0]sw – вход данных. (на плате miniDilabCIV: подключить к переключателям SW[3:0])

– [7:4]sw – вход данных. (на плате miniDilabCIV: подключить к переключателям SW[7:4])

**Выходы**

– [7:0]q – выход. (на плате miniDilabCIV: подключить к светодиодам led[7:0])

Изображение выглядит как текст, снимок экрана, линия, Шрифт

Автоматически созданное описание

Рис. 3 – 1 Схема описываемого устройства

* 1. Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже.

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рис. 3 – 1 Описание на языке Verilog

* 1. Результат синтеза (RTL)

Результат синтеза описания на языке Verilog приведен ниже.

Изображение выглядит как текст, снимок экрана, диаграмма, График

Автоматически созданное описание

Рис. 3 – 2 Синтезированная схема

* 1. Моделирование

Для проверки правильности работы синтезированного устройства проведём тестирование.

Изображение выглядит как текст, линия, Шрифт, число

Автоматически созданное описание

Рис. 3 – 3 Результат моделирования

* 1. Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода-вывода, выполненное в Pin Planner.

Изображение выглядит как текст, снимок экрана, число, меню

Автоматически созданное описание

Рис. 3 – 4 Назначение выходов в Pin Planner

* 1. Тестирование на плате miniDiLaB-CIV

Синтезированная схема была протестирована на плате.

По результатам тестов был сделан вывод, что схема работает корректно, результаты совпадают с ожидаемыми.

1. Вывод

В ходе данной лабораторной работы были определены методы описания конечных автоматов, а также метод использования Rom памяти для описания беззнаковых умножителей.