Министерство образования и науки Российской Федерации

Федеральное государственное бюджетное образовательное учреждение высшего профессионального образования

“Санкт-Петербургский государственный политехнический университет”

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

**Отчёт по лабораторной работе №6**

по дисциплине “Языки описания аппаратных средств

вычислительных систем”

Выполнил студент группы 5130901/20102

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Вагнер А.А.

Принял преподаватель

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Федотов А.А.

“\_” \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ 2024 года

Санкт-Петербург

2024

**Оглавление**

[1. Задание lab6\_1 4](#_Toc180245002)

[1.1 Текст задания 4](#_Toc180245003)

[1.2 Описание на языке Verilog 4](#_Toc180245004)

[1.3 Результат синтеза 5](#_Toc180245005)

[1.4 Моделирование 5](#_Toc180245006)

[2. Задание lab5\_2 6](#_Toc180245007)

[2.1 Текст задания 6](#_Toc180245008)

[2.2 Описание на языке Verilog 6](#_Toc180245009)

[2.3 Результат синтеза (RTL) 7](#_Toc180245010)

[2.4 Моделирование 7](#_Toc180245011)

[3. Задание lab6\_3 8](#_Toc180245012)

[3.1 Текст задания 8](#_Toc180245013)

[3.2 Описание на языке Verilog 9](#_Toc180245014)

[3.3 Результат синтеза (RTL) 11](#_Toc180245015)

[3.4 Моделирование 11](#_Toc180245016)

[3.5 Назначение выводов СБИС 12](#_Toc180245017)

[3.6 Тестирование на плате miniDiLaB-CIV 12](#_Toc180245018)

[4. Задание lab5\_3 13](#_Toc180245019)

[4.1 Текст задания 13](#_Toc180245020)

[4.2 Описание на языке Verilog 14](#_Toc180245021)

[4.3 Результат синтеза (RTL) 14](#_Toc180245022)

[4.4 Моделирование 15](#_Toc180245023)

[5. Сравнение реализаций lab6\_4 и lab6\_3 16](#_Toc180245024)

[5.1 Характеристики lab6\_3 16](#_Toc180245025)

[5.2 Характеристики lab6\_4 19](#_Toc180245026)

[6. Вывод 21](#_Toc180245027)

**Список иллюстраций**

[Рис. 1 - 2 Описание на языке верилог 4](#_Toc180244929)

[Рис. 1 - 3 Синтезированная схема 5](#_Toc180244930)

[Рис. 1 - 4 Результат тестирования 5](#_Toc180244931)

[Рис. 2 – 1 Описание на языке Verilog 6](#_Toc180244932)

[Рис. 2 -2 Синтезированная схема 7](#_Toc180244933)

[Рис. 2 – 3 Результат моделирования 7](#_Toc180244934)

[Рис. 3 – 1 Схема описываемого устройства 8](#_Toc180244935)

[Рис. 3 – 2 Описание на языке Verilog lab 6\_3 9](#_Toc180244936)

[Рис. 3 – 3 Описание на языке Verilog lab 6\_1 10](#_Toc180244937)

[Рис. 3 – 4 Описание на языке Verilog lab 6\_2 10](#_Toc180244938)

[Рис. 3 – 5 Синтезированная схема 11](#_Toc180244939)

[Рис. 3 – 6 Результат моделирования 12](#_Toc180244940)

[Рис. 3 – 7 Назначение выходов в Pin Planner 12](#_Toc180244941)

[Рис. 4 – 1 Схема описываемого устройства 13](#_Toc180244942)

[Рис. 4 – 2 Описание на языке Verilog 14](#_Toc180244943)

[Рис. 4 – 3 Синтезированная схема 15](#_Toc180244944)

[Рис. 4 – 5 Результат моделирования 16](#_Toc180244945)

[Рис. 5 – 1 RTL структура lab6\_3 17](#_Toc180244946)

[Рис. 5 – 2 Аппаратные затраты lab6\_3 18](#_Toc180244947)

[Рис. 5 – 3 Максимальная частота lab6\_3 18](#_Toc180244948)

[Рис. 5 – 4 Временная диаграмма lab6\_3 19](#_Toc180244949)

[Рис. 5 – 5 RTL структура lab6\_4 20](#_Toc180244950)

[Рис. 5 – 6 Аппаратные затраты lab6\_4 20](#_Toc180244951)

[Рис. 5 – 7 Максимальная тактовая частота lab6\_4 20](#_Toc180244952)

[Рис. 5 – 8 Временная диаграмма lab6\_4 21](#_Toc180244953)

1. Задание lab6\_1
   1. Текст задания

На языке Verilog создайте параметризированное (параметр разрядность входных данных -W) описание устройства сортировки двух чисел, используя созданную Вами задачу (Task) сортировки двух чисел - Tsort

– Задачу следует реализовать как комбинационную схему, используя блокирующие назначения

– Аргументы задачи:

– Передаваемые значений (поступают с входов модуля) – два числа [W-1:0] a и [W-1:0] b

– Возвращаемые значения (передаются на выходы модуля):

– [W-1:0] min – меньшее из [W-1:0] a и [W-1:0] b;

– [W-1:0] max – большее из [W-1:0] a и [W-1:0] b.

* 1. Описание на языке Verilog

Описание разрабатываемое устройство на языке Verilog приведено ниже.

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. 1 - 2 Описание на языке верилог

* 1. Результат синтеза

Ниже приведен результат описания на языке верилог, полученный с помощью RTL Viewer

Изображение выглядит как диаграмма, снимок экрана, линия, График

Автоматически созданное описание

Рис. 1 - 3 Синтезированная схема

* 1. Моделирование

В ходе проверки корректности работы устройства проведём тесты с разными наборами входных данных.

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рис. 1 - 4 Результат тестирования

2. Задание lab5\_2

2.1 Текст задания

На языке Verilog создайте параметризированное (параметры: разрядность входных данных –W) описание устройства сортировки двух чисел, используя созданные Вами функции (Function) – Fmin и Fmax

– Аргументы функций:

– Передаваемые значений (поступают с входов модуля) – два числа [W-1:0] a и [W-1:0] b

– Возвращаемые значения (передаются на выходы модуля):

– [W-1:0] min – меньшее из [W-1:0] a и [W-1:0] b – для функции Fmin;

– [W-1:0] max – большее из [W-1:0] a и [W-1:0] b – для функции Fmax.

* 1. Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже.

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рис. 2 – 1 Описание на языке Verilog

* 1. Результат синтеза (RTL)

Результат синтеза описания на языке Verilog приведен ниже.

Изображение выглядит как диаграмма, снимок экрана, линия, текст

Автоматически созданное описание

Рис. 2 -2 Синтезированная схема

* 1. Моделирование

Для проверки правильности работы синтезированного устройства проведём тестирование на различных наборах входных данных.

Изображение выглядит как текст, снимок экрана, число, линия

Автоматически созданное описание

Рис. 2 – 3 Результат моделирования

1. Задание lab6\_3
   1. Текст задания

На языке Verilog создайте параметризированное (параметры: разрядность входных данных –W; тип устройства - Type) описание устройства сортировки четырех чисел (структура устройства при W=2 представлена на следующей странице), использующее:

– lab6\_1 и lab6\_2 и конструкцию generate … endgenerate (if else)

– При Type = lab6\_1 реализация базируется на модуле, созданном в lab6\_1 (т.е. на задаче)

– При Type != lab6\_1 реализация базируется на модуле, созданном в lab6\_2 (т.е. на функциях)

На входах и выходах устройства должны быть регистры!

Дополнительные требования:

– Моделирование следует осуществить для Type = lab6\_1 (если Ваш номер в списке группы нечетный) / !=lab6\_1 (если Ваш номер в списке группы четный) и для W=Ваш номер в списке группы +2.

– Реализацию на плате следует осуществить для Type = lab6\_1 (если Ваш номер в списке группы четный) / !=lab6\_1 (если Ваш номер в списке группы нечетный) и для W=2

– В отчете следует привести структуры, полученные в RTL Viewer для двух значений Type.

– стандарты и номера выводов СБИС для платы miniDiLaB\_CIV задайте с помощью атрибутов.

Изображение выглядит как линия, диаграмма, текст, снимок экрана

Автоматически созданное описание

Рис. 3 – 1 Схема описываемого устройства

* 1. Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже.

Изображение выглядит как текст, снимок экрана, дисплей, число

Автоматически созданное описание

Рис. 3 – 2 Описание на языке Verilog lab 6\_3

Кроме того, для введения синхронизации по clk и синхронного сброса, пришлось изменить модули lab6\_2, lab6\_1

Изображение выглядит как текст, снимок экрана, дисплей, число

Автоматически созданное описание

Рис. 3 – 3 Описание на языке Verilog lab 6\_1

Изображение выглядит как текст, снимок экрана, число, дисплей

Автоматически созданное описание

Рис. 3 – 4 Описание на языке Verilog lab 6\_2

* 1. Результат синтеза (RTL)

Результат синтеза описания на языке Verilog приведен ниже.

Изображение выглядит как текст, диаграмма, План, линия

Автоматически созданное описание

Рис. 3 – 5 Синтезированная схема

* 1. Моделирование

Для проверки правильности работы синтезированного устройства проведём тестирование.

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. 3 – 6 Результат моделирования

* 1. Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода-вывода, выполненное в при помощи атрибутов.

Изображение выглядит как текст, снимок экрана, число

Автоматически созданное описание

Рис. 3 – 7 Назначение выходов в Pin Planner

* 1. Тестирование на плате miniDiLaB-CIV

Синтезированная схема была протестирована на плате.

По результатам тестов был сделан вывод, что схема работает корректно, результаты совпадают с ожидаемыми.

1. Задание lab5\_3
   1. Текст задания

Осуществите конвейеризацию устройства из части lab6\_3 (для двух типов реализаций!)

На рисунке 4 - 1 показано место для регистров конвейеризации

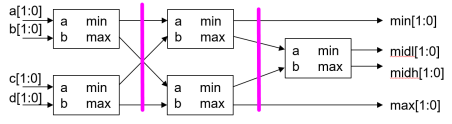


Рис. 4 – 1 Схема описываемого устройства

* 1. Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже. Изображение выглядит как текст, снимок экрана, дисплей, число

Автоматически созданное описание

Рис. 4 – 2 Описание на языке Verilog

* 1. Результат синтеза (RTL)

Результат синтеза описания на языке Verilog приведен ниже.

Изображение выглядит как текст, диаграмма, План, линия

Автоматически созданное описание

Рис. 4 – 3 Синтезированная схема

* 1. Моделирование

Для проверки правильности работы синтезированного устройства проведём тестирование.

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. 4 – 5 Результат моделирования

1. Сравнение реализаций lab6\_4 и lab6\_3

5.1 Характеристики lab6\_3

RTL структура

Изображение выглядит как текст, диаграмма, План, линия

Автоматически созданное описание

Рис. 5 – 1 RTL структура lab6\_3

Аппаратные затраты

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. 5 – 2 Аппаратные затраты lab6\_3

Максимальная тактовая частота

Изображение выглядит как текст, снимок экрана, Шрифт, линия

Автоматически созданное описание

Рис. 5 – 3 Максимальная частота lab6\_3

Временная диаграмма

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. 5 – 4 Временная диаграмма lab6\_3

5.2 Характеристики lab6\_4

RTL структура

Изображение выглядит как текст, диаграмма, План, карта

Автоматически созданное описание

Рис. 5 – 5 RTL структура lab6\_4

Аппаратные затраты

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. 5 – 6 Аппаратные затраты lab6\_4

Максимальная тактовая частота

Изображение выглядит как текст, снимок экрана, линия, Шрифт

Автоматически созданное описание

Рис. 5 – 7 Максимальная тактовая частота lab6\_4

Временная диаграмма

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. 5 – 8 Временная диаграмма lab6\_4

|  |  |  |
| --- | --- | --- |
|  | Lab6\_3 | Lab6\_4 |
| Количество лог. элементов | 142 | 149 |
| Максимальная тактовая частота | 109.35 MHz | 283.05 MHz |
| Средняя задержка получения результата | 44 ns | 73 ns |

1. Вывод

В ходе данной лабораторной работы были определены способы использования тасков и функций для синтеза функций, также при описании одного из модулей была применена конвейеризация и проведено сравнение с аналогичным модулем без конвейеризации. Был сделан вывод, что ценой незначительных аппаратурных затрат и увеличения задержки, конвейеризация позволяет увеличить максимальную тактовую частоту схемы, в данном случае почти в три раза.