Министерство образования и науки Российской Федерации

Федеральное государственное бюджетное образовательное учреждение высшего профессионального образования

“Санкт-Петербургский государственный политехнический университет”

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

**Отчёт по лабораторной работе №7**

по дисциплине “Языки описания аппаратных средств

вычислительных систем”

Выполнил студент группы 5130901/20102

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Вагнер А.А.

Принял преподаватель

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Федотов А.А.

“\_” \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ 2024 года

Санкт-Петербург

2024

Оглавление

[ЦЕЛЬ. 4](#_Toc180944058)

[ХОД РАБОТЫ. 4](#_Toc180944059)

[ЧАСТЬ 1. 4](#_Toc180944060)

[ЧАСТЬ 2. 4](#_Toc180944061)

[ЧАСТЬ 3. 5](#_Toc180944062)

[ЧАСТЬ 4. 5](#_Toc180944063)

[ЧАСТЬ 5. 6](#_Toc180944064)

[ЧАСТЬ 6 7](#_Toc180944065)

[ЧАСТЬ 7 7](#_Toc180944066)

[ЧАСТЬ 8. 8](#_Toc180944067)

[ЧАСТЬ 9. 8](#_Toc180944068)

[ЧАСТЬ 10. 9](#_Toc180944069)

[ЧАСТЬ 11. 10](#_Toc180944070)

[Часть 12. 11](#_Toc180944071)

[ВЫВОД. 12](#_Toc180944072)

Список иллюстраций

[Рис. 1 Пример ROM\_init файла 4](#_Toc180944073)

[Рис. 2 Пример ROM\_load файла 4](#_Toc180944074)

[Рис. 3 Описание модуля ROM 5](#_Toc180944075)

[Рис. 4 Описание модуля ROM\_adr\_limit 5](#_Toc180944076)

[Рис. 5 Описание модуля ROM\_read 5](#_Toc180944077)

[Рис. 6 Описание модуля cnt\_div 6](#_Toc180944078)

[Рис. 7 Описание модуля Top\_module 6](#_Toc180944079)

[Рис. 8 Структура модуля из RTL Viewer 7](#_Toc180944080)

[Рис. 9 Описание модуля MY\_ISSPE 7](#_Toc180944081)

[Рис. 10 Описание модуля Lab\_D 8](#_Toc180944082)

[Рис. 11 Структура моделя Lab\_D из RTL Viewer 8](#_Toc180944083)

[Рис. 12 Конфигурация Bank 0 9](#_Toc180944084)

[Рис. 13 Конфигурация Bank 1 9](#_Toc180944085)

[Рис. 14 Конфигурация Pins 9](#_Toc180944086)

[Рис. 15 Проверка работы Spf\_D.spf 10](#_Toc180944087)

[Рис. 16 Тестирование с изменённым содержанием ROM 10](#_Toc180944088)

[Рис. 17 Конфигурация Lab\_D.stp 11](#_Toc180944089)

[Рис. 18 Тестирование - lai модуль 11](#_Toc180944090)

[Рис. 19 Тестирование - stp модуль 12](#_Toc180944091)

ЦЕЛЬ.

самостоятельно пройти цикл проектирования и отладки проекта в рамках пакета Quartus, включая использование таких средств отладки как:

* Signal Probe
* Logic Analyzer Interface (LAI)
* In-System Memory Content Editor (ISMCE)
* In-System Sources & Probes (ISSP)
* SignalTap II embedded logic analyzer Настройка средств отладки проекта (SignalProbe и ISMCE)

ХОД РАБОТЫ.

ЧАСТЬ 1.

Проект Lab\_D создан в папке C:/Intel\_trn/Q\_Debug/Lab\_D с шаблоном Empty project и микросхемой EP4CE6E22C8.

ЧАСТЬ 2.

В редакторе Quartus были созданы файлы ROM\_init.mif, ROM\_init.hex, ROM\_load.mif, ROM\_load.hex.

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. Пример ROM\_init файла

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. Пример ROM\_load файла

Также был создан модуль ROM

Изображение выглядит как текст, Шрифт, линия, снимок экрана

Автоматически созданное описание

Рис. Описание модуля ROM

ЧАСТЬ 3.

Также был создан модуль ROM\_adr\_limit, соответствующий спецификации

Изображение выглядит как текст, снимок экрана, Шрифт, линия

Автоматически созданное описание

Рис. Описание модуля ROM\_adr\_limit

ЧАСТЬ 4.

На языке SystemVerilog были написаны модули ROM\_read, cnt\_div. Тексты этих модулей приведены ниже.

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. Описание модуля ROM\_read

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рис. Описание модуля cnt\_div

ЧАСТЬ 5.

В соответствии со структурой приведённой в задании был написан модуль Top\_module. Его содержание приведено ниже.

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рис. Описание модуля Top\_module

Изображение выглядит как диаграмма, линия, План, Параллельный

Автоматически созданное описание

Рис. Структура модуля из RTL Viewer

Очевидно, структура полностью соответствует требуемой.

ЧАСТЬ 6

Далее в соответствии с заданием был создан модуль MY\_ISSPE.

Изображение выглядит как текст, снимок экрана, Шрифт, документ

Автоматически созданное описание

Рис. Описание модуля MY\_ISSPE

ЧАСТЬ 7

В соответствии с заданием был создан модуль верхнего уровня Lab\_D, тактовый выход микросхемы был создан при помощи атрибута.

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рис. Описание модуля Lab\_D

Изображение выглядит как диаграмма, снимок экрана, План, линия

Автоматически созданное описание

Рис. Структура моделя Lab\_D из RTL Viewer

Компиляция прошла успешно, и полученная структура соответствует требуемой.

ЧАСТЬ 8.

Далее в редакторе Quartus в окне Signal Probe Pins была проведена трассировка микросхемы с выводом 25 разряда счётчика на 65 пин микросхемы, то есть на LED7. Как и ожидалось, светодиод начал включаться и выключаться с периодом в ~2 секунды.

ЧАСТЬ 9.

Далее в меню Logic Analyzer Interface Editor был создан модуль Lab\_D.lai. Ниже приведены конфигурации Bank 0, Bank 1, Pins.

Изображение выглядит как текст, снимок экрана, линия, программное обеспечение

Автоматически созданное описание

Рис. Конфигурация Bank 0

Изображение выглядит как текст, снимок экрана, диаграмма, линия

Автоматически созданное описание

Рис. Конфигурация Bank 1

Изображение выглядит как текст, линия, программное обеспечение, Шрифт

Автоматически созданное описание

Рис. Конфигурация Pins

Далее была проведена проверка на микросхеме. Действительно, при переключении с Bank 0 на Bank 1 и обратно изменялась частота переключения led6 и led 5. При включении назначения в Signal Probe также изменилось поведение led 7 – он начал переключаться.

Результат соответствует ожидаемому.

ЧАСТЬ 10.

Далее с помощью редактора In System Sources and Probes Editor был создан модуль Lab\_D.spf и была проверена его работа.

Изображение выглядит как текст, снимок экрана, программное обеспечение, дисплей

Автоматически созданное описание

Рис. Проверка работы Spf\_D.spf

ЧАСТЬ 11.

При помощи редактора In-System Memory Content Editor в память ROM были записаны данные из ROM\_load.hex и изменена константа CS. Позже изменения были проверены в Lab\_D.lai.

Изображение выглядит как текст, снимок экрана, программное обеспечение, число

Автоматически созданное описание

Рис. Тестирование с изменённым содержанием ROM

Часть 12.

Далее проведём тестирование с помощью Signal Tap Logic Analyzer.

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рис. Конфигурация Lab\_D.stp

Изображение выглядит как текст, снимок экрана, программное обеспечение, число

Автоматически созданное описание

Рис. Тестирование - lai модуль

Изображение выглядит как текст, снимок экрана, программное обеспечение, число

Автоматически созданное описание

Рис. Тестирование - stp модуль

Как и ожидалось, SignalTap находится в режиме ожидания до появления фронта на led\_done. Результат соответствует ожидаемому.

ВЫВОД.

В ходе выполнения лабораторной работы были изучены и применены на практике такие инструменты отладки проекта как: Signal Probe, Logic Analyzer Interface, In-System Memory Content Editor, In-System Sources & Probes, SignalTap. Результат на всех этапах соответствует ожидаемому