Министерство образования и науки Российской Федерации

Федеральное государственное бюджетное образовательное учреждение высшего профессионального образования

“Санкт-Петербургский государственный политехнический университет”

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

**Отчёт по лабораторной работе №11**

по дисциплине “Языки описания аппаратных средств

вычислительных систем”

Выполнил студент группы 5130901/20102

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Вагнер А.А.

Принял преподаватель

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Федотов А.А.

“\_” \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ 2024 года

Санкт-Петербург

2024

**Оглавление**

[1. Задание Lab\_QMS1 2](#_Toc183343368)

[1.1 Текст задания 2](#_Toc183343369)

[1.2 Описание на языке Verilog 3](#_Toc183343370)

[1.3 Тестирование в ModelSim 4](#_Toc183343371)

[2. Задание lab\_QMS2 4](#_Toc183343372)

[2.1 Текст задания 4](#_Toc183343373)

[2.2 Описание на языке Verilog 7](#_Toc183343374)

[2.3 Результат синтеза (RTL Viewer) 8](#_Toc183343375)

[2.4 Тестирование в ModelSim 8](#_Toc183343376)

[3. Задание lab\_QMS3 9](#_Toc183343377)

[3.1 Текст задания 9](#_Toc183343378)

[3.2 Описание на языке Verilog 12](#_Toc183343379)

[3.2 Результат синтеза 14](#_Toc183343380)

[3.3 Тестирование в ModelSim 14](#_Toc183343381)

[4. Выводы 14](#_Toc183343382)

**Список иллюс****траций**

[Рис. 1 - Схема разрабатываемого устройства 4](#_Toc183343385)

[Рис. 2 - Описание модуля lab\_QMS1 4](#_Toc183343386)

[Рис. 3 - Описание модуля tb\_lab\_QMS1 5](#_Toc183343387)

[Рис. 4 - Тестиррование модуля tb\_lab\_QMS1 5](#_Toc183343388)

[Рис. 5 - Схема описываемого устройства 6](#_Toc183343389)

[Рис. 6 - Описание модуля lab\_QMS2 8](#_Toc183343390)

[Рис. 7 - Описание модуля tb\_lab\_QMS2 9](#_Toc183343391)

[Рис. 8 - Результат синтеза в RTL Viewer 9](#_Toc183343392)

[Рис. 9 - Тестирование модуля lab\_QMS2 10](#_Toc183343393)

[Рис. 10 - Описание модуля lab\_QMS3 13](#_Toc183343394)

[Рис. 11 - Описание модуля tb\_lab\_QMS3 14](#_Toc183343395)

[Рис. 12 - Результат синтеза Technology Map Viewer 15](#_Toc183343396)

[Рис. 13 - Тестирование модуля lab\_QMS3 15](#_Toc183343397)

1. Задание Lab\_QMS1
   1. Текст задания

Входы проекта:

• clk – тактовый сигнал (частота 25MHz для платы MiniDilab-CIV).

• reset – сигнал сброса, поступающий от кнопки на плате MiniDilab-CIV.

Выходы проекта:

• LED[7:0] – выводы FPGA, соединенные со светодиодами на плате MiniDilab-CIV.

Алгоритм работы проекта:

• Модуль cnt\_div – счетчик делитель, который делит входную частоту. Коэффициент деления –

параметра модуля.

• Модуль cnt\_adr – счетчик адреса, который формирует адреса для ROM памяти, реализованной как

модуль ROM\_8D.

• Модуль ROM\_8D – модуль ROM памяти хранит 8-ми разрядные данные и в соответствии с

текущим адресом формирует выходное слово, поступающее на выходы LED[7..0].

• Сигнал reset, активный уровень = 1, сбрасывает все счетчики в 0.

• Модуль DFF\_chain – модуль синхронизации, который обеспечивает привязку асинхронного

сигнала reset к тактовой частоте проекта. Модуль содержит два последовательно включенных

триггера.

Изображение выглядит как текст, диаграмма, линия, График

Автоматически созданное описание

Рис. 1 - Схема разрабатываемого устройства

* 1. Описание на языке Verilog

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. 2 - Описание модуля lab\_QMS1

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рис. 3 - Описание модуля tb\_lab\_QMS1

* 1. Тестирование в ModelSim

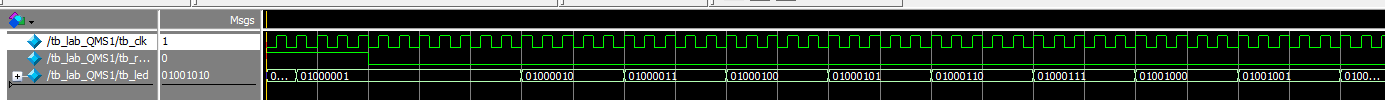


Рис. 4 - Тестиррование модуля tb\_lab\_QMS1

1. Задание lab\_QMS2
   1. Текст задания

1. Выводы

a. Входы (отмечены зеленым)

i. CLK – тактовый сигнал (25МГц)

ii. aRSTin – вход асинхронного сброса (активный уровень, уровень при котором

будет сброс – 1)

b. Выходы (отмечены синим)

i. [15:0] Dout – выход.

2. Модули

a. CNT - счетчик, создаваемый с помощью IP модуля LPM\_COUNTER

i. Разрядность: 8 бит

ii. Двоичный счетчик на сложение

iii. Вход асинхронного сброса (clear) (активный уровень 1)

b. PWR – модуль возведения в степень 2, создаваемый с помощью IP модуля

LPM\_MULT.

i. Два входа по 8 бит

ii. Без знаковый

iii. Без конвейеризации

c. RG – регистр, описываемый на Verilog в файле верхнего уровня (используя always)

i. arst – вход асинхронного сброса (активный уровень -1).

d. DFF – триггеры, описываемые на Verilog в файле верхнего уровня (используя always)

i. Логическая единица на входе aset – асинхронно устанавливает триггер в 1.

Изображение выглядит как текст, диаграмма, Шрифт, План

Автоматически созданное описание

Рис. 5 - Схема описываемого устройства

1. Создать проект в пакете Quartus

2. Создать модули на основе IP

3. Создать модуль верхнего уровня иерархии на Verilog (имя файла lab\_QMS2.v, модуль lab\_QMS2).

4. Осуществить компиляцию проекта в пакете Quartus, исправить ошибки и проверить с помощью RTL Viewer, что проект собран правильно.

5. Разработать тест класса 1, обеспечивающий проверку для всех значений счетчика CNT

6. Запустить пакет ModelSim отдельно от пакета Quartus

7. При желании работать с проектом: создать проект в пакете ModelSim

8. Осуществить компиляцию исходных файлов, включая тест.

9. Загрузить тест tb\_lab\_QMS2 в систему моделирования (либо, если работаете с проектом: создать конфигурацию для моделирования и загрузить проект в систему моделирования)

10. Осуществить моделирование

2.2 Описание на языке Verilog

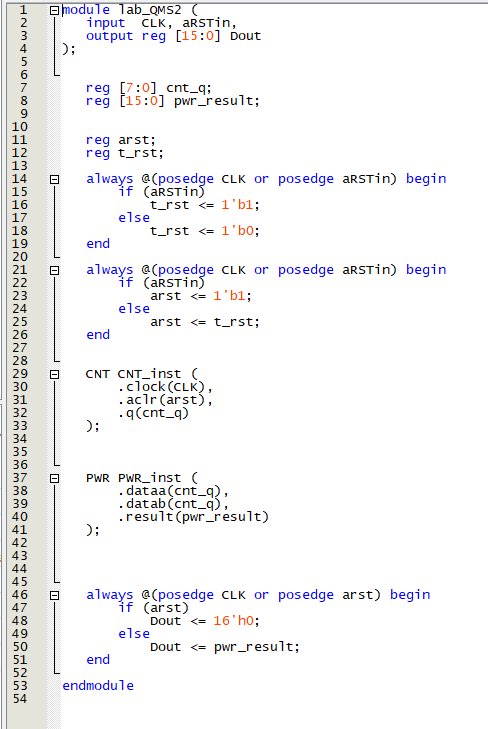


Рис. 6 - Описание модуля lab\_QMS2

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. 7 - Описание модуля tb\_lab\_QMS2

* 1. Результат синтеза (RTL Viewer)

Изображение выглядит как диаграмма, снимок экрана, линия, График

Автоматически созданное описание

Рис. 8 - Результат синтеза в RTL Viewer

Результат синтеза соответствует спецификации

* 1. Тестирование в ModelSim

В соответствии с заданием, тест был запущен отдельно от пакета Quartus. Результат соответствует ожидаемому.

Изображение выглядит как снимок экрана, линия, График

Автоматически созданное описание

Рис. 9 - Тестирование модуля lab\_QMS2

1. Задание lab\_QMS3
   1. Текст задания

Изображение выглядит как текст, диаграмма, План, Шрифт

Автоматически созданное описание

1. Выводы

a. Входы (отмечены зеленым)

i. CLK – тактовый сигнал (50МГц).

ii. aRSTin – вход асинхронного сброса (активный уровень, уровень при котором

будет сброс – 1).

iii. [7:0]Din – вход данных для управления ШИМ.

b. Выходы (отмечены синим)

i. PWM – выход ШИМ.

2. Модули

a. CNT - счетчик, создаваемый с помощью IP модуля LPM\_COUNTER

i. Разрядность: 8 бит

ii. Двоичный счетчик на сложение

iii. Выход переноса (carry\_out)

iv. Вход асинхронного сброса (clear) (активный уровень 1)

b. CMP – модуль сравнения, создаваемый с помощью IP модуля LPM\_COMPARE.

i. Два входа по 8 бит

ii. a<b

iii. Без знаковый

iv. Без конвейеризации

c. RG – регистр, описываемый на Verilog в файле верхнего уровня (используя always)

i. arst – вход (активный уровень -1) – асинхронно устанавливает в регистр

значение 8’d128.

d. DFF – триггеры, описываемые на Verilog в файле верхнего уровня (используя always)

i. Логическая единица на входе aset – асинхронно устанавливает триггер в 1.

План работы

1. Создать проект в пакете Quartus

2. Создать модули на основе IP

3. Создать модуль верхнего уровня иерархии на Verilog (имя файла lab\_QMS3.v, модуль lab\_QMS3).

4. Осуществить компиляцию проекта в пакете Quartus, исправить ошибки и проверить с помощью Technology Map Viewer, что проект собран правильно.

5. Разработать тест класса 1 (имя файла tb\_lab\_QMS3.v, имя модуля – tb\_lab\_QMS3

6. Запустить пакет ModelSim используя NativeLink пакета Quartus

7. Осуществить моделирование

3.2 Описание на языке Verilog

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. 10 - Описание модуля lab\_QMS3

Изображение выглядит как текст, снимок экрана, дисплей, число

Автоматически созданное описание

Рис. 11 - Описание модуля tb\_lab\_QMS3

* 1. Результат синтеза

Изображение выглядит как диаграмма, текст, снимок экрана, линия

Автоматически созданное описание

Рис. 12 - Результат синтеза Technology Map Viewer

Результат синтеза соответствует спецификации

* 1. Тестирование в ModelSim

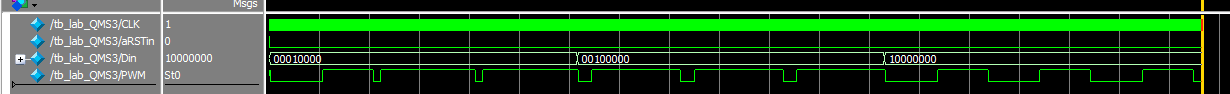


Рис. 13 - Тестирование модуля lab\_QMS3

Результат соответствует ожидаемому.

1. Выводы

ОБЪЯСНИТЕ: почему на входе разряда [7] регистра Din появился инвертор?

Для асинхронного сброса регистра до значения 128 происходит асинхронный сброс всех разрядов и инверсия старшего, в результате чего на вход поступает значение 128

ОБЪЯСНИТЕ:

Как зависит выход PWM от данных Dint? Что за устройство реализовано?

В какой момент считываются входные данные (данные со входа Din)?

Длина импульса низкого сигнала на PWM зависит от величины значения Dint – чем больше Dint, тем длиннее импульс.

Данные со входы Dint считываются в момент переполнения счётчика CNT.

В ходе данной лабораторной работы были изучены методы использования IP из библиотеки Quartus при моделировании в ModelSim.