Министерство образования и науки Российской Федерации

Федеральное государственное бюджетное образовательное учреждение высшего профессионального образования

“Санкт-Петербургский государственный политехнический университет”

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

**Отчёт по лабораторной работе №10**

по дисциплине “Языки описания аппаратных средств

вычислительных систем”

Выполнил студент группы 5130901/20102

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Вагнер А.А.

Принял преподаватель

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Федотов А.А.

“\_” \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ 2024 года

Санкт-Петербург

2024

1. Задание labSIM2\_1
   1. Текст задания

На языке Verilog, опишите тест II класса для проверки

конечного автомата, созданного в lab5\_1.

* 1. Описание на языке Verilog

Изображение выглядит как текст, снимок экрана, число, дисплей

Автоматически созданное описание

Рис. 1 - код модуля labSIM2\_1

Изображение выглядит как текст, снимок экрана, дисплей, число

Автоматически созданное описание

Рис. 2 - Код модуля tb\_labSIN2\_1

* 1. Тестирование в ModelSim

Изображение выглядит как текст, снимок экрана, Шрифт, линия

Автоматически созданное описание

Рис. 3 - Отсутствие сообщений об ошибках при тестировании

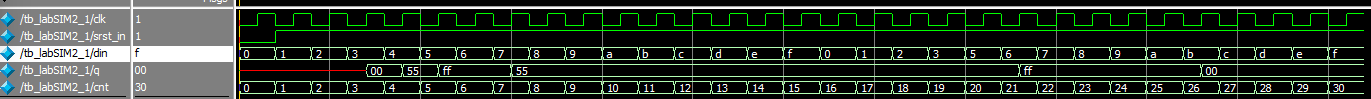


Рис. 4 - Симуляция модуля labSIM2\_1

1. Задание labSIM2\_2
   1. Текст задания

На языке Verilog, опишите тест II класса (с самопроверкой) для проверки устройства сортировки, созданного в lab6\_3.

– Подаваемые на вход устройства данные считываются из файла с помощью $readmemh (или $readmemb)

– Ожидаемые данные считываются из файла, используя расширения стандарта 2001 (т.е. без $readmemh (или $readmemb)

* 1. Описание на языке Verilog

Изображение выглядит как текст, снимок экрана, программное обеспечение, число

Автоматически созданное описание

Рис. 5 - описание модуля tb\_labSIM2\_2

Изображение выглядит как текст, снимок экрана, дисплей, число

Автоматически созданное описание

Рис. 6 - описание модуля lab6\_3

Изображение выглядит как текст, снимок экрана, дисплей, число

Автоматически созданное описание

Рис. 7 - описание модуля lab6\_1

* 1. Тестирование в ModelSim

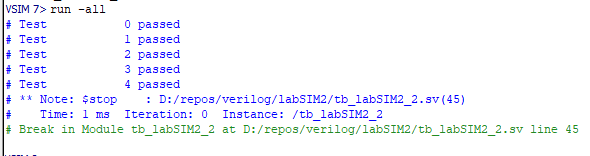


Рис. 8 - Сообщения о пройденных тестах

Изображение выглядит как текст, снимок экрана, Мультимедийное программное обеспечение, программное обеспечение

Автоматически созданное описание

Рис. 9 - Симуляция модуля tb\_labSIM2\_2

1. Задание labSIM2\_3
   1. Текст задания

На языке Verilog опишите преобразователь двоичных чисел разрядностью 3 в код 1изN.

– Устройство должно быть реализовано на ROM памяти: адресные входы – двоичный код; выход q– код 1 из N

– Инициализацию ROM следует выполнить из файла, используя $readmemh (или $readmemb).

**Входы**

– [2:0]da– вход множимого, на входе следует использовать регистр. (на плате miniDilabCIV: N=4, sw[7:4]);

– clk – вход тактового сигнала

**Выходы**

– [N-1:0]q – выходы;

На языке Verilog опишите тест I класса для созданного преобразователя двоичных чисел разрядностью 3 в код 1изN.

– Для формирования входных данных не использовать чтение из файла;

* 1. Описание на языке Verilog

Изображение выглядит как текст, снимок экрана, программное обеспечение, число

Автоматически созданное описание

Рис. 10 - Описание модуля labSIM2\_3 на языке Verilog

Изображение выглядит как текст, электроника, снимок экрана, дисплей

Автоматически созданное описание

Рис. 11 - Описание модуля tb\_ labSIM2\_3 на языке Verilog

Изображение выглядит как текст, снимок экрана, Шрифт

Автоматически созданное описание

Рис. 12 - содержимое rom\_input.txt

* 1. Результат синтеза

Изображение выглядит как текст, снимок экрана, диаграмма, линия

Автоматически созданное описание

Рис. 13 - Синтезированная схема

Ниже приведен результат описания labSIM2\_3 на языке верилог, полученный с помощью RTL Viewer.

* 1. Тестирование в ModelSim



Рис. 14 - Результат симуляции в ModelSim

Моделирование показало, что полученные результаты совпадают с ожидаемыми.

* 1. Назначение выводов в СБИС

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. 15 - Назначение выводов в Pin Planner

1. Вывод

В ходе данной лабораторной работы были изучены способы написания тестов первого и второго класса для синтезированных раннее модулей. Также в ходе данной работы был успешно разработан и протестирован преобразователь двоичных чисел в код 1 из N на языке Verilog.