Министерство образования и науки Российской Федерации

Федеральное государственное бюджетное образовательное учреждение высшего профессионального образования

“Санкт-Петербургский государственный политехнический университет”

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

**Отчёт по лабораторной работе №13**

по дисциплине “Языки описания аппаратных средств

вычислительных систем”

Выполнил студент группы 5130901/20102

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Вагнер А.А.

Принял преподаватель

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Федотов А.А.

“\_ ” \_\_\_\_\_\_\_\_\_\_2024 года

Санкт-Петербург

2024

Оглавление

[1. Вопрос 1 4](#_Toc184334306)

[1.1 Содержание вопроса 4](#_Toc184334307)

[1.2 Описание на языке SystemVerilog 4](#_Toc184334308)

[1.3 Результат синтеза 4](#_Toc184334309)

[2. Вопрос 2 5](#_Toc184334310)

[2.1 Содержание вопроса 5](#_Toc184334311)

[2.2 Описание на языке SystemVerilog 5](#_Toc184334312)

[2.3 Моделирование в Modelsim 6](#_Toc184334313)

[3. Вопрос 3 6](#_Toc184334314)

[3.1 Содержание вопроса. 6](#_Toc184334315)

[3.2 Описание на языке SystemVerilog 7](#_Toc184334316)

[3.3 Результат синтеза 7](#_Toc184334317)

[4. Вопрос 4 8](#_Toc184334318)

[4.1 Содержание вопроса 8](#_Toc184334319)

[4.2 Описание на языке SystemVerilog 9](#_Toc184334320)

[4.3 Моделирование в ModelSim 9](#_Toc184334321)

[5. Вопрос 5 10](#_Toc184334322)

[5.1 Содержание вопроса 10](#_Toc184334323)

[5.2 Описание на языке SystemVerilog 11](#_Toc184334324)

[5.3 Результат синтеза 12](#_Toc184334325)

[6. Вопрос 6 12](#_Toc184334326)

[6.1 Содержание вопроса 12](#_Toc184334327)

[6.2 Описание на языке SystemVerilog 13](#_Toc184334328)

[6.3 Результат синтеза 14](#_Toc184334329)

[6.4 Отладка модуля 14](#_Toc184334330)

[7. Вывод 15](#_Toc184334331)

Список иллюстраций

[Рис. 1 - Описание модуля счётчика 4](#_Toc184334289)

[Рис. 2 - Результат синтеза модуля счётчика 4](#_Toc184334290)

[Рис. 3 - Описание тестирующего модуля счётчика 5](#_Toc184334291)

[Рис. 4 - Результат моделирования модуля счётчика 5](#_Toc184334292)

[Рис. 5 - Описание мультиплексора на языке SystemVerilog 6](#_Toc184334293)

[Рис. 6 - Результат синтеза модуля мультиплексора 7](#_Toc184334294)

[Рис. 7 - Описание тестирующего модуля для мультиплексора 8](#_Toc184334295)

[Рис. 8 - Моделирование тестирующего модуля мультиплексора 8](#_Toc184334296)

[Рис. 9 - Результат тестирования тестирующего модуля мультиплексора 9](#_Toc184334297)

[Рис. 10 - Схема модуля lab.sv 10](#_Toc184334298)

[Рис. 11 - Описание модуля lav.sv на языке SystemVerilog 10](#_Toc184334299)

[Рис. 12 - Результат синтеза модуля lab.sv 11](#_Toc184334300)

[Рис. 13 - Схема модуля db\_lab.sv 12](#_Toc184334301)

[Рис. 14 - Описание модуля db\_lab.sv 12](#_Toc184334302)

[Рис. 15 - Результат синтеза dv\_lab .sv 13](#_Toc184334303)

[Рис. 16 - Результат тестирования в In-System Sources and Probes Editor 13](#_Toc184334304)

[Рис. 17 - Результат анализа в Signal Tap Logic Analyzer 13](#_Toc184334305)

1. Вопрос 1
   1. Содержание вопроса

На языке SystemVerilog (максимально используя конструкции и типы данных SystemVerilog) опишите реверсивный счетчик по модулю 12 (4 двоичных разряда) с входом синхронного сброса – модуль cnt\_m12\_R (файл cnt\_m12\_R.sv). Выводы: clk – вход тактового сигнала; dir – вход выбора направления счета (1- счет на сложение; 0- счет на вычитание); reset – вход синхронного сброса всех разрядов счетчика в состояние 0 (при 1 сброс); cntQ[3:0] – выходы счетчика.

* 1. Описание на языке SystemVerilog

Описание разрабатываемого устройство на языке SystemVerilog приведено ниже.

Изображение выглядит как текст, снимок экрана, дисплей, число

Автоматически созданное описание

Рис. 1 - Описание модуля счётчика

* 1. Результат синтеза

Ниже приведен результат синтеза модуля, полученный с помощью RTL Viewer.

Изображение выглядит как диаграмма, снимок экрана

Автоматически созданное описание

Рис. 2 - Результат синтеза модуля счётчика

1. Вопрос 2

2.1 Содержание вопроса

На языке SystemVerilog (максимально используя конструкции и типы данных SystemVerilog) опишите тест 1 класса для проверки счетчика, созданного в 1 вопросе – модуль tb\_cnt\_m12\_R (файл tb\_cnt\_m12\_R).sv. Тест должен обеспечить проверку:

• счета на сложение с переполнением,

• счета на вычитание с переходом через 0,

• синхронного сброса.

Тест должен в консоли формировать сообщения, отображающие текущее время и состояние выводов dir, reset, cntQ[3:0], при каждом изменении состояний выводов. Проведите моделирование в пакете ModelSim.

2.2 Описание на языке SystemVerilog

Описание разрабатываемого устройство на языке SystemVerilog приведено ниже.

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. 3 - Описание тестирующего модуля счётчика

2.3 Моделирование в Modelsim

Изображение выглядит как линия, программное обеспечение, Мультимедийное программное обеспечение, снимок экрана

Автоматически созданное описание

Рис. 4 - Результат моделирования модуля счётчика

1. Вопрос 3
   1. Содержание вопроса.

Вопрос 3 На языке SystemVerilog (максимально используя конструкции и типы данных SystemVerilog) опишите параметризированный мультиплексор 2[w:1] => 1[w:1] с регистрами на выходе – модуль mux2\_1R ( файл mux2\_1R.sv).

Выводы: clk – вход тактового сигнала для регистров на выходе; reset – вход синхронного сброса всех разрядов регистра на выходе в состояние 0 (при 1-сброс); dA[w:1] – вход А мультиплексора; dB[w:1] – вход В мультиплексора; sel – вход выбора входа мультиплексора, передаваемого на выход (1- на выход передается dA[w:1]; 0- на выход передается dB[w:1]); muxOUT[w:1] – выход мультиплексора. Базовое значение параметра w: 8.

* 1. Описание на языке SystemVerilog

Описание разрабатываемого устройство на языке SystemVerilog приведено ниже.

Изображение выглядит как текст, снимок экрана, дисплей, Шрифт

Автоматически созданное описание

Рис. 5 - Описание мультиплексора на языке SystemVerilog

* 1. Результат синтеза

Ниже приведен результат синтеза модуля, полученный с помощью RTL Viewer.

Изображение выглядит как текст, диаграмма, снимок экрана, линия

Автоматически созданное описание

Рис. 6 - Результат синтеза модуля мультиплексора

1. Вопрос 4
   1. Содержание вопроса

На языке SystemVerilog (максимально используя конструкции и типы данных SystemVerilog) опишите тест 2 класса для проверки мультиплексора, созданного в 3 вопросе (при w = 4) – модуль tb\_ mux2\_1R (файл tb\_ mux2\_1R.sv).

Тест должен обеспечить проверку:

• передачи данных (5 – при sel=1; 10 – при sel=0) со входа А на выход,

• передачи данных (0 – при sel=1; 15 – при sel=0) со входа В на выход.

Тест должен в консоли формировать сообщения, отображающие текущее время и состояние выводов clk, sel, dA[4:1], dB[4:1], muxOUT[4:1], при каждом изменении состояний выводов. Проведите моделирование в пакете ModelSim.

* 1. Описание на языке SystemVerilog

Изображение выглядит как текст, снимок экрана, число, дисплей

Автоматически созданное описание

Рис. 7 - Описание тестирующего модуля для мультиплексора

* 1. Моделирование в ModelSim

Изображение выглядит как снимок экрана, диаграмма, Мультимедийное программное обеспечение, Графическое программное обеспечение

Автоматически созданное описание

Рис. 8 - Моделирование тестирующего модуля мультиплексора

Изображение выглядит как текст, снимок экрана, число

Автоматически созданное описание

Рис. 9 - Результат тестирования тестирующего модуля мультиплексора

1. Вопрос 5
   1. Содержание вопроса

На языке SystemVerilog (максимально используя конструкции и типы данных SystemVerilog) опишите модуль lab (файл lab.sv), созданный на базе компонентов из вопросов 1 и 3, структура которого приведена на рисунке. Выводы: clk, sel, reset, dOUT[4:1] – выводы модуля. Значения, указанные красным – константные значения.

Изображение выглядит как текст, диаграмма, снимок экрана, Шрифт

Автоматически созданное описание

Рис. 10 - Схема модуля lab.sv

* 1. Описание на языке SystemVerilog

Изображение выглядит как текст, снимок экрана, программное обеспечение, число

Автоматически созданное описание

Рис. 11 - Описание модуля lav.sv на языке SystemVerilog

* 1. Результат синтеза

Изображение выглядит как текст, диаграмма, снимок экрана, План

Автоматически созданное описание

Рис. 12 - Результат синтеза модуля lab.sv

1. Вопрос 6

6.1 Содержание вопроса

• На базе IP модуля ISSE создайте модуль ISSPE\_lab, в котором будет:

• 2 выхода (source): один для задания сигнала sel, второй для задания сигнала reset.

o Выходы должны быть синхронизированы тактовым сигналом.

o Начальное значение выходов должно обеспечивать: reset = 1; sel = 0.

• 1 вход (probe) для подключения шины dOUT[4:1].

• На языке SystemVerilog (максимально используя конструкции и типы данных SystemVerilog) опишите модуль db\_lab (файл db\_lab.sv) для тестирования модуля lab на плате. Структура модуля db\_lab приведена на рисунке. Модуль db\_lab имеет только один тактовый вход, подключаемый к соответствующему выводу FPGA.

• Создайте stp файл (lab.stp) с логическим анализатором, в котором подключены сигналы: db\_dOUT[4:1]; db\_sel; db\_reset. Число захватываемых отсчетов 32. Положение trigger position – выбираете сами.

• Настройте логический анализатор так, чтобы:

o Захватить, после момента установки сигнала db\_sel в 1, примерно 2 цикла работы счетчика

o Захватить, после момента установки сигнала db\_sel в 0, примерно 2 цикла работы счетчика

Изображение выглядит как текст, снимок экрана, диаграмма, линия

Автоматически созданное описание

Рис. 13 - Схема модуля db\_lab.sv

6.2 Описание на языке SystemVerilog

Изображение выглядит как текст, снимок экрана, дисплей, Шрифт

Автоматически созданное описание

Рис. 14 - Описание модуля db\_lab.sv

6.3 Результат синтеза

Изображение выглядит как текст, диаграмма, снимок экрана, линия

Автоматически созданное описание

Рис. 15 - Результат синтеза dv\_lab .sv

6.4 Отладка модуля

Для тестирования и дебага модуля были использование такие инструменты Quartus как In-System Sources and Probes Editor и Signal Tap Logic Analyzer.

Изображение выглядит как снимок экрана, линия, График, диаграмма

Автоматически созданное описание

Рис. 16 - Результат тестирования в In-System Sources and Probes Editor

Изображение выглядит как текст, линия, число, снимок экрана

Автоматически созданное описание

Рис. 17 - Результат анализа в Signal Tap Logic Analyzer

Результат соответствует спецификации, результат можно считать удовлетворительным.

1. Вывод

В ходе данной лабораторной работы были использованы навыки применения особых функций SystemVerilog в написании модулей, а также debug функции Quartus Prime.