Министерство образования и науки Российской Федерации

Федеральное государственное бюджетное образовательное учреждение высшего профессионального образования

“Санкт-Петербургский государственный политехнический университет”

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

**Отчёт по лабораторной работе №12**

по дисциплине “Языки описания аппаратных средств

вычислительных систем”

Выполнил студент группы 5130901/20102

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Вагнер А.А.

Принял преподаватель

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Федотов А.А.

“\_” \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ 2024 года

Санкт-Петербург

2024

Задание Lab3\_1

1. Цели

Ознакомиться со следующими алгоритмами:

1. Создание дизайна в Quartus Prime
2. Симуляция дизайна при помощи ModelSim
3. Процесс дебага дизайна на плате с использованием ISSP и SignalTap
4. Реализация дизайна на плате
5. Ход работы

В начале работы требуется запустить тестирование данного модуля при помощи ModelSim. Для этого следует использовать исходный модуль тестбенч.

Изображение выглядит как текст, снимок экрана, число, Параллельный

Автоматически созданное описание

Рис. - Тестируемый модуль lab3\_1.v

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. - Тестбенч модуль tb\_lav3\_1.

Из тестирования заметим, что на данный момент проект не работает корректно

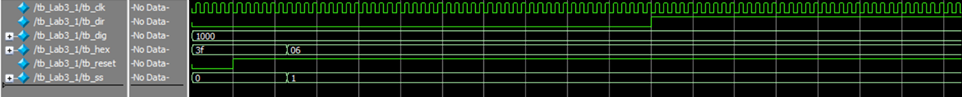


Рис. - Тестирование модуля в ModelSim

Для определения причины ошибки добавим на схему некоторые сигналы из модуля Lab3\_1.

Изображение выглядит как снимок экрана, текст, Мультимедийное программное обеспечение

Автоматически созданное описание

Рис. - Дополнительное тестирование модуля Lab3\_1

Из теста очевидно, что счётчик div\_count не сбрасывается до 1, когда это требуется. Исправим эту ошибку и протестируем модуль снова.

Изображение выглядит как текст, снимок экрана, Шрифт, дисплей

Автоматически созданное описание

Рис. - Исправеленный фрагмент модуля Lab3\_1.v

Вновь запустим тестирование модуля.

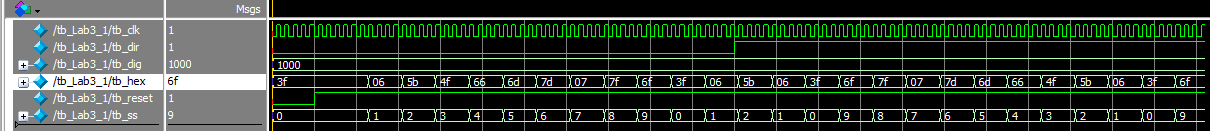


Рис. - Тестирование исправленного модуля Lab3\_1.v

Изображение выглядит как текст, электроника, снимок экрана, число

Автоматически созданное описание

Рис. - Содержимое tb\_mem

Далее добавим IP требуемые для дебага, а именно SP\_unit, PLL\_unit. Рассмотрим дебаг модуль db\_lab3\_1.v

Изображение выглядит как текст, снимок экрана, дисплей, число

Автоматически созданное описание

Рис. - Содержание db\_lab3\_1.v

Выберем этот модуль в качестве сущности верхнего уровня и синтезируем. Рассмотрим в RTLViever полученный результат.

Изображение выглядит как текст, диаграмма, План, снимок экрана

Автоматически созданное описание

Рис. - Результат в RTL Viewer

Далее следует настроить Signal Tap Analyzer и провести компиляцию.

Изображение выглядит как текст, Шрифт, снимок экрана, число

Автоматически созданное описание

Рис. - Результат Timing analyzer

Далее подключим схему и воспользуемся In-system Source and Probes Editor

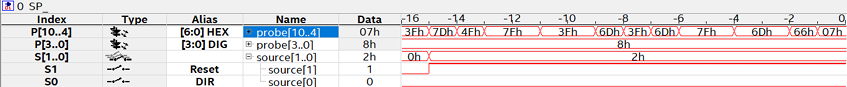


Рис. 11 - In-system Source and Probes Editor

Также проведём тест в SignalTap.



Рис. - Тестирование в SignalTap

Отметим, что, судя по проведённым тестам, существует ошибка, предположительно в Clock divider. Попробуем исправить модуль db\_lab3\_1.v