Санкт-Петербургский политехнический университет Петра Великого

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

**КУРСОВАЯ РАБОТА**

по дисциплине «Языки описания аппаратных средств

вычислительных систем»

Выполнил

студент гр. 5130901/20102

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Вагнер А.А.

(подпись)

Руководитель

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Федотов А.А.

(подпись)

«\_\_\_» \_\_\_\_\_\_\_\_\_\_\_\_\_\_ 2024 г.

Санкт-Петербург   
2024

Оглавление

[1. Задание lab\_s1 6](#_Toc184670537)

[1.1 Текст задания 6](#_Toc184670538)

[1.2 Описания устройств 7](#_Toc184670539)

[1.3 Результаты синтеза в RTLViewer 11](#_Toc184670540)

[1.4 Моделирование и тестирование в Modelsim 13](#_Toc184670541)

[1.5 Тестирование на плате 15](#_Toc184670542)

[2. Задание lab\_2s 15](#_Toc184670543)

[2.1 Текст задания 15](#_Toc184670544)

[2.2 Описание устройств 19](#_Toc184670545)

[2.3 Результат синтеза в RTL Viewer 26](#_Toc184670546)

[2.4 Моделирование и тестирование в Modelsim 31](#_Toc184670547)

[2.5 Тестирование на плате 33](#_Toc184670548)

[3 Задание lab\_3s 33](#_Toc184670549)

[3.1 Текст задания 33](#_Toc184670550)

[3.2 Описание устройств 35](#_Toc184670551)

[3.3 Результат синтеза в RTL Viewer 39](#_Toc184670552)

[3.4 Моделирование и тестирование в Modelsim 40](#_Toc184670553)

[3.5 Тестирование на плате 43](#_Toc184670554)

[4. Выводы 44](#_Toc184670555)

Список иллюстраций

[Рис. 1 - Структура устройства lab\_1s 6](#_Toc184670385)

[Рис. 2 - Наборы данных 7](#_Toc184670386)

[Рис. 3 - Описание модуля cnt\_div 8](#_Toc184670387)

[Рис. 4 - Описание теста 1 класса для cnt\_div 8](#_Toc184670388)

[Рис. 5 - Описание модуля rst\_rg 9](#_Toc184670389)

[Рис. 6 - Описание модуля led\_drv 9](#_Toc184670390)

[Рис. 7 - Описание теста 2 класса для led\_drv 10](#_Toc184670391)

[Рис. 8 - Описание модуля led\_rg 10](#_Toc184670392)

[Рис. 9 - Описание модуля lab\_1s 11](#_Toc184670393)

[Рис. 10 - Описание теста 1 класса для lab\_1s 11](#_Toc184670394)

[Рис. 11 - Результат синтеза для cnt\_div 12](#_Toc184670395)

[Рис. 12 - Результат синтеза для rst\_rg 12](#_Toc184670396)

[Рис. 13 - Результат синтеза для led\_drv 12](#_Toc184670397)

[Рис. 14 - Результат синтеза для led\_rg 12](#_Toc184670398)

[Рис. 15 - Результат синтеза для lab\_1s 13](#_Toc184670399)

[Рис. 16 - Моделирование tb\_cnt\_div 13](#_Toc184670400)

[Рис. 17 - Результат моделирования tb\_led\_drv 13](#_Toc184670401)

[Рис. 18 - Результат тестирования tb\_led\_drb 14](#_Toc184670402)

[Рис. 19 - Результат моделирования tb\_lab\_1s ч.1 14](#_Toc184670403)

[Рис. 20 - Результат моделирования tb\_lab\_1s ч.2 14](#_Toc184670404)

[Рис. 21 - Распределение входов выходов по пинам 15](#_Toc184670405)

[Рис. 22 - Структура модуля ss\_cntr 16](#_Toc184670406)

[Рис. 23 - Граф переходов модуля FSM 18](#_Toc184670407)

[Рис. 24 - Описание модуля rst\_rg 19](#_Toc184670408)

[Рис. 25 - Описание модуля d\_rg 19](#_Toc184670409)

[Рис. 26 - Описание модуля MUX 20](#_Toc184670410)

[Рис. 27 - Описание модуля b2ss 20](#_Toc184670411)

[Рис. 28 - Описание модуля cnt\_div 21](#_Toc184670412)

[Рис. 29 - Описание модуля FSM 21](#_Toc184670413)

[Рис. 30 - Описание модуля ss\_rg 22](#_Toc184670414)

[Рис. 31 - Описание модуля dig\_rg 22](#_Toc184670415)

[Рис. 32 - Описание теста второго класса для MUX 23](#_Toc184670416)

[Рис. 33 - Описание теста второго класса для FSM 24](#_Toc184670417)

[Рис. 34 - Описание модуля ss\_cntr 25](#_Toc184670418)

[Рис. 35 - Описание модуля lab\_2s 26](#_Toc184670419)

[Рис. 36 - Описание теста первого класса tb\_lab\_2s 26](#_Toc184670420)

[Рис. 37 - Результат синтеза rst\_rg 27](#_Toc184670421)

[Рис. 38 - Результат синтеза d\_rg 27](#_Toc184670422)

[Рис. 39 - Результат синтеза MUX2 28](#_Toc184670423)

[Рис. 40 - Результат синтеза b2ss 28](#_Toc184670424)

[Рис. 41 - Результате синтеза cnt\_div 29](#_Toc184670425)

[Рис. 42 - Результат синтеза FSM 29](#_Toc184670426)

[Рис. 43 - SMV для FSM 30](#_Toc184670427)

[Рис. 44 - Результат синтеза ss\_rg 30](#_Toc184670428)

[Рис. 45 - Результат синтеза dig\_rg 31](#_Toc184670429)

[Рис. 46 - Результат синтеза ss\_cntr 31](#_Toc184670430)

[Рис. 47 - Результат синтеза lab\_2s 31](#_Toc184670431)

[Рис. 48 - Фрагмент моделирования модуля tb\_MUX 32](#_Toc184670432)

[Рис. 49 - Фрагмент тестирования модуля tb\_MUX 32](#_Toc184670433)

[Рис. 50 - Моделирование модуля tb\_FSM 32](#_Toc184670434)

[Рис. 51 - Тестирование модуля tb\_FSM 32](#_Toc184670435)

[Рис. 52 - Моделирование модуля tb\_lab\_2s 33](#_Toc184670436)

[Рис. 53 - Распределение входов выходов по пинам 33](#_Toc184670437)

[Рис. 54 - Структурное описание модуля b2bd\_SR 34](#_Toc184670438)

[Рис. 55 - Описание модуля b2bd\_LOG 35](#_Toc184670439)

[Рис. 56 - Описание модуля b2bd\_ROM 35](#_Toc184670440)

[Рис. 57 - Описание модуля b2bd\_SR 36](#_Toc184670441)

[Рис. 58 - Описание модуля lab\_3s 36](#_Toc184670442)

[Рис. 59 - Описание теста второго класса tb\_b2bd\_LOG 37](#_Toc184670443)

[Рис. 60 - Описание теста второго класса tb\_b2bd\_ROM 38](#_Toc184670444)

[Рис. 61 - Описание теста второго класса tb\_b2bd\_SR 39](#_Toc184670445)

[Рис. 62 - Результат синтеза b2bd\_LOG 40](#_Toc184670446)

[Рис. 63 - Результат синтеза b2bd\_ROM 40](#_Toc184670447)

[Рис. 64 - Результат синтеза b2bd\_SR 40](#_Toc184670448)

[Рис. 65 - Результат синтеза lab\_3s 40](#_Toc184670449)

[Рис. 66 - Моделирование модуля tb\_b2bd\_SR, фрагмент 41](#_Toc184670450)

[Рис. 67 - Тестирование модуля tb\_b2bd\_SR, фрагмент 41](#_Toc184670451)

[Рис. 68 - Моделирование модуля tb\_b2bd\_LOG, фрагмент 41](#_Toc184670452)

[Рис. 69 - Тестирование модуля tb\_b2bd\_LOG, фрагмент 42](#_Toc184670453)

[Рис. 70 - Моделирование модуля tb\_b2bd\_ROM, фрагмент 42](#_Toc184670454)

[Рис. 71 - Тестирование модуля tb\_b2bd\_ROM, фрагмент 42](#_Toc184670455)

[Рис. 72 - Распределение пинов в Pin Planner 43](#_Toc184670456)

1. Задание lab\_s1
   1. Текст задания

На языке Verilog разработать иерархическое описание устройства циклического вывода на 8 светодиодов 32-х наборов значений, приведенных в таблице ниже: 0 набор, 1 набор…. 31 набор; 0 набор …. Частота обновления светодиодов – 2 Гц.

Входы:

• clk- тактовый сигнал (25МГц на плате miniDiLaB-СIV).

• rst\_ n - синхронный сброс

o активный уровень – 0.

o на плате miniDiLaB-СIV подключен к кнопке pba Выходы:

• [7:0] dout - выходы данных (на плате miniDiLaB-IV подключены к светодиодам led[7:0]

Изображение выглядит как диаграмма, текст, План, линия

Автоматически созданное описание

Рис. 1 - Структура устройства lab\_1s

Состав устройства:

• cnt\_div – счетчик-делитель с параметризированным коэффициентом деления (при моделировании рекомендуется установить значение не более 5; для синтеза – такое, что бы светодиоды переключались с частотой 2 Гц)

• rst\_rg – синхронизатор сигнала сброса (должен содержать 2 последовательно включенных триггера)

• led\_drv – модуль формирующий циклический вывод указанных наборов на выходы [7:0]dint

• led\_rg – регистр выходных данных.

Изображение выглядит как текст, число, Параллельный, снимок экрана

Автоматически созданное описание

Рис. 2 - Наборы данных

* 1. Описания устройств

Ниже представлены описания всех требуемых модулей на языке SystemVerilog, а также тестов для них.

Изображение выглядит как текст, снимок экрана, дисплей, программное обеспечение

Автоматически созданное описание

Рис. 3 - Описание модуля cnt\_div

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рис. 4 - Описание теста 1 класса для cnt\_div

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рис. 5 - Описание модуля rst\_rg

Изображение выглядит как текст, снимок экрана, дисплей, программное обеспечение

Автоматически созданное описание

Рис. 6 - Описание модуля led\_drv

Изображение выглядит как текст, снимок экрана, число, программное обеспечение

Автоматически созданное описание

Рис. 7 - Описание теста 2 класса для led\_drv

Изображение выглядит как текст, снимок экрана, Шрифт, программное обеспечение

Автоматически созданное описание

Рис. 8 - Описание модуля led\_rg

Изображение выглядит как текст, снимок экрана, дисплей, программное обеспечение

Автоматически созданное описание

Рис. 9 - Описание модуля lab\_1s

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. 10 - Описание теста 1 класса для lab\_1s

* 1. Результаты синтеза в RTLViewer

Изображение выглядит как снимок экрана, диаграмма, линия, График

Автоматически созданное описание

Рис. 11 - Результат синтеза для cnt\_div

Изображение выглядит как текст, снимок экрана, диаграмма, линия

Автоматически созданное описание

Рис. 12 - Результат синтеза для rst\_rg

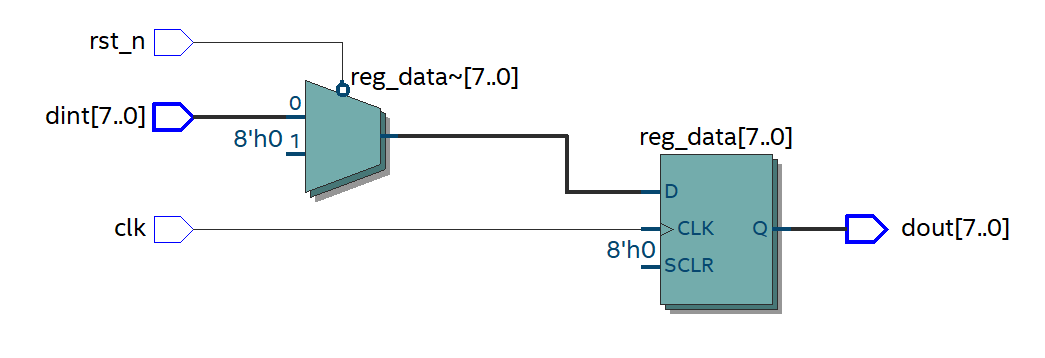


Рис. 13 - Результат синтеза для led\_drv

Изображение выглядит как диаграмма, линия, снимок экрана, График

Автоматически созданное описание

Рис. 14 - Результат синтеза для led\_rg

Изображение выглядит как диаграмма, снимок экрана, План, линия

Автоматически созданное описание

Рис. 15 - Результат синтеза для lab\_1s

* 1. Моделирование и тестирование в Modelsim

Изображение выглядит как текст, снимок экрана, линия, Шрифт

Автоматически созданное описание

Рис. 16 - Моделирование tb\_cnt\_div

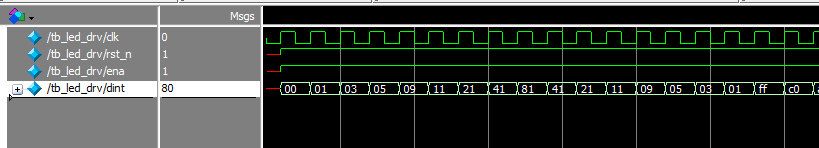


Рис. 17 - Результат моделирования tb\_led\_drv

Изображение выглядит как текст, снимок экрана

Автоматически созданное описание

Рис. 18 - Результат тестирования tb\_led\_drb

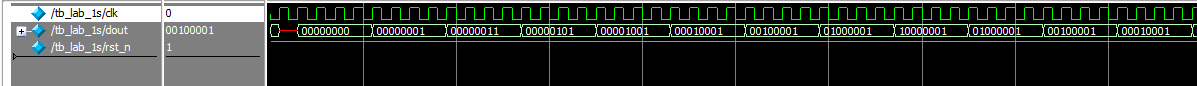


Рис. 19 - Результат моделирования tb\_lab\_1s ч.1

Изображение выглядит как снимок экрана, линия

Автоматически созданное описание

Рис. 20 - Результат моделирования tb\_lab\_1s ч.2

* 1. Тестирование на плате

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. 21 - Распределение входов выходов по пинам

Модуль lab\_1s был синтезирован и протестирован на плате. Результат соответствует спецификации, результат удовлетворительный.

1. Задание lab\_2s
   1. Текст задания

На языке Verilog разработайте

• модуль ss\_cntr – параметризированный (параметр – коэффициент деления счетчика делителя) модуль управления динамическим отображением для 4-х разрядного 7-сегментного индикатора.

• модуль lab\_2s - «оберточный» модуль, осуществляющий:

o подключение к выводам компонента ss\_cntr выводов, имеющихся на плате miniDiLaB-IV;

o задание константных значений входам компонента ss\_cntr;

o задание коэффициента деления для счетчика-делителя. и реализуйте модуль lab\_2s на плате miniDiLaB-СIV.

Изображение выглядит как текст, диаграмма, План, схематичный

Автоматически созданное описание

Рис. 22 - Структура модуля ss\_cntr

Входы:

• clk - тактовый сигнал.

• rst\_ n - сброс всех устройств с памятью модуля ss\_cntr (кроме компонента rst\_rg)

o активный уровень – 0.

o Для FSM реализуется асинхронный сброс.

o Для всех остальных устройств с памятью – синхронный сброс.

• [3:0] A - вход данных А (данные должны отображаться в разряде, помеченном А)

• [3:0] B - вход данных А (данные должны отображаться в разряде, помеченном B)

• [3:0] C - вход данных А (данные должны отображаться в разряде, помеченном C)

• [3:0] D - вход данных А (данные должны отображаться в разряде, помеченном D)

Выходы:

• [6:0] ss - выходы данных для 7-сегментного индикатора

• [4:1] dig - выходы управления включением разрядов 4-х разрядного 7-сегментного индикатора.

o самому левому разряду, помеченному А, соответствует [4]dig.

o на структурной схеме приведены номера выводов СБИС ПЛ платы miniDiLaB-CIV. 2

Состав модуля ss\_cntr

• rst\_rg – синхронизатор сигнала сброса, компонент должен содержать 2 последовательно включенных триггера.

o компонент можно взять из работы lab\_1s.

• d\_rg – компонент, содержащий 4 регистра для хранения 4-х наборов входных данных.

o сигнал rst\_ni обеспечивает синхронный сброс.

• MUX2 – параметризированный мультиплексор 4(Nбит) =>1(N бит),

o реализованный как комбинационная схема, т.е. без регистров на входах и выходе. Параметр N – разрядность мультиплексора (базовое значение = 4).

o Управление адресное - двухразрядный код (коды адреса, обеспечивающие подключение соответствующих входов к выходу, указаны на структуре).

• b2ss – преобразователь двоичного кода в 7-сегментный

o реализованный как комбинационная схема, т.е. без регистров на входах и выходе.

o компонент можно взять из работы lab3\_2.

• cnt\_div – счетчик-делитель с параметризированным коэффициентом деления

o компонент можно взять из работы lab\_1s.

o счетчик делитель должен обеспечить такой коэффициент деления входной частоты, что бы на 7-сегментном индикаторе четко отображались все 4 разряда (коэффициент деления, скорее всего, потребуется подбирать, в качестве базового можно использовать 10 000 – что дает частоту работы модуля FSM = 250Гц).

o сигнал rst\_ni обеспечивает синхронный сброс.

• FSM – конечный автомат, обеспечивающий управление блоком MUX и формирование сигналов включения разрядов 7-сегментного индикатора.

o данные со входа [3:0] А должны отображаться в разряде, помеченном на структуре как А…..

o Сигнал rst\_ni обеспечивает асинхронный сброс автомата.

• ss\_rg – регистр хранения выходных данных 7-сегментного индикатора ([6:0] ss).

o Сигнал rst\_ni обеспечивает синхронный сброс.

• dig\_rg – регистр хранения сигналов управления 7-сегментного индикатора [4:1] dig).

o Сигнал rst\_ni обеспечивает синхронный сброс.

Изображение выглядит как текст, круг, диаграмма, Шрифт

Автоматически созданное описание

Рис. 23 - Граф переходов модуля FSM

Выводы модуля lab\_2s

Входы:

• clk - тактовый сигнал (25МГц на плате miniDiLaB-СIV).

• rst\_n – сброс

o активный уровень – 0.

o на плате miniDiLaB-СIV подключен к кнопке pba

Выходы:

• [6:0] ss - выходы данных для 7-сегментного индикатора

• [4:1] dig - выходы управления включением разрядов 4-х разрядного 7-сегментного индикатора.

Состав модуля lab\_2s

• ss\_rst – компонент разработанного модуля.

* 1. Описание устройств

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рис. 24 - Описание модуля rst\_rg

Изображение выглядит как текст, снимок экрана, дисплей, программное обеспечение

Автоматически созданное описание

Рис. 25 - Описание модуля d\_rg

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рис. 26 - Описание модуля MUX

Изображение выглядит как текст, снимок экрана, число

Автоматически созданное описание

Рис. 27 - Описание модуля b2ss

Изображение выглядит как текст, снимок экрана, дисплей, Шрифт

Автоматически созданное описание

Рис. 28 - Описание модуля cnt\_div

Изображение выглядит как текст, снимок экрана, дисплей, число

Автоматически созданное описание

Рис. 29 - Описание модуля FSM

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рис. 30 - Описание модуля ss\_rg

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рис. 31 - Описание модуля dig\_rg

Изображение выглядит как текст, снимок экрана, число, дисплей

Автоматически созданное описание

Рис. 32 - Описание теста второго класса для MUX

Изображение выглядит как текст, снимок экрана, число, программное обеспечение

Автоматически созданное описание

Рис. 33 - Описание теста второго класса для FSM

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. 34 - Описание модуля ss\_cntr

Изображение выглядит как текст, программное обеспечение, снимок экрана, число

Автоматически созданное описание

Рис. 35 - Описание модуля lab\_2s

Изображение выглядит как текст, снимок экрана, Шрифт, число

Автоматически созданное описание

Рис. 36 - Описание теста первого класса tb\_lab\_2s

2.3 Результат синтеза в RTL Viewer

Изображение выглядит как текст, диаграмма, снимок экрана, линия

Автоматически созданное описание

Рис. 37 - Результат синтеза rst\_rg

Изображение выглядит как текст, диаграмма, снимок экрана, План

Автоматически созданное описание

Рис. 38 - Результат синтеза d\_rg

Изображение выглядит как текст, диаграмма, снимок экрана, линия

Автоматически созданное описание

Рис. 39 - Результат синтеза MUX2

Изображение выглядит как текст, снимок экрана, Шрифт, линия

Автоматически созданное описание

Рис. 40 - Результат синтеза b2ss

Изображение выглядит как снимок экрана, диаграмма, линия, График

Автоматически созданное описание

Рис. 41 - Результате синтеза cnt\_div

Изображение выглядит как текст, диаграмма, снимок экрана, Шрифт

Автоматически созданное описание

Рис. 42 - Результат синтеза FSM

Изображение выглядит как текст, диаграмма, снимок экрана, круг

Автоматически созданное описание

Рис. 43 - SMV для FSM

Изображение выглядит как диаграмма, снимок экрана, линия, текст

Автоматически созданное описание

Рис. 44 - Результат синтеза ss\_rg

Изображение выглядит как текст, снимок экрана, диаграмма, линия

Автоматически созданное описание

Рис. 45 - Результат синтеза dig\_rg

Изображение выглядит как диаграмма, линия, снимок экрана, План

Автоматически созданное описание

Рис. 46 - Результат синтеза ss\_cntr

Изображение выглядит как текст, диаграмма, линия, снимок экрана

Автоматически созданное описание

Рис. 47 - Результат синтеза lab\_2s

* 1. Моделирование и тестирование в Modelsim

Изображение выглядит как снимок экрана, линия, Мультимедийное программное обеспечение, программное обеспечение

Автоматически созданное описание

Рис. 48 - Фрагмент моделирования модуля tb\_MUX

Изображение выглядит как текст, снимок экрана

Автоматически созданное описание

Рис. 49 - Фрагмент тестирования модуля tb\_MUX

Все тесты пройдены успешно, результат удовлетворительный.

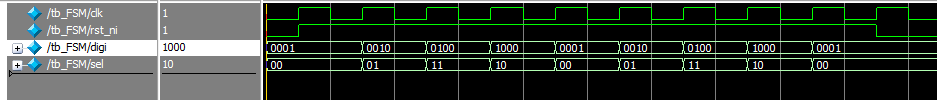


Рис. 50 - Моделирование модуля tb\_FSM

Изображение выглядит как текст, снимок экрана, Шрифт, Цвет электрик

Автоматически созданное описание

Рис. 51 - Тестирование модуля tb\_FSM

Все тесты пройдены успешно, результат удовлетворительный.

Изображение выглядит как снимок экрана, Мультимедийное программное обеспечение, программное обеспечение, Графическое программное обеспечение

Автоматически созданное описание

Рис. 52 - Моделирование модуля tb\_lab\_2s

* 1. Тестирование на плате

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. 53 - Распределение входов выходов по пинам

Модуль lab\_2s был синтезирован и протестирован на плате. Результат соответствует спецификации, результат удовлетворительный.

1. Задание lab\_3s
   1. Текст задания

На языке Verilog разработайте

• модуль b2bd\_SR – последовательный преобразователь двоичного 8-разрядного кода в двоичнодесятичный (Сотни, Десятки, Единицы).

o Допустимо поведенческое (не структурное ) описание модуля.

• Разработайте тест класса 2 и осуществите моделирование.

o Тест должен проверять ВСЕ возможные комбинации 8-разрядного двоичного кода

Изображение выглядит как текст, диаграмма, План, схематичный

Автоматически созданное описание

Рис. 54 - Структурное описание модуля b2bd\_SR

* 1. Описание устройств

Изображение выглядит как текст, снимок экрана, дисплей, число

Автоматически созданное описание

Рис. 55 - Описание модуля b2bd\_LOG

Изображение выглядит как текст, снимок экрана, дисплей, число

Автоматически созданное описание

Рис. 56 - Описание модуля b2bd\_ROM

Изображение выглядит как текст, снимок экрана, программное обеспечение, число

Автоматически созданное описание

Рис. 57 - Описание модуля b2bd\_SR

Изображение выглядит как текст, снимок экрана, дисплей, программное обеспечение

Автоматически созданное описание

Рис. 58 - Описание модуля lab\_3s

Изображение выглядит как текст, снимок экрана, число

Автоматически созданное описание

Рис. 59 - Описание теста второго класса tb\_b2bd\_LOG

Изображение выглядит как текст, снимок экрана, число, программное обеспечение

Автоматически созданное описание

Рис. 60 - Описание теста второго класса tb\_b2bd\_ROM

Изображение выглядит как текст, снимок экрана, число

Автоматически созданное описание

Рис. 61 - Описание теста второго класса tb\_b2bd\_SR

Остальные использованные модули были описаны в предыдущей главе и подключены в данному проекту в качестве библиотеки.

* 1. Результат синтеза в RTL Viewer

Изображение выглядит как диаграмма, План, линия

Автоматически созданное описание

Рис. 62 - Результат синтеза b2bd\_LOG

Изображение выглядит как текст, снимок экрана, диаграмма, линия

Автоматически созданное описание

Рис. 63 - Результат синтеза b2bd\_ROM

Изображение выглядит как диаграмма, линия, снимок экрана, Шрифт

Автоматически созданное описание

Рис. 64 - Результат синтеза b2bd\_SR

Изображение выглядит как диаграмма, линия, снимок экрана, План

Автоматически созданное описание

Рис. 65 - Результат синтеза lab\_3s

* 1. Моделирование и тестирование в Modelsim

Изображение выглядит как снимок экрана, программное обеспечение, Мультимедийное программное обеспечение, линия

Автоматически созданное описание

Рис. 66 - Моделирование модуля tb\_b2bd\_SR, фрагмент

Изображение выглядит как снимок экрана, текст, Цвет Majorelle blue, Цвет электрик

Автоматически созданное описание

Рис. 67 - Тестирование модуля tb\_b2bd\_SR, фрагмент

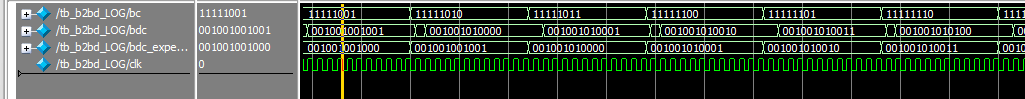


Рис. 68 - Моделирование модуля tb\_b2bd\_LOG, фрагмент

Изображение выглядит как снимок экрана, текст, Цвет Majorelle blue, синий

Автоматически созданное описание

Рис. 69 - Тестирование модуля tb\_b2bd\_LOG, фрагмент

Изображение выглядит как Мультимедийное программное обеспечение, программное обеспечение, Графическое программное обеспечение, снимок экрана

Автоматически созданное описание

Рис. 70 - Моделирование модуля tb\_b2bd\_ROM, фрагмент

Изображение выглядит как снимок экрана, текст, Цвет Majorelle blue, Прямоугольник

Автоматически созданное описание

Рис. 71 - Тестирование модуля tb\_b2bd\_ROM, фрагмент

Все описанные выше тесты были успешно пройдены.

* 1. Тестирование на плате

Изображение выглядит как текст, снимок экрана, число, Параллельный

Автоматически созданное описание

Рис. 72 - Распределение пинов в Pin Planner

Модуль lab\_3s был синтезирован и протестирован на плате. Результат соответствует спецификации, результат удовлетворительный.

1. Выводы

В ходе выполнения данной курсовой работы были применены навыки использования различных функций языка SystemVerilog для написания таких модулей, как счётчики, счётчики-делители, синхронизаторы сигналов, регистры, мультиплексоры, преобразователи двоичного кода в 7-сегментный, конечные автоматы, преобразователи 8-разрядного кода в двоично-десятичный. В том числе в этих модулях были реализованы функции синхронного, асинхронного сброса, загрузки, конвейеризации. Также были применены навыки написания тестов первого и второго класса и тестирования модулей в среде ModelSim (в том числе с подключением сторонних библиотек). Весь функционал модулей соответствует спецификации, работу можно считать удовлетворительной.