Санкт-Петербургский политехнический университет Петра Великого

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

**Отчёт по лабораторному циклу №1 (**TVBuilder**)**

**Изучение возможностей синтеза базовых узлов ЭВМ**

**посредством цифровых микросхем**

**Дисциплина**: Архитектура ЭВМ

Работу выполнил студент группы

№ 5130901/20102 А.А. Вагнер

(подпись)

Работу принял преподаватель О.М. Тарасов

(подпись)

“\_\_\_” \_\_\_\_\_\_\_\_\_\_\_\_\_ 2024 г.

Санкт-Петербург,

2024

**Оглавление**

[3. Теоретические сведения 5](#_Toc182508673)

[4. Выполнение всех заданий в среде TVBuilder 7](#_Toc182508674)

[1. ОЗУ с 10 12-битовыми ячейками и цифровой индикацией 7](#_Toc182508675)

[1.1 Тест задания 7](#_Toc182508676)

[1.2 Принципиальная схема 8](#_Toc182508677)

[1.3 Описание работы схемы 8](#_Toc182508678)

[1.4 Виртуальная сборка схемы 9](#_Toc182508679)

[1.5 Полученные результаты 10](#_Toc182508680)

[2. Память с увеличенной разрядностью данных и цифровой индикацией. 10](#_Toc182508681)

[2.1 Текст задания 10](#_Toc182508682)

[2.2 Принципиальная схема 11](#_Toc182508683)

[2.3 Описание работы схемы 12](#_Toc182508684)

[2.4 Виртуальная сборка схемы 12](#_Toc182508685)

[2.5 Полученные результаты 13](#_Toc182508686)

[3. Ассоциативная память 13](#_Toc182508687)

[3.1 Текст задания 13](#_Toc182508688)

[3.2 Принципиальная схема 14](#_Toc182508689)

[3.3 Описание работы схемы 14](#_Toc182508690)

[3.4 Виртуальная сборка схемы 15](#_Toc182508691)

[3.5 Полученные результаты 15](#_Toc182508692)

[4. Регистровая ассоциативная память с тремя ячейками 16](#_Toc182508693)

[4.1 Текст задания 16](#_Toc182508694)

[4.2 Принципиальная схема 16](#_Toc182508695)

[4.3 Описание работы схемы 17](#_Toc182508696)

[4.4 Виртуальная сборка схемы 17](#_Toc182508697)

[4.5 Полученные результаты 18](#_Toc182508698)

[5. АЛУ 19](#_Toc182508699)

[5.1 Текст задания 19](#_Toc182508700)

[5.2 Принципиальная схема 19](#_Toc182508701)

[5.3 Описание работы схемы 19](#_Toc182508702)

[5.4 Виртуальная сборка схемы 20](#_Toc182508703)

[5.5 Полученные результаты 20](#_Toc182508704)

[6. Восьмиразрядное АЛУ с цифровой индикацией 23](#_Toc182508705)

[6.1 Текст задания 23](#_Toc182508706)

[6.2 Принципиальная схема 23](#_Toc182508707)

[6.3 Описание работы схемы 24](#_Toc182508708)

[6.4 Виртуальная сборка схемы 25](#_Toc182508709)

[6.5 Полученные результаты 25](#_Toc182508710)

[7. Исправленная схема АЛУ 26](#_Toc182508711)

[7.1 Текст задания 26](#_Toc182508712)

[7.2 Принципиальная схема 26](#_Toc182508713)

[7.3 Виртуальная сборка схемы 27](#_Toc182508714)

[8. Четырёхфазный распределитель синхросигналов 29](#_Toc182508715)

[8.1 Текст задания 29](#_Toc182508716)

[8.2 Принципиальная схема 29](#_Toc182508717)

[8.3 Описание работы схемы 30](#_Toc182508718)

[8.4 Виртуальная сборка схемы 30](#_Toc182508719)

[8.5 Полученные результаты 30](#_Toc182508720)

[9. Восьмифазный распределитель синхросигнала 30](#_Toc182508721)

[9.1 Текст задания 30](#_Toc182508722)

[9.2 Принципиальная схема 31](#_Toc182508723)

[9.3 Описание работы схемы 31](#_Toc182508724)

[9.4 Полученные результаты 31](#_Toc182508725)

[5. Выводы 32](#_Toc182508726)

**Список иллюстраций и таблиц**

[Рис. 1 – Принципиальная схема ОЗУ с ячейками памяти 8](#_Toc183123710)

[Рис. 2 – Схема ОЗУ в TVBuilder 9](#_Toc183123711)

[Таблица 1 – Тестирование ОЗУ с ячейками памяти 10](#_Toc183123712)

[Рис. 3 – Принципиальная схема ОЗУ с 4096 адресами 11](#_Toc183123713)

[Рис. 4 - Виртуальная схема ОЗУ с 4096 ячейками памяти 12](#_Toc183123714)

[Таблица 2 – Тестирование ОЗУ с 4096 адресами 13](#_Toc183123715)

[Рис. 5 - Принципиальная схема блока ассоциативной памяти 14](#_Toc183123716)

[Рис. 6 - Виртуальня схема блока ассоциативной памяти 15](#_Toc183123717)

[Таблица 3 – Тестирование блока ассоциативной памяти 15](#_Toc183123718)

[Рис. 7 - Принципиальная съема блока ассоциативной памяти с тремя ячейками 16](#_Toc183123719)

[Рис. 8 – Схема блока ассоциативной памяти с тремя ячейками 17](#_Toc183123720)

[Таблица 4 – Тестирование блока ассоциативной памяти с тремя ячейками 18](#_Toc183123721)

[Рис. 9 - Принципиальная схема АЛУ 19](#_Toc183123722)

[Рис. 10 - Виртуальная схема АЛУ 20](#_Toc183123723)

[Таблица 5 – Тестирование АЛУ ч.1 21](#_Toc183123724)

[Таблица 6 – Тестирование АЛУ ч.2 21](#_Toc183123725)

[Таблица 7 – Тестирование АЛУ ч.3 22](#_Toc183123726)

[Рис. 11 - Принципиальная схема восьмиразрядной АЛУ с цифровой индикацией 23](#_Toc183123727)

[Рис. 12 - Принципиадльная схема восьмиразрядной АЛУ. Приближение сектора вывода результата 24](#_Toc183123728)

[Рис. 13 - Виртуальная схема АЛУ с цифровой индикацией 25](#_Toc183123729)

[Таблица 8 – Тестирование восьмиразрядной АЛУ с цифровой индикацией 25](#_Toc183123730)

[Рис. 14- Принципиальная схема четырёхразрядного АЛУ 26](#_Toc183123731)

[Рис. 15 - Неправильная схема для варианта 3 27](#_Toc183123732)

[Рис. 16 - Неправильная схема для варианта 4 28](#_Toc183123733)

[Рис. 17 - Исправленная схема 29](#_Toc183123734)

[Рис. 18 - Принципиальная схема четырёхфазного распределителя синхросигналов 29](#_Toc183123735)

[Рис. 19 - Виртуальная схема четырёхфазного распределителя синхросигналов 30](#_Toc183123736)

[Рис. 20 - Принципиальная схема восьмифазного распределителя синхросигнала 31](#_Toc183123737)

[Рис. 21 - Виртуальная схема восьмифазного распределителя синхросигнала 31](#_Toc183123738)

**1. Цель работы**

Практическое ознакомление с организацией цифровых устройств малой и средней сложности на основе системы виртуального проектирования TVBuilder.

**2. Программа работы**

1. Изучить принципы построения схем цифровых устройств, выполненных на базе популярных серий микросхем отечественного и зарубежного производства.
2. Освоить принципы сборки устройств памяти.
3. Освоить принципы сборки арифметико-логических устройств.
4. Освоить принципы сборки вспомогательных цифровых устройств.
5. Изучить принципы отладки указанных цифровых устройств.

3. Теоретические сведения

Устройство памяти (RAM, Random Access Memory) — это устройство для временного хранения данных и команд, доступных для чтения и записи. Оно характеризуется высокой скоростью доступа, но не сохраняет данные при выключении питания.

Разрядность памяти — это количество битов, которые можно хранить или обрабатывать. Увеличение разрядности памяти означает способность хранить и обрабатывать больше данных одновременно.

Ячейка памяти — это область памяти компьютера, в которой хранятся данные и инструкции. Каждая ячейка адресной памяти имеет свой уникальный адрес, по которому можно получить к ней доступ.

Разрядность адреса — это количество бито в в адресе, используемом для доступа к ячейкам памяти. Увеличение разрядности адреса позволяет адресовать большее количество ячеек памяти.

Арифметико-логическое устройство (АЛУ) – это устройство, предназначенное для выполнения арифметических и логических операций над данными.

Операции АЛУ – это операции, которое выполняет АЛУ, такие как сложение, вычитание, умножение, деление, а также операции логического И, ИЛИ, и др.

Комбинационная логика: АЛУ обычно реализуется с помощью комбинационной логики, что означает, что операции выполняются на основе текущих входных данных, без учета предыдущих состояний устройства.

Логической схемой называется схема соединения логических и запоминающих элементов, предназначенная для переработки (преобразования) дискретной кодированной информации (например, двоичной).

Логическим элемент — элемент, который выполняет элементарную логическую операцию над двоичными сигналами, поступающими на его входы. Логические элементы также называются вентилями.

Счётчик — типовой последовательностный логический узел, предназначенный для подсчёта числа входных импульсов и параллельной выдачи соответствующего кода.

Устройство умножения: выполняет операцию умножения двух чисел. Эта операция может быть разделена на более простые шаги, такие как умножение в двоичной системе счисления, сложение и сдвиги.

Сдвиговые регистры: представляют собой устройства для последовательного сдвига битовых данных влево или вправо. Они могут использоваться для выполнения операций сдвига, которые могут понадобиться при умножении чисел.

D триггеры — это элементы памяти, которые могут хранить один бит информации. Они могут быть использованы для временного хранения данных и управления последовательностью операций.

Таймер — это устройство, предназначенное для измерения времени, генерации временных задержек или выполнения временных операций. Двухканальный таймер позволяет управлять двумя независимыми таймерами на одном устройстве.

Частота тактового сигнала: определяет, как быстро счетчик считает импульсы.

Режимы работы: Счетчик может иметь различные режимы работы, такие как режим счета вверх или вниз.

Микросхема 132РУ9А — обеспечивает работу ОЗУ, состоящего из 1024 слов по 4 разряда каждое.  
Она поддерживает два режима: чтение и запись. Для записи на адресные входы (An-1 – А0) устанавливается адрес нужной ячейки, а на входы данных (Dm-1 – D0) — записываемая информация. Для чтения на адресные входы (An-1 – А0) подается адрес ячейки, микросхема активируется сигналом (CS) ̅, и при подаче сигнала W/R происходит чтение данных.

Ассоциативная память — обеспечивает самый быстрый доступ, так как поиск осуществляется не по адресу, а по содержимому (ассоциативному признаку). Вся память сканируется одновременно.  
Поиск по ассоциативному признаку может привести к одному из трех возможных результатов: совпадение информации в одном из регистров; совпадение информации в нескольких регистрах; отсутствие совпадений во всех регистрах.

Арифметико-логическое устройство (АЛУ) — выполняет арифметические и логические операции над подаваемыми на вход числами. Тип выполняемой операции определяется сигналами, поступающими на входы управляющих сигналов и режима работы.

Дешифратор — это комбинационная схема с несколькими входами и выходами. Он преобразует двоичный или двоично-десятичный код в унитарный. Имея N входов, дешифратор имеет 2^N выходов. Это позволяет преобразовывать различные комбинации входных сигналов в активные выходные сигналы, подаваемые с определенных выводов микросхемы.

1. Выполнение всех заданий в среде TVBuilder
2. ОЗУ с 10 12-битовыми ячейками и цифровой индикацией
   1. Тест задания

Разработать схему устройства памяти, которая будет иметь разрядность данных 12, с использованием микросхем памяти КР132РУ9А.

* 1. Принципиальная схема

Изображение выглядит как текст, диаграмма, План, Технический чертеж

Автоматически созданное описание

Рис. – Принципиальная схема ОЗУ с ячейками памяти

* 1. Описание работы схемы

Устройство на данной схеме реализует 12-разрядную память, позволяя записывать и считывать данные по заданному адресу.  
Для увеличения разрядности памяти в три раза необходимо добавить два дополнительных блока памяти, которые подключаются к общей шине данных (ШД) и шине адреса (ША). Это обеспечит возможность увеличения объема данных, доступных для записи и чтения по одному адресу, втрое.

При работе с памятью шина адреса (ША) указывает адрес требуемой ячейки, а шина данных (ШД) передает данные для записи. Выбор группы элементов памяти производится сигналом CS (выбор чипа), а режим записи или чтения данных устанавливается сигналом W/R. Результат чтения отображается на светодиодах Q0-Q11, что позволяет использовать его для дальнейшей обработки данных в системе.

* 1. Виртуальная сборка схемы

Изображение выглядит как текст, снимок экрана, диаграмма

Автоматически созданное описание

Рис. – Схема ОЗУ в TVBuilder

* 1. Полученные результаты

|  |  |  |
| --- | --- | --- |
| Адрес A9-A0 | Ввод D11-D0 | Вывод Q11-Q0 |
| 0000000000 | 000000000101 | 000000000101 |
| 0000001100 | 011000000001 | 011000000001 |
| 1010101010 | 111111111111 | 111111111111 |
| 1101101101 | 100000000000 | 100000000000 |

Таблица 1 – Тестирование ОЗУ с ячейками памяти

Сначала запишем по адресу 0000000000 значение 000000000101. Действительно, в результате записи то же значение появляется на выводе Q. Подобные действия проведены с различными наборами входных данных. Результат соответствует спецификации.

1. Память с увеличенной разрядностью данных и цифровой индикацией.
   1. Текст задания

Проектирование схемы и сборка четырехразрядной памяти на микросхемах 132РУ9А с расширением адресного пространства до 4096 ячеек.

* 1. Принципиальная схема

Изображение выглядит как диаграмма, Технический чертеж, План, схематичный

Автоматически созданное описание

Рис. – Принципиальная схема ОЗУ с 4096 адресами

* 1. Описание работы схемы

Дешифратор позволяет увеличить количество доступных адресов. Сигналы A10 и A11 подаются на вход дешифратора, который выдает единицы на трех выходах и ноль на одном. Эти четыре сигнала подключаются к входам CS четырех микросхем 132РУ9А. Изменяя значения сигналов A10 и A11, можно выбирать одно из четырех независимых ОЗУ, обеспечивая доступ к 4096 ячейкам памяти.

* 1. Виртуальная сборка схемы

Изображение выглядит как текст, снимок экрана, диаграмма, Шрифт

Автоматически созданное описание

Рис. - Виртуальная схема ОЗУ с 4096 ячейками памяти

* 1. Полученные результаты

|  |  |  |
| --- | --- | --- |
| Адрес A11 A10 | A9-A0 | Ввод D3 D2 D1 D0 | Вывод Q3 Q2 Q1 Q0 |
| 00 | 0000000000 | 0101 | 0101 |
| 11 | 0000000001 | 1010 | 1010 |
| 01 | 0001100000 | 1111 | 1111 |
| 10 | 1100000000 | 0000 | 0000 |

Таблица 2 – Тестирование ОЗУ с 4096 адресами

Попробуем записать значение 0101 по нулевому адресу. Действительно в момент записи на Q появляется заданное значение D и не исчезает при переключении активной ячейки на другую и обратно. Подобные действия повторены с разными наборами входных данных, особое внимание следует уделить использованию разных конфигураций входных данных A11 A10, так как они отвечают за выбор ОЗУ, на который будет записано значение

1. Ассоциативная память
   1. Текст задания

Проектирование схемы и сборка ассоциативной памяти с тремя ячейками на основе микросхем К1531ИР22 и К531ИП3.

* 1. Принципиальная схема

Изображение выглядит как текст, диаграмма, План, Технический чертеж

Автоматически созданное описание

Рис. - Принципиальная схема блока ассоциативной памяти

* 1. Описание работы схемы

Сигналы D3-D0 подаются на входы регистра, и при нажатии соответствующей кнопки эти данные записываются в регистр. Сохраненные значения затем сравниваются с данными, уже находящимися в регистрах, если входные сигналы D3-D0 совпадают с данными в регистре, на выходе компаратора появляется сигнал единицы.

* 1. Виртуальная сборка схемы

Изображение выглядит как текст, снимок экрана, диаграмма, схема

Автоматически созданное описание

Рис. - Виртуальня схема блока ассоциативной памяти

* 1. Полученные результаты

|  |  |
| --- | --- |
| Действие | Вывод |
| Запись 1010 в C1 | Q0 = 1 |
| Изменение значения D на 1000 без записи в ячейку | Q0 = 0 |
| Возврат D к значению 1010 без записи | Q0 = 1 |

Таблица 3 – Тестирование блока ассоциативной памяти

В ходе проверки этого блока памяти следует записать в одну из ячеек набор данных, например 1010. Далее следует изменить набор данных, не производя при этом записи в ячейку и проверить, будет ли ожидаемый 0 на выходе Q соответствующей ячейки. Подобные действия были проделаны со всеми тремя ячейками

1. Регистровая ассоциативная память с тремя ячейками
   1. Текст задания

Проектирование схемы и сборка регистровой ассоциативной памяти с тремя ячейками на базе микросхем К1531ИР22 и К531ИП3.

* 1. Принципиальная схема

Изображение выглядит как диаграмма, текст, План, Технический чертеж

Автоматически созданное описание

Рис. - Принципиальная съема блока ассоциативной памяти с тремя ячейками

* 1. Описание работы схемы

Сначала по сигналу С1 в регистр Рг 1 записывается первый адрес, а по сигналу С2 — второй адрес в регистр Рг 2. После этого, установив первый адрес на шину адреса (ША), данные с шины данных (ШД) заносятся в регистр Рг 4 по сигналу записи/чтения (W/R). Затем, установив второй адрес на ША, данные с ШД записываются в регистр Рг 5, также по сигналу W/R. В дальнейшем, устанавливая на ША первый, второй или третий адрес, можно читать информацию соответственно из регистра Рг 4, Рг 5 или Рг 6.

* 1. Виртуальная сборка схемы

Изображение выглядит как текст, снимок экрана, схема, дизайн

Автоматически созданное описание

Рис. – Схема блока ассоциативной памяти с тремя ячейками

* 1. Полученные результаты

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A3-A0 | C3 C2 C1 | D3-D0 | WR | Прим. | Q3-Q0  (Рг6) | Q3-Q0  (Рг5) | Q3-Q0  (Рг4) | Прим. |
| 1010 | 1 0 0 | - | 0 | Запись адреса  в Рг3 | - | - | - | - |
| 0101 | 0 1 0 | - | 0 | Запись адреса  в Рг2 | - | - | - | - |
| 1111 | 0 0 1 | - | 0 | Запись адреса  в Рг1 | - | - | - | - |
| 1010 | 0 0 0 | 1010 | 1 | Запись данных  в Рг6 | 1010 | - | - | - |
| 0101 | 0 0 0 | 0101 | 1 | Запись данных  в Рг5 | - | 0101 | - | - |
| 1111 | 0 0 0 | 1111 | 1 | Запись данных  в Рг4 | - | - | 1111 | - |
| 1010 | 0 0 0 | - | 0 | - | 1010 | - | - | Чтение данных из Рг6 |
| 0101 | 0 0 0 | - | 0 | - | - | 0101 | - | Чтение данных из Рг5 |
| 1111 | 0 0 0 | - | 0 | - | - | - | 1111 | Чтение данных из Рг4 |
| 1001 | 0 0 0 | - | 0 | - | - | - | - | Нет данных по адресу |
| 0110 | 0 0 0 | - | 0 | - | - | - | - | Нет данных по адресу |

Таблица 4 – Тестирование блока ассоциативной памяти с тремя ячейками

Сначала последовательно запишем адреса 1010, 0101, 1111 в Рг3, Рг2 и Рг1 соответственно. Далее (по WR = 1) запишем данные по этим адресам: 1010, 0101, 1111 в Рг6, Рг5 и Рг4 соответственно. Прочитаем данные по адресам 1010, 0101, 1111, 1001, 0110 и проверим, совпадают ли они с ранее записанными. Результат соответствует спецификации.

1. АЛУ
   1. Текст задания

Проектирование схемы АЛУ.

* 1. Принципиальная схема

Изображение выглядит как диаграмма, План, Технический чертеж, схематичный

Автоматически созданное описание

Рис. - Принципиальная схема АЛУ

* 1. Описание работы схемы

На входы АЛУ подаются два 4-разрядных операнда, а также управляющие сигналы, задающие одну из 16 функций. Дополнительно имеется вход переноса и сигнал M, который переключает между арифметическим и логическим режимами, что позволяет реализовать 32 различные функции. Результат выполнения операции отображается на выходах Q3-Q0.

* 1. Виртуальная сборка схемы

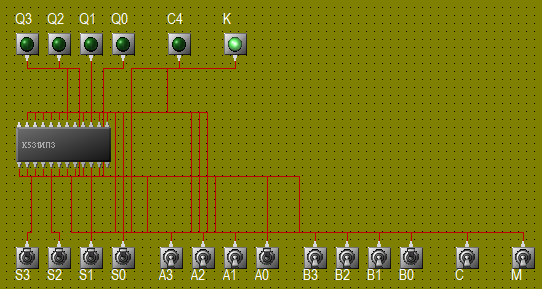


Рис. - Виртуальная схема АЛУ

* 1. Полученные результаты

Было проведено исследование работы АЛУ в режиме арифметических операций (т.е. при М = 0). Ниже представлены некоторые из доступных операций.

|  |  |  |  |
| --- | --- | --- | --- |
| S3S2S1S0 | C | M | Тип операции |
| 0000 | 0 | 0 | F= A |
| 0110 | 1 | 0 | F= A - B |
| 1001 | 0 | 0 | F= A + B |
| 1100 | 0 | 0 | F= A \* 2 |
| 1111 | 0 | 0 | F= A - 1 |

Таблица 5 – Тестирование АЛУ ч.1

Подобное же исследование было проведено в режиме логических операций (М = 1).

|  |  |  |  |
| --- | --- | --- | --- |
| S3S2S1S0 | C | M | Тип операции |
| 0000 | 0 | 1 | F= !A |
| 0001 | 0 | 1 | F= !(A+B) |
| 0101 | 0 | 1 | F= !B |
| 1010 | 0 | 1 | F= B |
| 1011 | 0 | 1 | F= A\*B |
| 1110 | 0 | 1 | F=A+B |

Таблица 6 – Тестирование АЛУ ч.2

Далее представлена таблица с результатом работы АЛУ с различными наборами входных данных. В ячейку А и В вводятся входные числа, а в S – код применяемой операции.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| A3A2A1A0 | B3B2B1B0 | S3S2S1S0 | C | C4 | F3F2F1F0 |
| 0001 | 0001 | 1001 | 0 | 0 | 0010 |
| 0100 | 0011 | 1001 | 0 | 0 | 0111 |
| 0111 | 0101 | 1001 | 0 | 0 | 1100 |
| 0110 | 0100 | 1001 | 0 | 0 | 1010 |
| 1100 | 1010 | 1001 | 0 | 1 | 0110 |
| 1011 | 1011 | 1001 | 0 | 1 | 0110 |
| 1010 | 0101 | 0110 | 1 | 1 | 0101 |
| 1111 | 0100 | 0110 | 1 | 1 | 1011 |
| 0111 | 0010 | 0110 | 1 | 1 | 0101 |
| 0101 | 0011 | 0110 | 1 | 1 | 0010 |

Таблица 7 – Тестирование АЛУ ч.3

1. Восьмиразрядное АЛУ с цифровой индикацией
   1. Текст задания

Проектирование схемы восьмиразрядного АЛУ с цифровой индикацией.

* 1. Принципиальная схема

Изображение выглядит как диаграмма, План, Технический чертеж, схематичный

Автоматически созданное описание

Рис. - Принципиальная схема восьмиразрядной АЛУ с цифровой индикацией

Изображение выглядит как диаграмма, текст, План, Технический чертеж

Автоматически созданное описание

Рис. - Принципиадльная схема восьмиразрядной АЛУ. Приближение сектора вывода результата

* 1. Описание работы схемы

Поскольку АЛУ работает с операндами по 4 разряда, для создания 8-разрядного АЛУ потребуется две такие микросхемы. Первое АЛУ обрабатывает младшие 4 разряда операндов A и B, а второе — старшие. Выход переноса первого АЛУ подключается ко входу переноса второго для передачи значения переноса между разрядами. Чтобы сравнить числа A и B, нужно использовать оба выхода компаратора, подавая их на логический элемент &.

* 1. Виртуальная сборка схемы

Изображение выглядит как текст, снимок экрана, диаграмма, схема

Автоматически созданное описание

Рис. - Виртуальная схема АЛУ с цифровой индикацией

* 1. Полученные результаты

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A7-A0 | B7-B0 | S3-S0 | C | C4 F7-F0 |
| 01111111 | 01111110 | 0110 | 1 | 1 00000001 |
| 00001100 | 00000100 | 0110 | 1 | 1 00001000 |
| 00001100 | 00000100 | 1001 | 0 | 0 00010000 |
| 11111111 | 11111111 | 1001 | 0 | 1 11111110 |
| 00000011 | 00000000 | 1001 | 0 | 00000011 |

Таблица 8 – Тестирование восьмиразрядной АЛУ с цифровой индикацией

Тест этого модуля подобен тесту, описанному в предыдущем пункте. Единственной разницей является разрядность входных данных.

1. Исправленная схема АЛУ
   1. Текст задания

Исправить схемы АЛУ 3 и 4 в соответствии с вариантом.

* 1. Принципиальная схема

Изображение выглядит как диаграмма, План, Технический чертеж, схематичный

Автоматически созданное описание

Рис. - Принципиальная схема четырёхразрядного АЛУ

* 1. Виртуальная сборка схемы

Изображение выглядит как текст, снимок экрана, диаграмма, схема

Автоматически созданное описание

Рис. - Неправильная схема для варианта 3

В результате проверки была обнаружена неисправность схемы в.3 – в нём отсутствует соединение между переключателем S1 и соответствующим пином микросхемы.

Изображение выглядит как текст, снимок экрана, диаграмма, Шрифт

Автоматически созданное описание

Рис. - Неправильная схема для варианта 4

Неисправностью данной схемы является отсутствие соединения между переключателем B2 и соответствующим пином микросхемы.

Исправленная схема для обоих вариантов выглядит идентично. Ей виртуальная сборка представлена ниже.

Изображение выглядит как текст, снимок экрана, Шрифт, диаграмма

Автоматически созданное описание

Рис. - Исправленная схема

1. Четырёхфазный распределитель синхросигналов
   1. Текст задания

Синтез и сборка четырёхфазного распределителя синхросигналов на микросхемах К555ИЕ5 и К1533ИД4.

* 1. Принципиальная схема

Изображение выглядит как диаграмма, План, Технический чертеж, линия

Автоматически созданное описание

Рис. - Принципиальная схема четырёхфазного распределителя синхросигналов

* 1. Описание работы схемы

Кнопка подает сигнал на вход C0, и при ее нажатии значение на выходе счетчика увеличивается на единицу. Счетчик выдает значения от 0 до 3, которые поступают на дешифратор. На выходе дешифратора появляются три единицы и один ноль, причем при увеличении значения счетчика ноль последовательно сдвигается на разряд вправо.

* 1. Виртуальная сборка схемы

Изображение выглядит как текст, снимок экрана, схема, Электронная техника

Автоматически созданное описание

Рис. - Виртуальная схема четырёхфазного распределителя синхросигналов

* 1. Полученные результаты

Лишь на одном разряде возникает ноль и при повторном нажатии кнопки, сдвигается вправо. При достижении старшего разряда, ноль возвращается в крайнее левое положение

1. Восьмифазный распределитель синхросигнала
   1. Текст задания

Синтез и сборка восьмифазного распределителя синхросигнала при помощи счётчика и дешифраторов

* 1. Принципиальная схема

Изображение выглядит как диаграмма, План, Технический чертеж, схематичный

Автоматически созданное описание

Рис. - Принципиальная схема восьмифазного распределителя синхросигнала

* 1. Описание работы схемы

Изображение выглядит как текст, снимок экрана, схема, диаграмма

Автоматически созданное описание

Рис. - Виртуальная схема восьмифазного распределителя синхросигнала

* 1. Полученные результаты

Работа данной схеме аналогична действию распределителя с 4 разрядами. При возникновении фронта сигнала с кнопки, положительный сигнал сдвигается на один разряд вправо.

1. Выводы

Во время выполнения данной работы была приобретена практика работы в среде TVBuilder, а также синтеза принципиальных схем по заданной спецификации. Данный подход наглядно показал внутреннее устройство некоторых устройств. Тем не менее он обладает серьёзными недостатками – проекты, выполненные в среде TVBuilder, тяжело масштабировать, ввиду невозможности сохранить уже синтезированный блок и применить его в составлении последующих модулей.

Из первых пунктов работы нетрудно определить метод расширения количество бит памяти при помощи дополнительных дешифраторов и ячеек ОЗУ. Так во втором пункте при помощи дешифратора 1533ИД4 получилось расширить число допустимых адресов до 4096.

Также был сделан вывод о доступности реализации цифровой индикации при помощи последовательно соединённых дешифраторов и индикатора.

Ассоциативная память позволяет параллельно обращаться к данным, что дает возможность проверять несколько значений одновременно и повышает общую эффективность работы. В отличие от обычного поиска по адресу, ассоциативная память ищет данные по содержимому, что ускоряет доступ.

При выполнении последующих пунктов возникла необходимость масштабировать разрядность АЛУ. Подобно ОЗУ, АЛУ масштабируется путём задействования большего количества ячеек АЛУ и дешифраторов. При этом стоит учитывать, что при работе с 8-разрядными данными производительность может снизиться по сравнению с использованием специализированного 8-разрядного АЛУ.  
  
В ходе выполнения пунктов 8 и 9 были сделаны выводы относительно возможных устройств распределителя синхросигнала. Если сигнал двухфазный, достаточно использовать один вентиль НЕ, при необходимости разделять синхросигнал на большее количество фаз, следует использовать счётчик с дешифратором.