Министерство образования и науки Российской Федерации

Федеральное государственное бюджетное образовательное учреждение высшего профессионального образования

“Санкт-Петербургский государственный политехнический университет”

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

**Отчёт по лабораторной работе №9**

по дисциплине “Схемотехника операционных устройств”

на тему “Исследование дешифраторов и мультиплексоров”

Выполнил студент группы 5130901/20003

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Вагнер А.А.

Принял преподаватель

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Киселёв И.О.

“\_\_” \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ 2024 года

Санкт-Петербург

2024

**Цель работы**

− исследование характеристик реализации дешифраторов и мультиплексоров;

− получение навыков работы с дешифраторами и мультиплексорами в различных устройствах;

− получение навыков по организации параллельной обработки данных и по использованию операционных узлов в режиме разделения времени.

**Вариант**

**Изображение выглядит как текст, снимок экрана, линия, Шрифт

Автоматически созданное описание**

**Ход работы**

1. **Исследование работы дешифратора на основе мегафункции LPM\_DECODER**

Двоичный дешифратор преобразует двоичный код в унитарный. Количество нулей после единицы должно равняться подаваемому на вход двоичному числу. Используя счётчик появляется возможность использовать дешифратор на базе тактового входного сигнала — с каждым тактом счётчик увеличивает число, подаваемое на вход дешифратора.

Рис. 1 – Схема дешифратора

Изображение выглядит как текст, линия, снимок экрана, число

Автоматически созданное описание

Рис.2 – Моделирование работы дешифратораИзображение выглядит как текст, снимок экрана, число, Параллельный

Автоматически созданное описание

1. **Разработка преобразователя кода с заполнением единицами**

С помощью логических элементов 2ИЛИ построим преобразователь кода с заполнением единицами входов.

Рис. 3 – Схема преобразователя с заполнением единицами выходовИзображение выглядит как текст, диаграмма, План, линия

Автоматически созданное описание

Рис. 4 – Моделирование КСИзображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Подключим ко входу преобразователь кода на счётчике генератора «треугольного сигнала». При реализации данной схемы на ПЛИС светодиоды загорались с младших разрядов в сторону увеличения разрядности, и угасали в обратном порядке. Младший разряд всегда оставался погасшим. 24-разрядный счётчик соответствует варианту 2Гц.

Рис. 5 – Схема для тестирования на стенде

Изображение выглядит как текст, диаграмма, линия, План

Автоматически созданное описание

1. **Реализация заданной ЛФ на основе LPM\_MUX**

При помощи мультиплексора реализуем на КС функцию соответствующую таблице истинности: 2,3,7,8,13

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| N | x3 | x2 | x1 | x0 | F | D |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 2 | 0 | 0 | 1 | 0 | 1 | x1 |
| 3 | 0 | 0 | 1 | 1 | 1 |
| 4 | 0 | 1 | 0 | 0 | 0 | 0 |
| 5 | 0 | 1 | 0 | 1 | 0 |
| 6 | 0 | 1 | 1 | 0 | 0 | x0 |
| 7 | 0 | 1 | 1 | 1 | 1 |
| 8 | 1 | 0 | 0 | 0 | 1 | !x0 |
| 9 | 1 | 0 | 0 | 1 | 0 |
| 10 | 1 | 0 | 1 | 0 | 0 | 0 |
| 11 | 1 | 0 | 1 | 1 | 0 |
| 12 | 1 | 1 | 0 | 0 | 0 | x0 |
| 13 | 1 | 1 | 0 | 1 | 1 |
| 14 | 1 | 1 | 1 | 0 | 0 | 0 |
| 15 | 1 | 1 | 1 | 1 | 0 |

Рис.6 – КС реализующая ЛФ

Изображение выглядит как текст, снимок экрана, диаграмма, число

Автоматически созданное описание

Рис.7 – Моделирование данной КС

Изображение выглядит как текст, линия, Шрифт, График

Автоматически созданное описание

Очевидно пин result принимает 1 лишь при значениях x, указанных в варианте.

1. **Преобразователь параллельного кода в последовательный.**

Для данного преобразователя потребуется применить 24-разрядный мультиплексор и счётчик.

Рис.8 – КС преобразователя

Изображение выглядит как текст, снимок экрана, диаграмма, линия

Автоматически созданное описание

Рис.9 – Моделирование КС преобразователя ч.1

Изображение выглядит как текст, снимок экрана, линия, Шрифт

Автоматически созданное описание

Рис.10 – Моделирование КС преобразователя ч.2

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис.11 – Моделирование КС преобразователя ч.3

Изображение выглядит как текст, снимок экрана, линия, число

Автоматически созданное описание

1. **Шифратор позиционного кода в четырёхразрядный двоичный код.**

Для данного устройства потребуется применить счётчик, перебирающий элементы мультиплексора до получения 1, после чего работа прекратится.

Рис. 12 – КС шифратора

Изображение выглядит как текст, снимок экрана, диаграмма, линия

Автоматически созданное описание

Рис. 13 – Моделирование КС

Изображение выглядит как текст, снимок экрана, линия, Шрифт

Автоматически созданное описание

1. **Сумматор 10-разрядных данных от 4 потоков в режиме разделения времени**

Если производительность обработки данных существенно превышает интенсивность их поступления, то в этом случае существенное сокращение аппаратурных затрат может быть получено при организации обработки в режиме разделения времени.

Входные данные поступают по 4 каналам A[9..0][3...0] и B[9..0][3...0]с частотой clkx1, и данные в каждом канале должны быть просуммированы. Сумматор может обеспечивать суммирование с частотой clkx3, в три раза превышающей частоту clkx1. Счётчик с модулем счёта 4 с частотой clkx3 последовательно устанавливает на входах регистров данные трёх каналов. Просуммированные данные каждого канала записываются в выходные регистры, разрешение записи в которые выдаёт дешифратор.

Рис. 14 – КС сумматора в режиме разделения времени

Изображение выглядит как текст, диаграмма, снимок экрана, линия

Автоматически созданное описание

Рис.15 – Моделирование данной КС

Изображение выглядит как текст, снимок экрана, число, Параллельный

Автоматически созданное описание

**Вывод**

В данной работе было проведено исследование дешифраторов и мультиплексоров, их свойств и способов применения. Были получены навыки работы с дешифраторами и мультиплексорами, также была изучена работа устройства суммирования данных от нескольких потоков на одном сумматоре в режиме разделения времени.