

VC707_SiTCP_XG_EEPROM 解説

Ver 1.0

2021 年 4 月 1 日

来歴		
Ver	日付	変更内容
1.0	2021/04/01	初版制定

株式会社 BeeBeans Technologies

1 概要

提供する「VC707_SiTCP_XG_EEPROM」(以後、本ファイル)は、Xilinx 社製評価ボード VC707 用です。SFP ケージに 10GbE 用 SFP+を実装して使用して下さい。また、MGT クロックにクロックを供給するため USER GPIO を使用します。USER GPIO と MGT クロックを接続する等長の 2 本の SMA コネクタ付き 50Ω 同軸ケーブルが必要になります。接続については、後述します。

表 1-1 にファイル一覧を示します。本ファイルには「ten_gig_eth_pcs_pma」モジュールが含まれていません。Xilinx 社の Vivado Design Suite(以後 Vivado)で作成して下さい。作成方法については後述します。

表 1-1 ファイル一覧

項番	ファイル名	説明
1	VC707_SiTCP_XG_EEPROM.v	トップモジュール
2	VC707_SiTCP_XG_EEPROM.xdc	制約ファイル
3	RBCP_TEST.v	RBCP のサンプルソース
4	TCP_TEST.v	TCP のサンプルソース
5	AT93C46_IIC.v	AT93C46 エミュレーション
6	BRAM128_9B9B.v	ブロック RAM 定義
7	PCA9548_SW.v	IIC スイッチ制御
8	IIC_CTL.v	IIC インタフェース
9	IIC_CORE.v	IIC シーケンスジェネレータ
10	SiTCPXG_XC7V_128K_V1.v	SiTCPXG のポート宣言
11	SiTCPXG_XC7V_128K_V1.edf	SiTCPXG の本体
12	TIMER_SiTCPXG.v	SiTCPXG 用タイマ
13	WRAP_SiTCPXG_XC7V_128K.v	SiTCPXG 用ラッパ

■ SiTCPXG のライブラリとして提供されています。

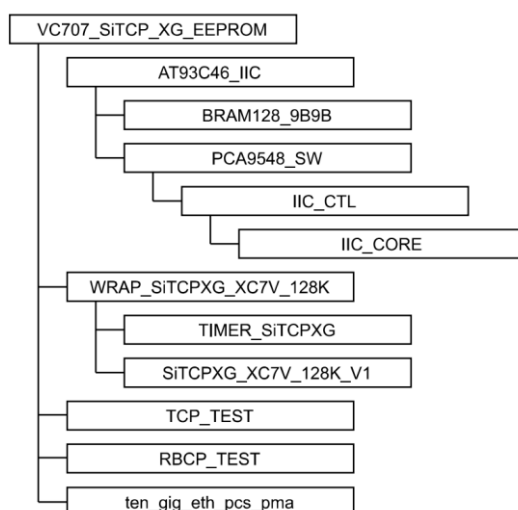


図 1-1 階層構造

2 10G Ethernet PCS/PMA の IP コア生成

プロジェクトを作った後に `tem_gig_eth_pcs_pma` モジュールを作成して下さい。Vivado 2020.2 で作成した場合です。バージョンの違いによりトップモジュールでインスタンス化しているモジュールとポートが一致しない場合があります。その場合は適時トップモジュールを修正して下さい。

VIVADO の[IP Catalog]をクリックします。[IP Catalog]のタブが表示されるので[Communication & Networking]を開き、[Ethernet]を開くと[10G Ethernet PCS/PMA(10GBASE-R/KR)]が表示されるので、これをクリックします(図 2-1 参照)。

[Component Name]を「`ten_gig_eth_pcs_pma`」に設定します。

[Configuration - BASE-R]のタブでは、[XGMII Datapath Width]を 64bit にし、[MDIO Management]にチェックを入れて[DRP Clocking-Frequency(MHz)]を 156.25MHz に設定します。

[Shared Logic]のタブでは、[include Shared Logic in Core]を選択します。

この状態で[OK]をクリックして IP を作ります。

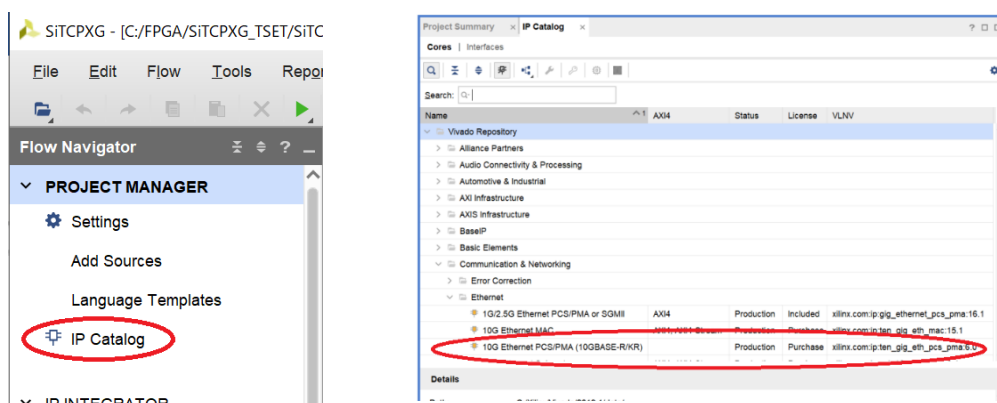


図 2-1 IP の選択

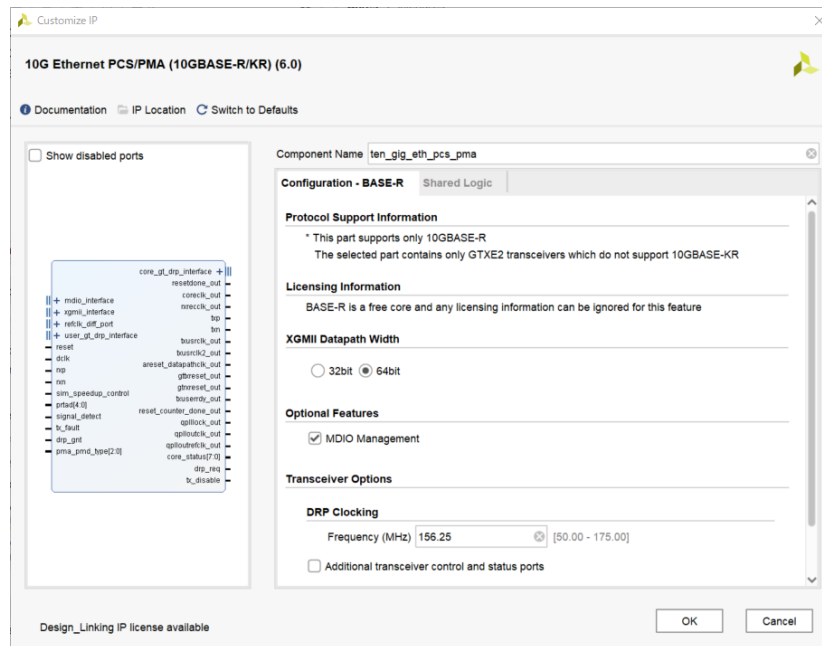


图 2-2 Configuration – BASE-R

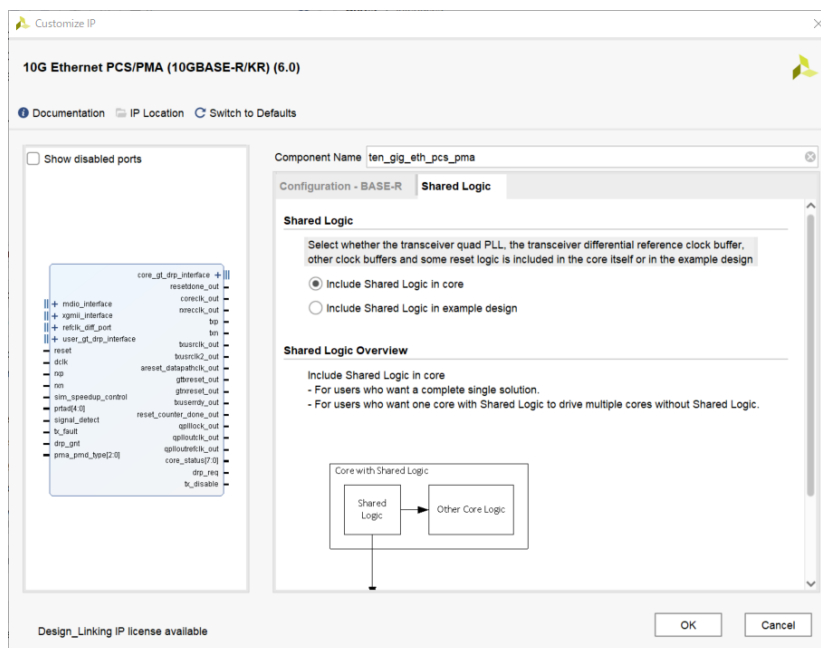


图 2-3 Shared Logic

3 使用方法

VC705 で動作させる上での注意点です。

3.1 MGT クロックの配線

MGT クロックを供給するために両端が SMA コネクタの 50Ω 同軸ケーブル2本を用意してください。なお2本の信号は差動信号なので同じ仕様の同じ長さのケーブルを使用してください。

接続は以下の通りです。

- J33(USER GPIO P)と J25(MGT CLK P)を接続
- J34(USER GPIO N)と J26(MGT CLK N)を接続

3.2 SFP+の取付

P3 の SFP ケージに 10GbE 用(10BASE-SR 用など)の SFP+を取り付けてください。

3.3 GPIO DIP(SW2)

スイッチ 4 番(GPIO_DIP_SW[3])を OFF (ForceDefault)にして使用して下さい。ライセンス書込み後は ON でも使用できます。

スイッチ 1～3 は、TCP の送信データを SiTCPXG に書込む時のバス幅を指定します。スイッチの設定とバス幅の関係を表 3-1 に示します。なお、最大性能となる全て ON にすることを推奨します。

表 3-1 ディップスイッチ 2～4 の設定

ディップスイッチ			バス幅
3	2	1	
OFF	OFF	OFF	1Byte(USER_TX_D[63:56])
OFF	OFF	ON	2Byte(USER_TX_D[63:48])
OFF	ON	OFF	3Byte(USER_TX_D[63:40])
OFF	ON	ON	4Byte(USER_TX_D[63:32])
ON	OFF	OFF	5Byte(USER_TX_D[63:24])
ON	OFF	ON	6Byte(USER_TX_D[63:16])
ON	ON	OFF	7Byte(USER_TX_D[63: 8])
ON	ON	ON	8Byte(USER_TX_D[63: 0])

3.4 IP アドレス

ForceDefault 時の IP アドレス、ポート番号を表 3-2 に示します。

表 3-2 ForceDefault 時の IP アドレス、ポート番号

項目	値
IP アドレス	192.168.10.10
TCP ポート番号	24
UDP ポート番号 (RBCP)	4660

3.5 レジスタ設定

RBCP の 0x00000004 のレジスタでテストモードを設定します。詳細は「4 レジスタ」を参照して下さい。

4 レジスタ

本サンプルで実装している RBCP スレーブのレジスタマップを表 4-1 に示します。

表 4-1 RBCP メモリマップ

アドレス		Byte 数	説明
開始	終了		
00000000	00000003	4	バージョン表示
00000004	00000004	1	制御レジスタ
00000010	00000010	1	送信レート
00000011	00000013	3	送信ブロックサイズ
00000014	00000017	4	送信シーケンスパターン
00000018	0000001F	8	送信データ数

4.1 バージョン表示(0x00000000~0x00000003)

バージョン表示用レジスタです。SiTCPXG コアの REG_FPGA_VER ポートの値と同じです。

4.2 制御レジスタ(0x00000004)

基本動作の設定を行います。制御レジスタのビットマップを表 4-2 に示します。

表 4-2 制御レジスタのビットマップ

bit 位置	名称	意味
bit7	SiTCPXG_OPEN_REQ	1: クライアントモード開始 0: クライアントモード停止
bit6	LOOPBACK	1: ループバック 0: 通常動作
bit5	NOT_USE	未使用 ・読出し: 0 ・書込み: 無効
bit4		
bit3		
bit2		
bit1	SELECT_SEQ	1: シーケンスモードで送信 0: 通常モードで送信
bit0	DATA_GEN	1: データ生成許可 0: データ生成禁止

4.2.1 SiTCPXG_OPEN_REQ (0x00000004:bit7)

1を設定する事で SiTCPXG コアからセッションを開くクライアントモードでの動作を開始します。クライアントモードで使用する場合、接続先の情報を SiTCPXG に設定する必要があります。詳細は、「SiTCPXG 説明書」を参照してください。

なお、本ビットは接続先からセッション切断が通知されると0に戻ります。

4.2.2 LOOPBACK (0x00000004:bit6)

1を設定すると TCP セッションが確立時に、受信したデータをそのまま送信します。0を設定すると受信データは破棄されます。

4.2.3 SELECT_SEQ (0x00000004:bit1)

生成データを送信するときのみ有効です。1を設定すると 0x00000014～0x00000017 で指定するバス幅のパタンで TCP 送信データを SiTCPXG コアに書込みます。0を設定するとディップスイッチで指定したバス幅で TCP 送信データを SiTCPXG コアに書込みます。

なお、ループバックの場合は、最適なバス幅で TCP 送信データを SiTCPXG コアに書込みます。

4.2.4 DATA_GEN (0x00000004:bit0)

LOOPBACK=0 の時にのみ有効です。1を設定すると TCP セッションが確立時に生成データを送信します。LOOPBACK=0 かつ DATA_GEN=0 の時は、セッションが確立しても何もデータを出しません。

生成データは、1byte、初項 0x01 公差1、項数 255 の等差数列(0x01 から 0xFF)の繰り返しです。また、データの発生レートは 0x00000010 で制御(初期値 10Gbps)します。発生レートは 0x00000011～0x00000013 で指定するブロックサイズ単位に制御します。指定したブロックサイズをバースト転送し次のブロックまでの送信時間でレートを制御します。なお、レート制御より SiTCPXG からのフロー制御が優先されます。また、TCP 送信データの書込みバス幅によっても最大レートは制限されます。

4.3 送信レート (0x00000010)

生成データの発生レートを 100Mbps 単位で設定します。初期値は 100(0x64)であり 10Gbps です。

4.4 送信ブロックサイズ (0x00000011～0x00000013)

レート制御する単位を Byte 単位で設定します。初期値は 0x0d0000(851,968)です。ブロックとブロックの間には1クロックのデッドタイムが発生するため、ブロックサイズを小さくすると希望するレートが得られない場合があります。

4.5 送信シーケンスパターン (0x00000014~0x00000017)

SELECT_SEQ (0x00000004:bit1)が1の場合に有効です。ここに設定される 32bit のデータは 8 個のニブルデータ(4bit)でバス幅を指定します。0 は送信なし、1~8 は1クロックに送出する Byte 数、9~F は使用禁止です。初期値は 0x60808040 です。6Byte-送信なし-8Byte-送信なし-8Byte-送信なし-4Byte-送信なしの繰り返しパターンです。

送信シーケンスはセッション切断で初期化され、セッション確立時に 0x00000014 の bit7~bit4 のバス幅から送信します。

4.6 送信データ数 (0x00000018~0x0000001F)

データ生成する Byte 数を指定します。ここで設定した Byte 数の生成が終わると生成を終了します。セッションの切断で初期化されるので再度セッションを確立すると再び設定数のデータを生成します。初期値は、0xFFFF_FFFF_FFFF_FFFF なので実質的に終了しません。

5 参考

5.1 ten_gig_eth_pcs_pma ライセンス

合成中に図 5-1 のような ten_gig_eth_pcs_pma のライセンスエラーが表示されますが、10 GBASE-R で使用する場合は問題ありません。詳細は、XILINX のホームページのサポートの AR# 68203 を参照してください。

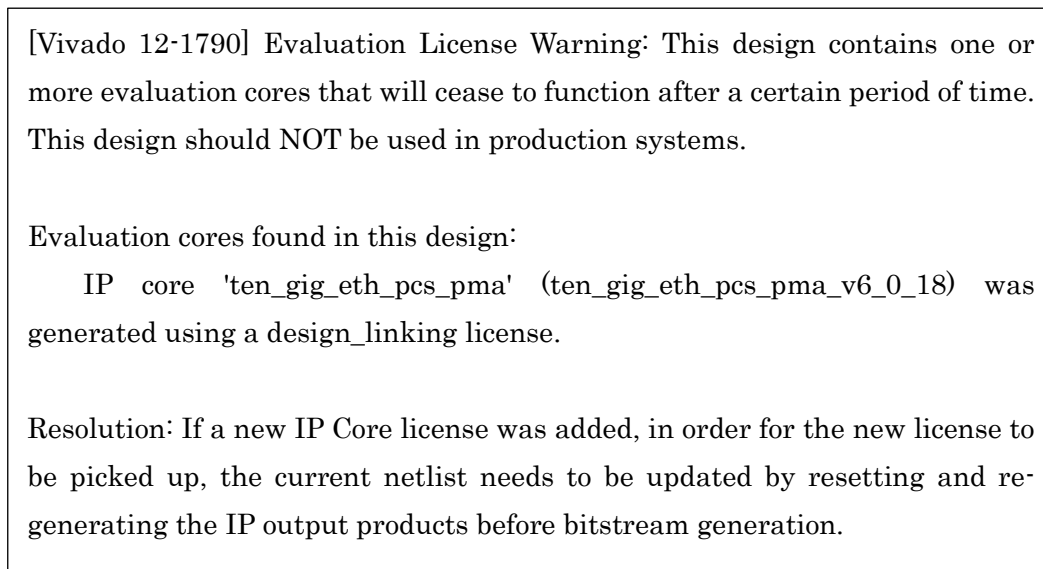


図 5-1 合成時の Critical Warning

5.2 最大送信レート

バス幅、送信ブロックサイズによって SiTCPXG に入力できる送信データの最大帯域が制限されます。表 5-1 に送信バス幅とブロックサイズによる最大帯域を示します。

表 5-1 最大帯域 (単位: Gbps)

ブロックサイズ	バス幅							
	1 Byte	2 Byte	3 Byte	4 Byte	5 Byte	6 Byte	7 Byte	8 Byte
1 Byte	0.625	1.250	1.875	2.500	3.125	3.750	4.375	5.000
10 Byte	1.136	2.273	3.409	4.545	5.682	6.818	7.955	9.091
100 Byte	1.238	2.475	3.713	4.950	6.188	7.426	8.663	9.901
1,000 Byte	1.249	2.498	3.746	4.995	6.244	7.493	8.741	9.990
10,000 Byte	1.250	2.500	3.750	5.000	6.249	7.499	8.749	9.999
100,000 Byte	1.250	2.500	3.750	5.000	6.250	7.500	8.750	10.000